

# Diseño optimizado de un limitador de corriente de enclavamiento conmutado para aplicaciones espaciales

Abraham López<sup>1</sup>, Manuel Arias<sup>1</sup>, Pablo F. Miaja<sup>1</sup>, J. Antonio Fernández<sup>1</sup> y Nikola Boskovic<sup>2</sup>

<sup>1</sup>Universidad de Oviedo, Grupo de Sistemas Electrónicos de Alimentación (e-mail: lopezantunaa.fuo@uniovi.es)

Edificio Departamental Oeste, N.º 3. Campus Universitario de Viesques. 33204 Gijón, España

<sup>2</sup>Electrical Power Management Section, European Space Agency (ESA), Noordwijk, Países Bajos

**Resumen:** Los limitadores de corriente de enclavamiento (LCLs) son circuitos empleados en la protección contra sobrecorrientes de las cargas conectadas a los satélites. Se encargan de limitar la corriente de una sobrecarga durante un período de tiempo prefijado. Si durante este período de tiempo persiste la sobrecorriente, el LCL desconecta la carga del bus de potencia principal. El elemento crítico en el funcionamiento del LCL es el dispositivo semiconductor encargado de la limitación de la corriente. Las topologías tradicionales de LCLs emplean dispositivos de canal P debido, sobre todo, a su facilidad a la hora de controlarlos teniendo en cuenta su colocación dentro del circuito. Durante la etapa de sobrecorriente el dispositivo funcionará en modo activo limitando el valor de la corriente al de referencia. Como consecuencia, el MOSFET estará soportando toda la tensión de bus y disipando una gran cantidad de potencia. Como consecuencia, la simplicidad en la implementación deriva en la necesidad de paralelizar semiconductores para el caso de los LCLs de corrientes altas. Este artículo presenta el diseño de una arquitectura de LCL basada en N-MOS de SiC, trabajando en conmutación durante la etapa de limitación de corriente. De esta forma, se consigue reducir el estrés térmico del dispositivo limitador de corriente ante una sobrecarga. Se muestran los diseños para la selección e implementación de la topología en relación con los componentes magnéticos y, finalmente, se muestran resultados experimentales de un prototipo de LCL conmutado basado en la topología planteada.

**Palabras clave:** LCL, satélites, dispositivos WBG, SiC.

## I. INTRODUCCIÓN

La distribución de potencia empleando los llamados limitadores de corriente de enclavamiento (“*Latching Current Limiters*”, LCLs) se ha venido utilizando frecuentemente en los satélites europeos para la conexión y desconexión controlada de las cargas conectadas al bus de potencia de los satélites de forma fiable. Los LCLs se encargan de limitar el valor de la corriente demandada por una de estas cargas a un valor prefijado en caso de sobrecorrientes o cortocircuitos, protegiendo de esta forma al bus de potencia. La Fig. 1 muestra el esquema del bus de potencia regulado en satélites, donde se puede ver cómo los LCLs están localizados en el sistema de distribución, justo entre el bus de potencia principal y el sistema secundario, donde estarían las distintas cargas del satélite. El diseño de este tipo de circuitos está determinado por las guías de diseño ECSS definidas en [1]-[3]. La Fig. 2 muestra la estructura tradicional de un LCL basado en un dispositivo P-MOS como limitador de corriente, conectado en serie con la carga. De esta forma, si la corriente a través del P-MOS es menor que un valor de referencia (corriente de limitación), el P-MOS estará conduciendo, permitiendo la circulación de la corriente demandada por la carga. Sin embargo, si la corriente a través del P-MOS es mayor que el límite de corriente preestablecido, este MOSFET operará en

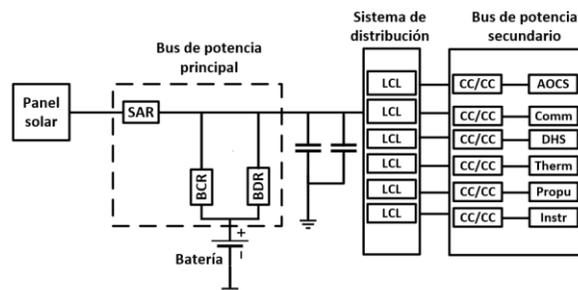


Fig. 1. Esquema del bus de potencia regulado de un satélite donde se muestra la localización de los LCLs dentro del sistema de distribución

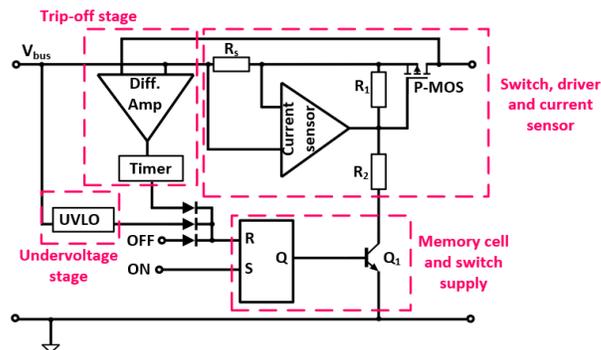


Fig. 2. Arquitectura tradicional de un LCL basado en P-MOS como dispositivo limitador de la corriente

zona lineal, comportándose como una fuente de corriente, limitando el valor de la corriente demandada al valor de la referencia. En este punto, el P-MOS estará soportando un nivel de tensión que dependerá de la severidad de la sobrecorriente producida (i.e. proporcional a la tensión de bus). De esta forma, el MOSFET estará disipando un nivel de potencia significativo y, por lo tanto, su temperatura se incrementará rápidamente. Obviamente, esta situación no se puede mantener por tiempo indefinido, por lo que cuando el MOSFET entra en zona lineal se inicia una temporización. Si la corriente medida por el LCL se mantiene por encima del valor de referencia después de un tiempo prefijado (tiempo de *trip-off*), el LCL desconectará la carga del bus de potencia. Esta carga se puede volver a reconectar posteriormente mediante telecomando.

De acuerdo con [1], los LCLs están definidos en clases, para tensiones de bus ( $V_{bus}$ ) de 28V y 50V, de acuerdo con la máxima corriente que pueden limitar (Tabla 3.1 en [1]). La principal razón por la que no se considera la clasificación de los LCLs para mayores tensiones de bus (100V- 120V), se debe sobre todo a la dificultad a la hora de encontrar MOSFETs de canal P, calificados para espacio, capaces de soportar estos rangos de tensiones con valores razonables de resistencias de canal ( $R_{DS}$ ), sin llegar a suponer un gran incremento en las pérdidas en conducción.

Con el objetivo de solventar este problema y de mejorar el rendimiento de los LCLs, la idea propuesta pasa por reemplazar los MOSFETs de canal P por MOSFETs de canal N (N-MOS), los cuales, para la misma tensión, presentan valores de  $R_{DS}$  menores. En esta nueva arquitectura basada en N-MOS, el drenador estará conectado del lado de la tensión de bus, mientras que el terminal de fuente estará conectado del lado de la carga. Esto fuerza a un rediseño completo de la arquitectura. Siguiendo con esta línea, y aprovechando las ventajas que ofrecen los materiales de banda prohibida ancha (WBG), como son el carburo de silicio (SiC) y el nitruro de galio (GaN), en relación con la posibilidad de trabajar a mayores tensiones y, presumiblemente, a mayores temperaturas, ya se han presentado trabajos [4]-[7], donde se muestran arquitecturas completas de LCLs basados en N-MOS de SiC como dispositivos limitadores de corriente. En estos trabajos ya se presentan soluciones para llevar la señal de control de manera aislada a los terminales puerta-fuente del N-MOS y se presentan resultados para tensiones de bus de 100V-120V. Estos trabajos presentados parten del uso clásico del dispositivo limitador de corriente trabajando en modo lineal durante el tiempo de limitación, soportando la tensión de bus, y disipando un nivel considerable de potencia. De esta forma, el objetivo de este trabajo se basa en presentar una topología de LCL en la que, durante el período de limitación de corriente, el dispositivo N-MOS trabaje en conmutación, con el objetivo de reducir el estrés térmico de dicho componente [8].

Este artículo se organiza de la siguiente manera. En el apartado II se describe el funcionamiento de la topología LCL presentada. En el apartado III se plantea una guía de diseño de la arquitectura de LCL conmutado presentada. En el apartado IV se presentan algunos resultados experimentales en relación con la solución propuesta en este trabajo. Finalmente, en el apartado V se recogen las principales conclusiones de este trabajo.

## II. FUNDAMENTO Y TOPOLOGÍA SELECCIONADA

A través de la Fig. 3 y la Fig. 4 se puede comparar el comportamiento de la corriente entre el LCL lineal y el LCL conmutado. Durante el tiempo de limitación de corriente, el N-MOS estará trabajando entre corte y saturación, reduciendo su estrés térmico en comparación con el funcionamiento como fuente de corriente en el caso del LCL lineal, donde se disipa, durante el tiempo de *trip-off*, una potencia proporcional, en el peor caso, al nivel de  $V_{bus}$  y al valor de la corriente limitada ( $I_{lim}$ ). La topología seleccionada para la implementación del LCL conmutado debe ser de reducido tamaño y de implementación sencilla. Por ello, se empleará un control por histéresis, de forma que el valor de la corriente limitada oscile entre los niveles máximo y mínimo de corriente definidos para cada clase de LCL. Así pues, por ejemplo, para un LCL clase 10 estos valores de corriente serían de 11A y 14A, respectivamente.

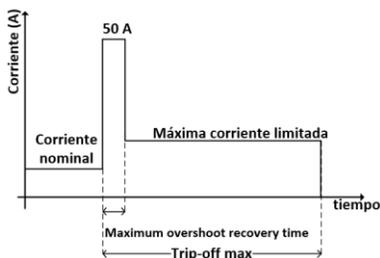


Fig. 3. Perfil de corriente en el LCL lineal ante cortocircuito

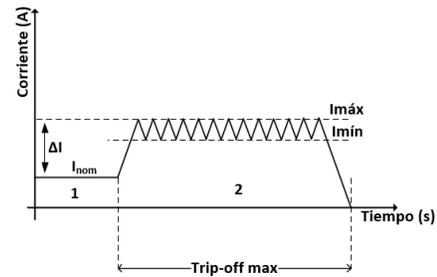


Fig. 4. Perfil de corriente en el LCL conmutado ante cortocircuito

Para la implementación de la topología conmutada se ha optado por utilizar un convertidor reductor, ya que la única diferencia, en número de componentes, entre ésta y un LCL lineal es la bobina, debido a que este último incluye, por normativa, un diodo de libre circulación. Además, al controlarse la corriente por la bobina, el uso de condensador de salida no es necesario. La Fig. 5 muestra, de manera esquemática, la implementación propuesta. Como se puede ver, para la medida de la corriente se emplea una resistencia ( $R_s$ ), junto con el correspondiente circuito dedicado, que será explicado en la sección IV. La salida de dicho circuito ( $V_{Icomp}$ ), que será proporcional a la corriente medida ( $I_{meas}$ ), estará ligada a los comparadores que controlan las entradas de RESET (R) y SET (S) de un biestable (*flip-flop*). Estos comparadores, en la práctica, trabajan en una banda de histéresis menor a la definida por los valores de corriente máximo ( $I_{máx}$ ) y mínimo ( $I_{mín}$ ) establecidos para cada clase. El motivo se explicará más adelante, pero responde a los tiempos de propagación de todo el sistema de control y a la necesidad de maximizar la frecuencia lo máximo posible para reducir el tamaño. De esta forma, si el nivel  $V_{Icomp}$  es menor que el nivel mínimo ( $V_{Imin}$ ), se activaría la señal de SET del biestable haciendo que su salida (Q) esté a nivel alto. Esta salida a nivel alto hará que el nivel de tensión puerta-fuente del N-MOS esté a nivel alto, haciendo que dicho dispositivo permanezca cerrado. En este caso, el LCL estaría trabajando en su modo nominal, conduciendo la corriente de clase ( $I_{nom}$ ) y manteniéndose el N-MOS trabajando en modo óhmico. Si por el contrario se produce una sobrecorriente, modelada como un cortocircuito ( $R_{sc}$ ) en paralelo con la carga  $R_L$  (Fig. 5), el valor de la corriente medida en la bobina será cada vez mayor, haciendo que el correspondiente nivel de tensión  $V_{Icomp}$  se incremente de la misma manera. En este caso cuando el nivel  $V_{Icomp}$  sea mayor que el valor  $V_{Imáx}$ , establecido para cada clase, se activará la entrada RESET del biestable haciendo que su salida, Q, pase a nivel bajo.

Con la puesta a nivel bajo de la señal Q, el N-MOS trabajará en corte haciendo que la corriente  $I_{meas}$  empiece a disminuir su valor. De esta forma, cuando el nivel de tensión  $V_{Icomp}$  sea menor que el valor  $V_{Imin}$ , se activará de nuevo la señal de SET del biestable haciendo que, el N-MOS trabaje en saturación. Este proceso de conmutación del N-MOS se prolongará en el tiempo hasta que la sección de temporización (*timer*) fije a cero la entrada de la puerta AND, conectada a la salida del biestable, haciendo que el N-MOS permanezca en corte y la  $I_{meas}$  pase a valer cero amperios. Los tiempos de *trip-off* durante los cuales se produce el comportamiento de conmutación del N-MOS también están determinados para las distintas clases de LCLs existentes, siendo de 1,5ms el valor del *trip-off* mínimo para un LCL clase 10. Como se puede ver en la Fig. 5, toda la circuitería empleada en el control del funcionamiento del LCL está alimentada a través de una fuente externa ( $V_{CC}$ ) referida a la llamada "masa de control (*control ground*)" situada en el nodo de conmutación del convertidor reductor.

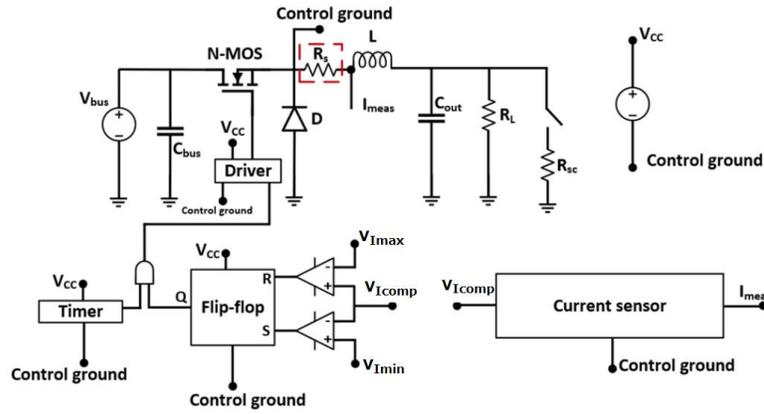


Fig. 5. Arquitectura propuesta para la implementación del LCL conmutado basado en dispositivo N-MOS

### III. DISEÑO DE LA INDUCTANCIA DEL LCL BASADO EN LAS RESTRICCIONES IMPUESTAS POR LOS DOCUMENTOS ECSS

#### A) Condiciones previas derivadas de los documentos ECSS:

Una posibilidad a la hora de obtener el valor de la inductancia en la topología reductora se basa en fijar el valor de la frecuencia de conmutación. Esta posibilidad se ha explorado en [9]. Sin embargo, este procedimiento de diseño puede suponer algunas restricciones debido a la imposibilidad por parte del LCL para alcanzar el valor de la frecuencia de conmutación fijada. Además, al no fijar la frecuencia de conmutación máxima alcanzable la bobina obtenida será de mayor tamaño. De esta forma, el hecho de fijar el valor de la frecuencia de conmutación como medio para obtener el valor de la inductancia del LCL acaba no siendo óptimo. Se deben considerar otros aspectos más restrictivos, fijados por los documentos ECSS [1], [2] y [3] Algunos de los aspectos más relevantes son los que se describen a continuación:

- 5.2.3.1.1a: El LCL debe limitar la corriente entre los valores máximo y mínimos indicados para cada clase. Esto significa que, tras el pico inicial de corriente, no se puede tener otro pico de corriente fuera de los límites establecidos para cada clase.
- 5.2.3.2.1 y 5.2.3.3.1: El dispositivo que está en conmutación y el sensor de corriente deben estar en el lado de la tensión de bus.
- 5.2.3.4.1 y 5.2.3.5.1: En el modo limitación de corriente los componentes deben respetar los valores establecidos para cada clase de LCL.
- 5.2.7.7.1: El LCL debe contar con un mecanismo de libre circulación de la corriente en la carga cuando dicho LCL está apagado o cuando se abra justo después de una sobrecarga. En este caso, esta condición se cumple gracias al propio diodo presente en la topología reductora.
- 5.2.17.1.1 a 5.2.17.2.1: La impedancia de salida del LCL se debe proporcionar para clase de LCL, y debe estar entre 100Hz y 1 MHz. De la misma manera, la impedancia de salida del LCL se debe proporcionar para una tensión a través del LCL entre 3V y 5V.
- 5.4.1.1.1.a y 5.4.1.1.1.b: La sobrecorriente a la entrada o salida, debida a una sobrecarga en el LCL, debe ser menor de 50A [1].
- 5.4.1.1.1.e: La máxima sobrecarga de capacidad debe estar limitada a 1mC (Q)

En base a los aspectos destacados por la documentación ECSS se puede establecer una guía de diseño que permita obtener el valor de la inductancia en el LCL:

#### B) Guía de diseño para la obtención del valor de la inductancia:

**Primera condición:** Está asociada con los requisitos 5.4.1.1.1.a y 5.4.1.1.1.b. La sobrecorriente de entrada o salida en un LCL ante una sobrecarga debe ser inferior a 50A [1]. De esta forma, es posible establecer una expresión (1) para el valor mínimo de la inductancia ( $L_{min}$ ) en el LCL, en términos del valor de la tensión de entrada, en el peor caso ( $V_{in\_f}$ ), el valor máximo de la corriente, que no puede sobrepasarse ( $I_{max\_abs}$ ), el valor superior de corriente de la banda de histéresis ( $I_{hys\_sup}$ ), y del tiempo de retardo durante la medida ( $t_{sense\_f}$ ). Este tiempo  $t_{sense\_f}$  incluye a su vez el valor del tiempo de encendido (*turn on*) del N-MOS.

$$L_{min} = \frac{V_{in\_f}}{(I_{max\_abs} - I_{hys\_sup}) \cdot t_{sense\_f}} \quad (1)$$

**Segunda condición:** Está asociada con 5.4.1.1.1.e. En este caso es posible conseguir un valor de inductancia mínima, considerando la energía en el proceso de conmutación y el número de episodios de sobrecorriente durante el tiempo de *trip-off* (2)-(6):

$$a = 8 \cdot H_f \cdot V_{in\_f} \cdot Q_f - H_f^2 \cdot V_{out\_f} \cdot trip_{off} \quad (2)$$

$$b = 8 \cdot t_{sense\_f} \cdot V_{in\_f}^2 \cdot Q_f - 4 \cdot H_f^2 \cdot t_{sense\_f} \cdot trip_{off} \cdot (V_{in\_f} - V_{out\_f}) \cdot V_{out\_f} \quad (3)$$

$$c = -4 \cdot (V_{in\_f} - V_{out\_f})^2 \cdot t_{sense\_f}^2 \cdot V_{out\_f} \cdot trip_{off} - b + (b^2 - 4 \cdot a \cdot c)^{0.5} \quad (4)$$

$$L_{min1} = \frac{2a}{-b + (b^2 - 4 \cdot a \cdot c)^{0.5}} \quad (5)$$

$$L_{min2} = \frac{-b - (b^2 - 4 \cdot a \cdot c)^{0.5}}{2a} \quad (6)$$

Donde  $H_f$  es el ancho de la banda de histéresis,  $V_{in\_f}$  es el valor de la tensión de entrada, en el peor caso,  $V_{out\_f}$  es el valor de la tensión de salida, en el peor caso, y  $t_{sense\_f}$  es el valor tiempo de retardo durante la medida. En este caso, entre (5) y (6) solo se considerará el valor de la inductancia en (5) con el objetivo de obtener el mínimo valor de esta a través de esta segunda condición.

**Tercera condición:** Está asociada con 5.2.3.1. El LCL debe limitar el valor de la corriente entre los valores máximo y mínimo definidos por cada clase. De la misma manera, se ha de buscar que no se produzca más de una sobrecorriente durante el período de limitación. En este caso es posible obtener dos expresiones (dependiendo de si en el tiempo de *trip-off* entra un único ciclo de conmutación o varios ciclos) (7)-(8) para el valor de la mínima inductancia. De esta forma, se seleccionará el menor de los valores obtenidos entre (7) y (8).

$$L_{min\_a} = \frac{(V_{in\_f} - V_{out\_f}) \cdot t_{sense\_f}}{(I_{max\_f} - I_{hys\_sup})} \quad (7)$$

$$L_{\min .b} = \frac{\text{trip}_{off} \cdot V_{outf} \cdot (V_{inf} - V_{outf}) - t_{sensef} \cdot V_{inf}^2}{(V_{outf} \cdot (I_{\max f} - I_{\min f}) + V_{in} \cdot (I_{hys\_sup} - I_{hys\_inf}))} \quad (8)$$

A partir de las tres condiciones descritas en este apartado, la Fig. 6 representa la variación del valor de la inductancia en función de la tensión de salida en el LCL ( $V_{outLCL}$ ) para las tres condiciones descritas. En el caso de la Fig. 6, también se representa la composición de las tres condiciones impuestas en el diseño, y que coincide con la envolvente de las tres condiciones representadas. De esta forma, a modo de ejemplo, para una tensión de salida en el LCL de 60V, el valor mínimo de inductancia estaría alrededor de 75 $\mu$ H.

### C) Modelado térmico para la selección del núcleo magnético:

El diseño de la bobina para esta aplicación de LCL conmutado es distinto al diseño tradicional, en el que se busca la minimización de pérdidas, por un lado, las pérdidas en el cobre (pérdidas de conducción) y por otro, las pérdidas en el núcleo (pérdidas en el material magnético). En esta aplicación la bobina estará conduciendo corriente de continua, con rizado despreciable, en condiciones nominales (i.e. corriente de clase). En este caso el LCL actuará como conexión entre el bus de potencia principal y los convertidores del bus de potencia secundario, lo cuales incluyen filtro EMI a su entrada. De esta forma, las pérdidas en el núcleo se consideran despreciables. Durante el tiempo de *trip-off*, la bobina tendrá un gran rizado de alta frecuencia debido al proceso de conmutación. Sin embargo, las pérdidas en el núcleo generadas por la conmutación, unidas a su corta duración en el tiempo (i.e. *trip-off*) hacen que el incremento de temperatura generado en el núcleo no sea significativo. De esta forma, el diseño de la bobina estará basado en:

1. Minimizar las pérdidas en el cobre durante la operación normal del LCL, asumiendo la máxima corriente nominal.
2. Asegurarse de que el núcleo no esté saturado cuando la corriente esté en su máximo valor durante la conmutación.

Esto hace que el diseño de la bobina tenga que ajustarse para asegurar un número mínimo de vueltas que evite la saturación del núcleo. Esto permite obtener el mínimo valor de pérdidas en el cobre en la bobina. De la misma manera, se hace necesario asegurar que la temperatura alcanzada por la bobina, en operación nominal, esté por debajo de los límites admisibles y que el impacto que puedan tener las pérdidas en el cobre, en el rendimiento global de la topología, estén por debajo de un cierto límite.

La selección del núcleo magnético se basa en plantear un modelo térmico para las espiras que forman la bobina. En este caso se considerará cada espira de forma individual asumiendo que la disipación sólo se produce en un extremo de esta. Es decir, se considerará cada espira como un elemento con generación de calor interno, homogéneamente distribuido y que solo disipa en un extremo [10]. Considerando que las espiras están aisladas entre sí, la única disipación posible será por conducción a lo largo de la pista. De esta manera, a partir de la sección diferencial de la espira, representada en la Fig. 7, se puede establecer la relación (9) entre la potencia calorífica interna generada ( $Q'_{int}$ ), la potencia cedida por la sección anterior ( $Q'_r$ ) y la potencia entregada a la sección siguiente ( $Q'_{r+\Delta r}$ ).

$$Q'_{int} = Q'_{r+\Delta r} - Q'_r \quad (9)$$

De acuerdo con el análisis térmico planteado se puede llegar a obtener una expresión que permite conocer la temperatura del

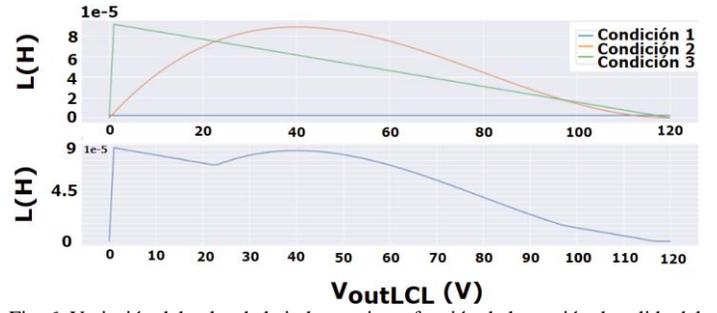


Fig. 6. Variación del valor de la inductancia en función de la tensión de salida del LCL ( $V_{outLCL}$ ) para las tres condiciones de diseño impuestas

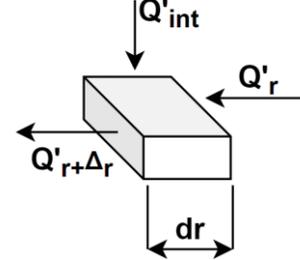


Fig. 7. Sección diferencial de una espira indicando la potencia interna generada ( $Q'_{int}$ ), la donada al elemento siguiente ( $Q'_{r+\Delta r}$ ) y la cedida por el elemento anterior ( $Q'_r$ )

núcleo magnético, y plantear un proceso de selección de este. Este análisis se desarrolla en las expresiones (10)-(23):

$$Q'_{int} = i^2 \cdot R = i^2 \cdot \rho_{Cu} \cdot \frac{dr}{S} \quad (10)$$

$$Q'_{r+\Delta r} - Q'_r = i^2 \cdot \rho_{Cu} \cdot \frac{dr}{S} \quad (11)$$

$$\frac{dQ'}{dr} = i^2 \cdot \frac{\rho_{Cu}}{S} \quad (12)$$

De acuerdo con la referencia [10]:

$$Q' = q' \cdot S \quad (13)$$

$$q' = -k_{Cu} \cdot \frac{dT}{dr} \quad (14)$$

$$Q' = -k_{Cu} \cdot S \cdot \frac{dT}{dr} \quad (15)$$

Considerando (12) y (15):

$$-\frac{d}{dr} \left( k_{Cu} \cdot S \cdot \frac{dT}{dr} \right) = i^2 \cdot \frac{\rho_{Cu}}{S} \quad (16)$$

$$d \left( \frac{dT}{dr} \right) = -\frac{i^2 \cdot \rho_{Cu}}{S^2 \cdot k_{Cu}} \cdot dr \quad (17)$$

$$\left( \frac{dT}{dr} \right) = -\frac{i^2 \cdot \rho_{Cu}}{S^2 \cdot k_{Cu}} \cdot r + C_1 \quad (18)$$

Para  $r=0$  la  $dT=0$  por lo que  $C_1=0$ . Con  $C_1=0$  y volviendo a integrar los dos extremos de la ecuación (18):

$$T = -\frac{i^2 \cdot \rho_{Cu}}{S^2 \cdot k_{Cu}} \cdot \frac{r^2}{2} + C_2 \quad (19)$$

Considerando  $T=T_0$  y  $r=l_m/2$  se puede reescribir la expresión (19) de acuerdo con (20) y obtener el valor de la constante  $C_2$ .

$$T_0 = -\frac{i^2 \cdot \rho_{Cu}}{S^2 \cdot k_{Cu}} \cdot \frac{lm^2}{8} + C_2 \quad (20)$$

$$C_2 = T_0 + \frac{i^2 \cdot \rho_{Cu}}{S^2 \cdot k_{Cu}} \cdot \frac{lm^2}{8} \quad (21)$$

$$T = -\frac{i^2 \cdot \rho_{Cu}}{S^2 \cdot k_{Cu}} \cdot \frac{r^2}{2} + \left( T_0 + \frac{i^2 \cdot \rho_{Cu}}{S^2 \cdot k_{Cu}} \cdot \frac{lm^2}{8} \right) \quad (22)$$

Finalmente:

$$T = \frac{i^2 \cdot \rho_{Cu}}{2 \cdot S^2 \cdot k_{Cu}} \cdot \left( \frac{lm^2}{4} - r^2 \right) + T_0 \quad (23)$$

En la expresión (23), 'T' define el valor de la temperatura del núcleo magnético, 'i' será el valor de la corriente de clase para cada LCL (análisis en el permanente de la bobina), ' $\rho_{Cu}$ ' es el valor de la resistividad del cobre, fijado en  $1,75 \cdot 10^{-8} \Omega \cdot m$ , 'S' define el valor de la sección de cobre por núcleo magnético

seleccionado, ' $k_{Cu}$ ' es el valor de la conductividad térmica del cobre fijado en  $372W/(K \cdot m)$ , ' $l_m$ ' es el valor de la longitud del núcleo magnético seleccionado y  $T_o$  es el valor de la temperatura de referencia, fijada en este análisis en  $40^\circ C$ . De esta forma, para una serie de núcleos magnéticos seleccionados se puede determinar el valor de la temperatura final del mismo (23) en función de la corriente de clase definida para cada LCL. Finalmente, se seleccionará el núcleo de menor tamaño que cumpla con que su temperatura final sea menor de  $130^\circ C$  [2].

#### IV. RESULTADOS EXPERIMENTALES

En esta sección se muestran los resultados experimentales obtenidos mediante el prototipo de LCL conmutado (Fig. 8), desarrollado según la arquitectura descrita en la Fig. 5. La Fig. 9 muestra la implementación de la etapa de medida de la corriente formada por dos etapas de amplificación, la primera no inversora y la segunda inversora (la corriente se mide en negativo). Con esta configuración se consigue tener, además, una alta impedancia de entrada en la etapa de adaptación. Es importante resaltar que todo el diseño está orientado a operar a alta frecuencia, lo que implica pistas cortas, reducción de capacidades parásitas, empleo de condensadores de compensación en las realimentaciones de los operacionales, etc.

De la misma manera, en la Fig. 10 se muestra la implementación de la etapa de temporización (*timer*) encargada de desactivar el proceso de conmutación del LCL transcurrido el tiempo de *trip-off* definido para cada clase. En este caso, esta etapa de temporización está formada por dos comparadores LM393 con salidas en colector abierto. En el caso del primer comparador, cuando la corriente a la salida de la etapa de medida ( $I_{sense2}$ ) sea mayor que la corriente de referencia ( $TMR_{ON} = I_{nom}$ ), la salida de este comparador estará en abierto haciendo que se cargue el condensador, presente en este circuito, a través de la resistencia de  $30k\Omega$  y el diodo D1. En caso contrario, cuando la corriente  $I_{sense2}$  sea menor que la referencia fijada en  $TMR_{ON}$ , la salida del comparador pasa a nivel bajo (i.e. 0V) produciéndose la descarga del condensador a través de la resistencia de  $330k\Omega$  y del diodo D2. Considerando la relación de valores de ambas resistencias, el proceso de descarga es más lento que la propia carga del condensador. Desde el punto de vista del segundo comparador, cuando el nivel de tensión alcanzado en el condensador sea mayor que el nivel de referencia fijado en  $LCL_{tripoff}$  (ajustado para el *trip-off* de la clase de LCL), el nivel '*shutdown*' pasará a nivel bajo. La puesta a nivel bajo de este nivel '*shutdown*' hará que se active el RESET presente en el biestable, haciendo que la puerta AND pase a cero, y por lo tanto apagando el *driver* que controla el N-MOS. De esta forma, se produce el apagado del LCL conmutado.

La Fig. 11 muestra el funcionamiento del LCL en su proceso de conmutación para una tensión de bus de 100V. En este caso se muestra el valor de la corriente por la bobina ( $I_L$ ), y el valor de la tensión puerta-fuente ( $V_{GS}$ ) en el N-MOS. El funcionamiento se basa en una activación directa del LCL desde 0A. De esta forma, habrá una primera etapa en la que el nivel de corriente es menor a la banda de histéresis, en la que el nivel de tensión  $V_{GS}$  será constante a 15V. Cuando el LCL se activa se inicia el proceso de conmutación en el N-MOS, como se puede ver en relación con la tensión  $V_{GS}$  y la corriente  $I_L$ . En este caso, la frecuencia de conmutación alcanzada en el N-MOS es de 374kHz. La Tabla 1 recoge las principales características del prototipo diseñado para esta primera prueba.

Tabla 1. Principales características del prototipo de LCL conmutado a tensión de bus de 100V y para una clase 5

Parámetro	Valor
$V_{bus}$	100V
$I_{nom}$	5A
$I_{mín}$	5,5A
$I_{máx}$	7A
Inductancia (L)	50 $\mu$ H
Núcleo	E20/10/6
Factor de ventana ( $f_w$ )	0,35
Gap (g)	0,8mm
Vueltas (N)	30
$R_s$	0,02 $\Omega$
$V_{outLCL}$ (V)	$V_{bus}/2$
$T_i$	25 $^\circ C$
$T_f$	98 $^\circ C$
(1 hora a 5A)	

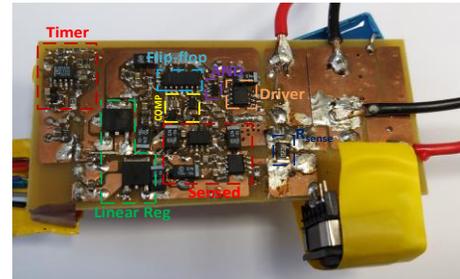


Fig. 8. Prototipo diseñado del LCL conmutado

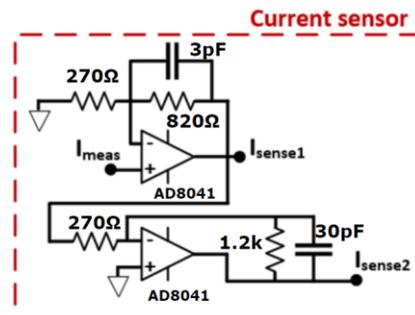


Fig. 9. Implementación de la etapa de medida de corriente

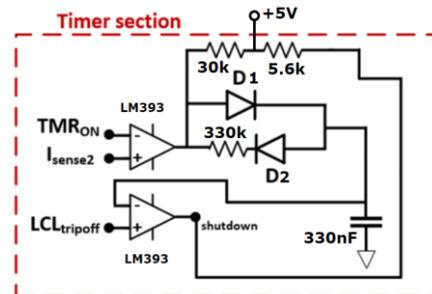


Fig. 10. Implementación de la etapa de temporización

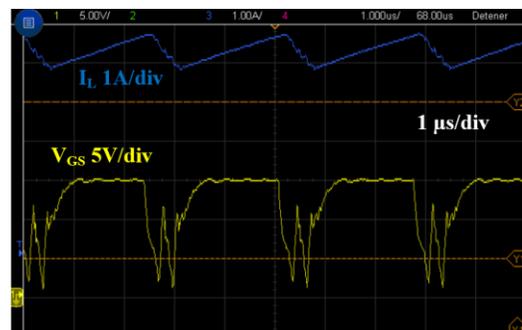


Fig. 11. Tensión puerta-fuente ( $V_{GS}$ ) y corriente por la bobina ( $I_L$ ) durante la conmutación para un LCL clase 5 y una  $V_{bus}$  de 100V

La segunda prueba se basa en trabajar con una tensión de bus de 28V estableciendo los límites de la banda de histéresis en un LCL clase 1. Considerando el análisis térmico explicado en la sección III, es posible determinar el núcleo magnético más apropiado para este nuevo punto de trabajo. La Tabla 2 muestra las principales características para la implementación de esta prueba. Se debe destacar que los resultados experimentales han sido obtenidos en condiciones de laboratorio, de esta forma las bobinas diseñadas no están sujetas a “condiciones de espacio” en lo que respecta a disipación térmica. Por lo tanto, en lugar de emplear la ecuación obtenida en (23), la cual ha sido validada a través de simulación ANSYS, se empleará la ecuación de Hurley [11]. La Fig. 12 muestra las dos zonas de funcionamiento del LCL conmutado, tanto para la corriente  $I_L$  como para el nivel de tensión  $V_{GS}$  en el N-MOS, considerando el núcleo magnético E8.8/4.1/2 seleccionado. Finalmente, la Fig. 13 muestra el detalle en el proceso de conmutación del LCL para esta segunda prueba. En este caso, la frecuencia de conmutación alcanzada en el N-MOS se sitúa en 2,4MHz.

Tabla 2. Principales características del prototipo de LCL conmutado a tensión de bus de 28V y para una clase 1

Parámetro	Valor
$V_{bus}$	28V
$I_{nom}$	1A
$I_{mín}$	1,1A
$I_{máx}$	1,5A
Inductancia (L)	46,74 $\mu$ H
Núcleo	E8.8/4.1/2
Vueltas (N)	25
$R_s$	0,02 $\Omega$
$V_{outLCL}$ (V)	$V_{bus}/2$
$T_i$	25,6°C
$T_F$	74,7°C
(1 hora a 1A)	

## V. CONCLUSIONES

En este trabajo se presenta una arquitectura de LCL conmutado basado en un MOSFET de canal N de SiC como dispositivo limitador de la corriente. La arquitectura presentada, basada en una topología de convertidor reductor, permite el control puerta-fuente del dispositivo N-MOS a través de un control por histéresis dependiente de los límites de corriente impuestos por cada clase de LCL. El proceso de diseño propuesto incluye el poder llegar a obtener un valor mínimo de la inductancia, en función de la tensión de salida del LCL, a partir de las restricciones impuestas por la documentación ECSS para espacio. De la misma manera, se plantea un modelo térmico que permite seleccionar el núcleo magnético de menor tamaño en función de la temperatura alcanzada. Este análisis considera el uso de la corriente de clase para cada LCL analizado.

Desde el punto de vista experimental, se ha realizado un prototipo de LCL conmutado en base a la arquitectura planteada verificando su correcto funcionamiento para tensiones de bus de 100V y 28V para un LCL clase 5 y clase 1, respectivamente. En estos casos analizados, mediante la correcta selección del núcleo magnético, se alcanzaron frecuencias de conmutación en el N-MOS de 374kHz y 2,4MHz, respectivamente. Cabe destacar que las pruebas experimentales se han realizado considerando que la tensión de salida en el LCL ( $V_{outLCL}$ ) es igual a la mitad de la  $V_{bus}$ . Finalmente, en el caso de la topología del LCL conmutado, en su zona de trabajo nominal, la impedancia vista por cualquier

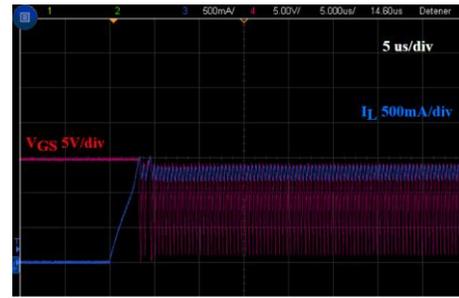


Fig. 12. Tensión puerta-fuente ( $V_{GS}$ ) y corriente por la bobina ( $I_L$ ) durante las etapas de funcionamiento de un LCL conmutado clase 1 para una  $V_{bus}$  de 28V

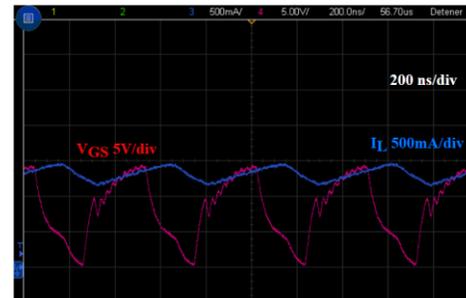


Fig. 13. Tensión puerta-fuente ( $V_{GS}$ ) y corriente por la bobina ( $I_L$ ) durante la conmutación para un LCL clase 1 y una  $V_{bus}$  de 28V

carga conectada al bus de potencia del satélite será la propia del bus, más la impedancia de la bobina del convertidor reductor conectada en serie. El cómo influye este hecho en la impedancia final que ve cualquier carga conectada al bus de potencia del satélite es también un aspecto pendiente de estudio.

## AGRADECIMIENTOS

Trabajo realizado mediante la financiación del Ministerio de Ciencia e Innovación, a través del proyecto PID2021-127707OB-C21. De la misma manera, este trabajo ha sido financiando a través del Principado de Asturias y la FICYT a través del proyecto SV-PA-21-AYUD/2021/51931.

## REFERENCIAS

- [1] ‘Space engineering - Electrical design and interface requirements for power supply, ECSS-E-ST-20-20C’. ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands, 15 April 2016.
- [2] ‘Space product assurance - Derating - EEE components, ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands.
- [3] ‘Space engineering - Guidelines for electrical design and interface requirements for power supply’. ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands, 15-Apr-2016.
- [4] A. López, P. F. Miaja, M. Arias and A. Fernández, “Circuit Proposal of a Latching Current Limiter for Space Applications Based on a SiC N-MOSFET,” in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 10, no. 5, pp. 5474-5485, Oct. 2022, doi: 10.1109/JESTPE.2022.3163585.
- [5] A. López, P. F. Miaja, M. Arias and A. Fernández, “Analysis and design of a latching current limiter based on a SiC N-MOSFET,” *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, Vancouver, BC, Canada, 2021, pp. 5912-5919, doi: 10.1109/ECCE47101.2021.9595074.
- [6] D. Marroquí, A. Garrigós, J.M. Blanes, R. Gutiérrez and E. Maset, ‘Circuit proposals for high voltage latching current limiters’, in *European Space Power Conference (ESPC)*, Oct. 2019.
- [7] D. Marroquí, J. M. Blanes, A. Garrigós, and R. Gutiérrez, ‘Self-Powered 380 V DC SiC Solid-State Circuit Breaker and Fault Current Limiter’, *IEEE Trans. Power Electron.*, vol. 34, no. 10, pp. 9600–9608, Oct. 2019.
- [8] M. Martín Alfonso and I. Segura y Díaz de Espadas, ‘Low Impedance PWM switch and solid state switch’ in *European Space Power Conference (ESPC)*, September, 1991.
- [9] Abraham López, Manuel Arias, Pablo F. Miaja, Miguel Fernández-Costales, Javier Prado y Arturo Fernández, “Análisis y diseño de un limitador de corriente de enclavamiento conmutado” en SAAEL, 2023.
- [10] A.F. Mills, “Heat transfer”. McGrawHill.
- [11] Transformers and inductors for power electronics: Theory, design, and applications. W. G. Hurley, W. H. Wolfle. First published: 8 March 2013, ISBN:9781119950578, DOI:10.1002/9781118544648.