



Universidad de Oviedo

DEPARTAMENTO DE INGENIERÍA ELÉCTRICA, ELECTRÓNICA, DE
COMUNICACIONES Y DE SISTEMAS

PROGRAMA DE DOCTORADO EN INGENIERÍA ELÉCTRICA Y
ELECTRÓNICA

TESIS DOCTORAL

**ESTUDIO Y DESARROLLO DE CONVERTIDORES
MODULARES PARA APLICACIONES ESPACIALES**

ABRAHAM LÓPEZ ANTUÑA

2023



Universidad de Oviedo

DEPARTAMENTO DE INGENIERÍA ELÉCTRICA, ELECTRÓNICA, DE
COMUNICACIONES Y DE SISTEMAS

PROGRAMA DE DOCTORADO EN INGENIERÍA ELÉCTRICA Y
ELECTRÓNICA

TESIS DOCTORAL

**ESTUDIO Y DESARROLLO DE CONVERTIDORES
MODULARES PARA APLICACIONES ESPACIALES**

ABRAHAM LÓPEZ ANTUÑA

DIRECTORES DE TESIS:

MANUEL ARIAS PÉREZ DE AZPEITIA / PABLO FERNÁNDEZ MIAJA

2023



RESUMEN DEL CONTENIDO DE TESIS DOCTORAL

1.- Título de la Tesis	
Español/Otro Idioma: Estudio y desarrollo de convertidores modulares para aplicaciones espaciales	Inglés: Analysis and development of modular converters for space applications
2.- Autor	
Nombre: Abraham López Antuña	
Programa de Doctorado: Programa de doctorado en ingeniería eléctrica y electrónica	
Órgano responsable: Centro internacional de postgrado	

RESUMEN (en español)

El objetivo de este trabajo es proporcionar soluciones para hacer más eficientes tanto el bus de potencia principal, como el sistema de distribución, presentes en los satélites. Dada la proliferación y el uso masivo de satélites hoy en día, se hace necesario contar con implementaciones que permitan reutilizar ciertos bloques funcionales presentes en los mismos, entre las distintas misiones espaciales. De esta forma, se podrían reducir costes y tiempos de desarrollo.

Este trabajo de tesis comienza con una introducción a los sistemas en naves espaciales. De esta forma, en el **Capítulo 1** se introducirá el concepto de satélite, desde el punto de vista de sistema, así como también se describirán los principales subsistemas que lo forman. De igual forma, se hará una breve introducción histórica sobre el uso de los satélites, así como también sobre la continua y creciente evolución en su uso y en su demanda de potencia.



El **Capítulo 2** se centra en el bus de potencia regulado de los satélites. Se aborda la posibilidad de replantear dicho subsistema a nivel de convertidor, con el objetivo de desarrollar una única topología válida para implementar los distintos bloques que lo forman. De esta forma, el tiempo de rediseño para cada misión se vería prácticamente eliminado. Finalmente, se plantea el uso de una etapa, llamada transformador electrónico, con el objetivo de independizar el bus de potencia principal, del panel solar utilizado, haciendo un escalado de los distintos niveles de tensión y potencia, desde un punto de vista modular.

El **Capítulo 3** aborda el análisis y diseño de la etapa transformador electrónico, desde un punto de vista modular. Dicha etapa estará formada por varios convertidores CC/CC, que, a través de la conexión en serie o paralelo de sus entradas, se encargarán de adaptar los niveles de tensión y potencia, en función del panel solar empleado. En primer lugar, se hará una breve descripción de la topología seleccionada en base al cumplimiento de los requisitos impuestos. A continuación, se analizará el modo de operación modular empleando el transformador electrónico. Este análisis se complementará con simulaciones y resultados experimentales que validan el funcionamiento modular propuesto.

El **Capítulo 4** se centra en el sistema de distribución del satélite, planteando un diseño de un limitador de corriente de enclavamiento. Estos dispositivos se encargan de proteger al bus de potencia principal frente a sobrecorrientes. Las arquitecturas tradicionales están basadas en semiconductores P-MOS, lo cuales, debido a sus elevados valores de resistencias de canal, presentan altas pérdidas de conducción ante niveles de corriente elevados. De esta forma, este capítulo presenta el análisis y diseño de una arquitectura de LCL basada en el uso de semiconductores N-MOS de SiC como dispositivo limitador de corriente. Se analizarán las distintas partes que forman esta nueva arquitectura, junto con una guía de diseño de aquellas más complejas. Finalmente, se mostrarán resultados experimentales que validan el funcionamiento de la topología planteada.



Universidad de Oviedo

Finalmente, en el **Capítulo 5** se presenta un resumen de las conclusiones más relevantes de este trabajo, así como también líneas de investigación futuras en este contexto.

RESUMEN (en Inglés)

The objective of this work is to present solutions in order to make more efficient the main power bus and the distribution system on satellites. Due to the massive use of satellites nowadays, it is necessary to have main blacks that can be reuse in different space missions. This way, costs and developing times can be reduced.

This thesis begins with an introduction of the aerospace systems. Therefore, **Chapter 1** introduces the satellite concept from the system point of view, describing the main subsystems on it. In the same way, a brief historical introduction will be made regarding the increasing use of satellites and the rise of the power demanded by them. At the end of this chapter, the objectives and main contributions of this work will be displayed.

Chapter 2 focuses in the regulated power bus on satellites. This chapter presents the idea of reconsidering the main power bus at converter level, with the objective of having only one topology which will be valid to implement the main building blocks of the power subsystem. This way, the developing times between missions will be reduced. Finally, this chapter presents the use of a stage called 'Electronic Transformer' (ET), making possible the independency of the main power bus from the solar array. The voltage and power levels adaptations will be made in a modular way.

Chapter 3 addresses the analysis and design of the ET stage from the modular point of view. This stage will be composed by DC/DC converters connected in series or parallel at their inputs making possible to achieve a correct voltage and power sharing between modules depending on the solar array used. First, a description of the topology will be displayed. After that, a modular operation behaviour of all the modules connected in the ET stage will be explained. This



Universidad de Oviedo

analysis will be complemented with simulation and experimental results for the implemented prototypes.

Chapter 4 is focused on the satellite distribution system presenting a new design of a latching current limiter (LCL). These devices provide overcurrent protection for the main power bus. Traditional LCL architectures are based on P-MOS devices which, due to its higher on-state resistance values, they present high conduction losses at higher power. This way, this chapter presents an analysis and design of a LCL structure based on SiC N-MOS devices. The different stages that formed the SiC LCL architecture will be analysed, presenting a design guide for them. Finally, the experimental results of the prototypes develop using this new architecture will be displayed.

Finally, **Chapter 5** presents a summary and conclusions, as well as the proposal of future work related to this thesis.

**SR. PRESIDENTE DE LA COMISIÓN ACADÉMICA DEL
PROGRAMA DE DOCTORADO EN _____**

Resumen

El objetivo de este trabajo es proporcionar soluciones para hacer más eficientes tanto el bus de potencia principal, como el sistema de distribución, presentes en los satélites. Dada la proliferación y el uso masivo de satélites hoy en día, se hace necesario contar con implementaciones que permitan reutilizar ciertos bloques funcionales presentes en los mismos, entre las distintas misiones espaciales. De esta forma, se podrían reducir costes y tiempos de desarrollo.

Este trabajo de tesis comienza con una introducción a los sistemas en naves espaciales. De esta forma, en el **Capítulo 1** se introducirá el concepto de satélite, desde el punto de vista de sistema, así como también se describirán los principales subsistemas que lo forman. De igual forma, se hará una breve introducción histórica sobre el uso de los satélites, así como también sobre la continua y creciente evolución en su uso y en su demanda de potencia. En la parte final de este capítulo se detallan los objetivos y contribuciones originales de este trabajo.

El **Capítulo 2** se centra en el bus de potencia regulado de los satélites. Se aborda la posibilidad de replantear dicho subsistema a nivel de convertidor, con el objetivo de desarrollar una única topología válida para implementar los distintos bloques que lo forman. De esta forma, el tiempo de rediseño para cada misión se vería prácticamente eliminado. Finalmente, se plantea el uso de una etapa, llamada transformador electrónico, con el objetivo de independizar el bus de potencia principal, del panel solar utilizado, haciendo un escalado de los distintos niveles de tensión y potencia, desde un punto de vista modular.

El **Capítulo 3** aborda el análisis y diseño de la etapa transformador electrónico, desde un punto de vista modular. Dicha etapa estará formada por varios convertidores CC/CC, que, a través de la conexión

en serie o paralelo de sus entradas, se encargarán de adaptar los niveles de tensión y potencia, en función del panel solar empleado. En primer lugar, se hará una breve descripción de la topología seleccionada en base al cumplimiento de los requisitos impuestos. A continuación, se analizará el modo de operación modular empleando el transformador electrónico. Este análisis se complementará con simulaciones y resultados experimentales que validan el funcionamiento modular propuesto.

El **Capítulo 4** se centra en el sistema de distribución del satélite, planteando un diseño de un limitador de corriente de enclavamiento. Estos dispositivos se encargan de proteger al bus de potencia principal frente a sobrecorrientes. Las arquitecturas tradicionales están basadas en semiconductores P-MOS, lo cuales, debido a sus elevados valores de resistencias de canal, presentan altas pérdidas de conducción ante niveles de corriente elevados. De esta forma, este capítulo presenta el análisis y diseño de una arquitectura de LCL basada en el uso de semiconductores N-MOS de SiC como dispositivo limitador de corriente. Se analizarán las distintas partes que forman esta nueva arquitectura, junto con una guía de diseño de aquellas más complejas. Finalmente, se mostrarán resultados experimentales que validan el funcionamiento de la topología planteada.

Finalmente, en el **Capítulo 5** se presenta un resumen de las conclusiones más relevantes de este trabajo, así como también líneas de investigación futuras en este contexto.

Agradecimientos

En primer lugar, quiero agradecer a mis directores de tesis Manuel Arias y Pablo Fernández, verdaderos autores de este trabajo, por la ayuda, dedicación y paciencia a lo largo de estos cuatro años de tesis. De la misma manera, quiero agradecer al profesor José A. Villarejo su trabajo, revisando íntegramente capítulos de este documento.

En segundo lugar, quiero tener un recuerdo para los distintos profesores que forman el grupo SEA, Javier, Marta, Aitor, Diego, Alberto, Juan, etc, por haber aprendido cosas escuchándolos, y por los buenos momentos en el laboratorio, comidas, paseos, congresos, etc. Gracias también al resto de integrantes del SEA, doctorandos pasados y presentes por los buenos momentos en el día a día del trabajo en el laboratorio, y muy especialmente al clásico grupo de las comidas formado por Miguel, Tania, Juan Ramón, Theyllor, y un servidor, por los disparatados diálogos que allí se creaban.

En tercer lugar, a muchos de los compañeros de la carrera/instituto con los que he seguido en contacto y que me han seguido animando con este trabajo, muy especialmente a Isa, Vanesa, Carlos, Marcos, Alberto, Santi, Paula, Cañón, Ainoa, Aida, Bárbara y, seguramente más a los que me dejaré. Dentro de este apartado quiero agradecer también a Andrea sus correos, sus ánimos, visitas y conversaciones a lo largo de este tiempo, en el que yo hacía algo llamado “tesis” y ella hacía su vida entre Alemania, España e Irlanda.

Finalmente, mis últimos agradecimientos son para mi padre y mi madre por su cariño, apoyo, trabajo y sacrificio constante durante todos estos años.

Índice de contenidos

Capítulo 1: Introducción a los sistemas embarcados en satélites 9

1.1.- Introducción 18

1.2.- Subsistemas del satélite 21

1.2.1.- Subsistema de procesamiento de datos y telemetría 21

1.2.2.- Subsistema de control de órbita y orientación 22

1.2.3.- Subsistema de potencia 23

1.2.4.- Subsistema de control térmico 27

1.2.5.- Subsistema de propulsión 28

1.3.- Evolución en el uso de los satélites 29

1.3.1.- Paradigma “*new space*” 30

1.4.- La creciente demanda de potencia en las naves espaciales
33

1.4.1.- Problemática y motivación 34

1.5.- Objetivos y contribuciones originales de este trabajo 36

1.6.- Bibliografía 37

Capítulo 2: Estandarización del bus de potencia en satélites 45

2.1.- Motivación 46

2.2.- Requisitos empleados en la selección y comparativa de
topologías modulares 46

2.2.1.- Análisis de la fiabilidad 47

2.2.2.- Selección de componentes 52

2.3.- Posibles topologías básicas 63

2.4.- Estandarización basada en etapa intermedia 69

2.5.- Conclusiones 71

2.6.- Bibliografía 72

Capítulo 3: El transformador electrónico 73

3.1.- Introducción 74

3.2.- Descripción del concepto de transformador electrónico 77

3.3.- El módulo DCX del TE 80

3.3.1.- Descripción de la topología seleccionada y cumplimiento de las condiciones impuestas 81

3.3.2.- Operación modular 91

3.3.3.- Análisis de la fiabilidad 99

3.3.4.- Análisis de las tolerancias y del envejecimiento en los componentes resonantes 102

3.4.- Resultados experimentales de la etapa TE usando los módulos DCX 106

3.4.1.- Resultados experimentales para un solo módulo DCX 107

3.4.2.- Resultados experimentales con varios módulos DCX conectados en IPOP e ISOP 112

3.4.3.- Efecto de fallo en un módulo DCX dentro del sistema TE 117

3.4.4.- Emulación de panel solar a través del transformador electrónico 120

3.5.- Conclusiones 122

3.6.- Bibliografía 138

Capítulo 4: Diseño de un limitador de corriente de enclavamiento basado en N-MOS de SiC 141

- 4.1.- Introducción 142
- 4.2.- Selección de semiconductores 146
- 4.3.- Arquitectura del LCL basado en N-MOS de SiC 159
 - 4.3.1.- Fuente de alimentación auxiliar 160
 - 4.3.2.- Aislador analógico (DCX) 161
 - 4.3.3.- Lazo de control de corriente 171
 - 4.3.4.- Sección de protección contra infratensión (UVLO) 180
 - 4.3.5.- Sección de temporización 182
 - 4.3.6.- Sección de arranque suave 184
- 4.4.- Resultados experimentales 185
 - 4.4.1.- Funcionamiento del LCL con cortocircuito a su salida 186
 - 4.4.2.- Funcionamiento del LCL activándose desde cortocircuito 188
 - 4.4.3.- Funcionamiento del LCL variando su impedancia de salida 190
 - 4.4.4.- Proceso de carga de un condensador a través del LCL 192
 - 4.4.5.- Análisis de las pérdidas en el LCL basado en N-MOS de SiC 193
- 4.5.- Conclusiones 194
- 4.6.- Bibliografía 195

Capítulo 5: Conclusiones y trabajo futuro 199

5.1.- Conclusiones 200

5.2.- Trabajo futuro 203

5.3.- Contribuciones 204

5.4.- Publicaciones 205

5.4.1.- Publicaciones en revista internacional: 206

5.4.2.- Publicaciones en congreso internacional: 206

5.4.3.- Publicaciones en congreso nacional: 207

5.5.- Financiación 208

Lista de símbolos 209

Capítulo 2: 209

Capítulo 3: 211

Capítulo 4: 214

Lista de acrónimos 219

Capítulo 1: 219

Capítulo 2: 220

Capítulo 3: 220

Capítulo 4: 221

Índice de figuras

- Fig.1. 1. Subsistemas del satélite según [1.1] 20
- Fig.1.2. Esquema básico del bus de potencia no regulado de un satélite 24
- Fig.1.3. Esquema básico de un sistema de potencia regulado en un satélite 26
- Fig.1.4. Número de satélites lanzados entre 1957 y 2019 [1.19] 30
- Fig.1.5 Crecimiento en los requisitos de potencia de las navas espaciales entre la década de los 60 y los 2000 [1.18] 33
- Fig.2. 1. Esquema del bus de potencia regulado de un satélite 47
- Fig.2.2. Posibles casos de FCA en configuraciones puente completo (a) y medio puente (b) 51
- Fig.2.3. Posibles casos de FCC en configuraciones puente completo (a) y medio puente (b) 51
- Fig.2.4. Posibles casos de FCA en configuraciones rectificador de doble onda (a) y rectificador con toma media (b) 51
- Fig.2.5. Posibles casos de FCC en configuraciones rectificador de doble onda (a) y rectificador con toma media (b) 52
- Fig.2.6. Modelo térmico simplificado de la transferencia de calor para pérdidas en el cobre 59
- Fig.2.7. Modelo térmico simplificado de la transferencia de calor para pérdidas en el núcleo 60
- Fig.2.8. Desglose de pérdidas para las topologías básicas seleccionadas, para la implementación del bloque SAR. Se considera redundancia 3+1 67

Fig. 3.1. Ejemplo de reutilización del bloque SAR usando el TE como etapa intermedia 76

Fig. 3.2. Esquema del método de adaptación de tensiones / potencias a través de la conexión de varios módulos diseñados con ganancia estática fija 79

Fig. 3.3 a) Representación del esquemático del módulo TE; b) Principales formas de onda de la topología del TE 83

Fig.3.4. Ángulo de conducción de los diodos en función de la ratio entre la frecuencia de resonancia y la frecuencia de conmutación. Solución numérica para la ecuación (3.10) 87

Fig.3.5. Situación de las corrientes resonantes cuando a) $T_{on} > T_{on_max}$ y b) $T_{on} = T_{on_max}$ 89

Fig.3.6. a) Circuito simplificado de dos módulos conectados en IPOP; b) Circuito resonante equivalente; c) “n” módulos conectados en IPOP; d) circuito resonante equivalente para “n” módulos 94

Fig.3.7. Circuito y formas de onda para mostrar el comportamiento de las corrientes resonantes ante diferencias en los niveles de tensión en cada módulo 96

Fig.3.8. Circuito y principales formas de onda ante errores de sincronización 97

Fig.3.9. Incremento en la variación de corriente debido a errores de sincronización en función del ángulo θ 99

Fig.3.10. Reparto de tensiones y corrientes en una matriz de cuatro módulos DCX cuando uno de ellos falla 102

Fig.3.11. Representación de la frecuencia de conmutación normalizada (rojo) y del valor de T_{on} normalizado (azul) en función de la tolerancia (δ) 105

Fig.3.12. Medida de la corriente resonantes en los diodos, a) posición de la sonda de corriente; b) Circuito equivalente considerado 108

Fig.3.13. Prototipo del módulo DCX construido 111

Fig.3.14. Transición en la tensión drenador-fuente (V_{DS}), y puerta-fuente (V_{GS}) del transistor M_4 donde se muestra la conmutación a tensión cero (ZVS) 111

Fig.3.15. Representación de la tensión drenador-fuente en el transistor M_4 (V_{DSM4}), de la corriente resonante (I_{LK}), y de la tensión de salida (V_O) cuando a) no se considera filtro EMI a la entrada del SAR; b) sí se considera filtro EMI en el SAR 111

Fig.3.16. Comparativa de los rendimientos obtenidos para los distintos módulos DCX 112

Fig.3.17, Tensión de salida (V_O) y corrientes resonantes ($I_{LK1,2}$) en dos módulos DCX conectados en IPOP 115

Fig.3.18. Esquema de dos subsistemas (Sub 1 y Sub 2), de módulos DCX conectados en IPOP, conectados en ISOP 115

Fig.3.19. Tensión de entrada en Sub 1 y Sub2, junto con el nivel de tensión de salida del sistema completo (V_O) 116

Fig.3.20. Corrientes resonantes a través de los diodos rectificadores de los cuatro módulos DCX. La potencia procesada por cada módulo es de 200 W 116

Fig.3 21. Valor medio de la corriente resonante en los módulos DCX_1 y DCX_2 , y corrientes resonantes en los módulos DCX_3 y DCX_4 117

Fig.3.22. Corrientes resonantes a través de los diodos rectificadores. El fallo en el módulo DCX_2 se debe a un cortocircuito en el transistor M_3 119

Fig.3.23. Corrientes resonantes a través de los diodos rectificadores. El fallo en el módulo DCX₂ se debe a que M₂ y M₃ se mantienen siempre en circuito abierto 119

Fig.3.24. Curvas I-V del panel solar emulado y del transformador electrónico (TE) 121

Fig.4.1. Esquema del bus de potencia regulado de un satélite 143

Fig.4.2. Arquitectura tradicional de un LCL basado en P-MOS 144

Fig.4.3. Perfil de corriente en el LCL ante cortocircuito a la salida 151

Fig.4.4. Perfil de la potencia disipada por el semiconductor ante cortocircuito a la salida del LCL 151

Fig.4. 5. Respuesta térmica transitoria del modelo de Foster para el MOSFET SCT3022AL, junto con la respuesta térmica transitoria real según sus hojas de características 153

Fig.4.6. Respuesta en frecuencia de los modelos de Foster y Cauer para el SCT3022AL 155

Fig.4.7. Red de Cauer con resistencia R_{tp} extra 157

Fig.4. 8. Respuesta térmica a) 150°C, b) 175°C y c) 200°C 158

Fig.4.9. Arquitectura del LCL basada en dispositivo N-MOS 160

Fig.4.10. Concepto de aislador analógico 161

Fig.4. 11. Implementación del oscilador en la etapa DCX 164

Fig.4.12. Representación del esquemático del LLC 165

Fig.4.13. Circuito equivalente para la topología LLC-DCX usando la FHA 165

Fig.4.14. Diagramas de Bode para un valor de Q_{tank} fijo de 0,1818 variando la ratio F_R/F_{SW} 170

Fig.4.15. Diagramas de Bode para un valor de la ratio F_R/F_{SW} fijo de 1,27 variando el parámetro Q_{tank} 171

Fig.4.16. Implementación práctica de un regulador tipo II con un amplificador operacional 172

Fig.4.17. Audio-susceptibilidad de la etapa LLC-DCX para una V_{in} de 10 V 175

Fig.4.18. Circuito equivalente del LCL en el modelo de pequeña señal 175

Fig.4.19. Circuito de pequeña señal entre la salida de la etapa DCX y el dispositivo N-MOS 176

Fig.4.20. Diseño del filtro LC implementado 177

Fig.4.21. Diagramas de Bode la función de transferencia $G_{i_{uc}}$ para diferentes configuraciones de Z_{load} 177

Fig.4.22. Diagramas de Bode la función de transferencia G_{LCL} para diferentes configuraciones de Z_{load} 178

Fig.4. 23. Diagrama de bloques del lazo de control implementado 179

Fig.4.24. Comparativa de los diagramas de Bode del regulador implementado a nivel teórico y práctico 180

Fig.4.25. Implementación del circuito de *undervoltage* 181

Fig.4.26. Implementación del circuito de temporización 183

Fig.4.27. Implementación del circuito de arranque suave (en rojo) en la referencia de corriente del lazo de control 185

Fig.4.28. Prototipo del LCL diseñado, a) capa *top*, b) capa *bottom* 186

Fig.4.29. Principales formas de onda del funcionamiento del LCL clase 10 ante cortocircuito a su salida, para una V_{bus} de 100 V 187

Fig.4.30. Activación del LCL directamente desde cortocircuito para una V_{bus} de 100 V 189

Fig.4.31. Activación del LCL directamente desde cortocircuito para una V_{bus} de 100 V, usando el circuito de arranque suave 189

Fig.4.32. Funcionamiento del LCL, ante cortocircuito a su salida, usando un filtro LC entre el LCL y la carga, para una V_{bus} de 100 V y empleado el N-MOS de ROHM 191

Fig.4.33. Funcionamiento del LCL, ante cortocircuito a su salida, usando un filtro LC entre el LCL y la carga, para una V_{bus} de 100 V y empleado el N-MOS de ST 191

Fig.4.34. Proceso de carga de un condensador conectado entre el LCL y la carga, para una V_{bus} de 100 V 192

Fig.4.35. Desglose de pérdidas para la arquitectura propuesta de LCL basada en N-MOS de SiC, en comparación con un P-MOS calificado para espacio, para un LCL clase 10 y con una V_{bus} de 100 V 194

Índice de tablas

Tabla 2.1. Principales requisitos eléctricos del bus de potencia 64

Tabla 2.2. Comparativa de rendimientos entre las topologías básicas seleccionadas 68

Tabla 3. 1. Parámetros principales de diseño del módulo DCX 110

Tabla 3. 2. Principales características del panel solar emulado 121

Tabla 4. 1. Clases de LCLs con sus principales características para tensión de bus de: a) 28 V y b) 50 V [4.1] 148

Tabla 4. 2. Coeficientes del modelo de Foster para el MOSFET SCT3022AL 153

Tabla 4.3. Coeficientes del modelo de Cauer para el MOSFET SCT3022AL 155

Capítulo 1: Introducción a los sistemas embarcados en satélites

En este capítulo se hace una breve introducción del contexto histórico y la evolución de los subsistemas de potencia en satélites. En primer lugar, se proporcionará una definición del satélite, desde el punto de vista de sistema, para posteriormente describir los distintos subsistemas que lo forman.

En primer lugar, se exponen las principales características de estos subsistemas. Hoy en día, se ha llevado a cabo un incremento en la puesta en órbita de satélites, para distintas aplicaciones, meteorología, telecomunicaciones, investigación científica, observación, etc. Este hecho se ha visto especialmente reforzado por el incremento en el número de empresas privadas que apuestan por la investigación y el desarrollo de sistemas espaciales. Sin embargo, el proceso de diseño de los satélites sigue realizándose con poco reaprovechamiento de diseños previos, y partiendo prácticamente desde cero. En este sentido, se plantea en este trabajo la necesidad de introducir los conceptos de reusabilidad y estandarización en los diseños de los satélites.

Finalmente, se describen los objetivos y las principales contribuciones de este trabajo.

1.1.- Introducción

Desde el comienzo de la llamada “Era Espacial”, las aplicaciones basadas en el uso de satélites se han convertido en un aspecto preponderante y crítico, año tras año. Además de los tradicionales satélites pensados para aplicaciones de telecomunicación, meteorología, e investigación científica, otras aplicaciones como la navegación o la observación terrestre, empiezan a ganar más relevancia e interés. Por ejemplo, la Comisión Europea está financiando el llamado “programa Copérnico” con el objetivo de poder tomar distintas medidas de observación terrestre, de forma continua. Su objetivo es el de proporcionar datos, en relación con medidas atmosféricas, cambio climático, uso de los suelos terrestres, medio ambiente marino, respuesta a emergencias, así como también aspectos relacionados con la seguridad. Para poder llevar a cabo estos objetivos, se ha desarrollado una flota de satélites, dentro de la llamada serie “*Sentinel*”.

Desde el punto de vista de la navegación, la Comisión Europea se encuentra desarrollando el sistema Galileo, como alternativa al, mundialmente conocido, sistema GPS. Además de estos aspectos, hoy en día hay números campos de desarrollos, cuya expansión está resultando muy llamativa, gracias a la existencia de los satélites. Estos campos guardan relación con la observación y la exploración del espacio exterior, y de otros planetas.

En lo que respecta a la financiación, los satélites no se encuentran financiados, en la actualidad, solo a través de agencias gubernamentales o intergubernamentales como la Administración Nacional de Aeronáutica y el Espacio (NASA) o la Agencia Espacial Europea (ESA), sino que existen operadores privados de satélites como la Sociedad Europea de Satélites (SES) o Hispasat. Además, también existen compañías privadas que se dedican a la fabricación de satélites como pueden ser *Airbus*, *Thales Alenia Space* u *OHB*. En

este caso, se trata de compañías europeas con importantes relaciones y presencia en la industria española. Por ejemplo, CRISA, perteneciente a la sección de defensa y espacio de Airbus, es el proveedor de las “unidades de conversión de potencia y distribución” (PCDU) de satélites para usos comerciales y gubernamentales.

A continuación, se hará una definición del satélite, desde el punto de vista de sistema, y se detallarán los principales subsistemas que forman parte de este.

Un satélite consiste en varios sistemas diseñados para cumplir con los requisitos de una determinada misión. Todos, incluyendo los satélites más sencillos, cuentan con una serie de sistemas comunes, representados en rojo en la Fig.1. 1 [1.1]. Los satélites más complejos requieren sistemas adicionales, como los representados en azul en la Fig.1. 1. Estos sistemas se dividen en dos grandes grupos: los subsistemas de carga útil, y los de plataforma. Dentro de los subsistemas de carga útil, estarían aquellos relacionados con los equipos de comunicaciones, en los satélites comerciales, o la instrumentación de toma de medidas, en los satélites destinados a la investigación. En definitiva, aquellos que realizan la tarea o tareas propias de la misión. Por su parte, los llamados subsistemas de plataforma englobarían aquellos encargados de dar soporte a los subsistemas de carga útil. Es decir, los encargados de que el satélite sea operativo, de manera autónoma, y pueda desempeñar las tareas asociadas a la misión.

El subsistema de potencia sería uno de los sistemas de plataforma, el cual está formado por el conjunto de paneles solares, baterías, electrónica de potencia, cableado y sistemas de control. Otros subsistemas importantes, dentro de los llamados subsistemas de plataforma, serían el subsistema de comunicaciones, encargado de recibir comandos y devolver información, los subsistemas de telemetría, así como también. los subsistemas de coordinación y control de actividades del satélite. Hoy en días, incluso los satélites

más sencillos, suelen contar, además, con subsistemas encargados de determinar, la orientación dentro de la órbita, la propulsión, etc. De esta manera, el diseño de un satélite, siempre se encuentra optimizado al máximo, de modo que cualquier cambio resultaría en un coste muy elevado.

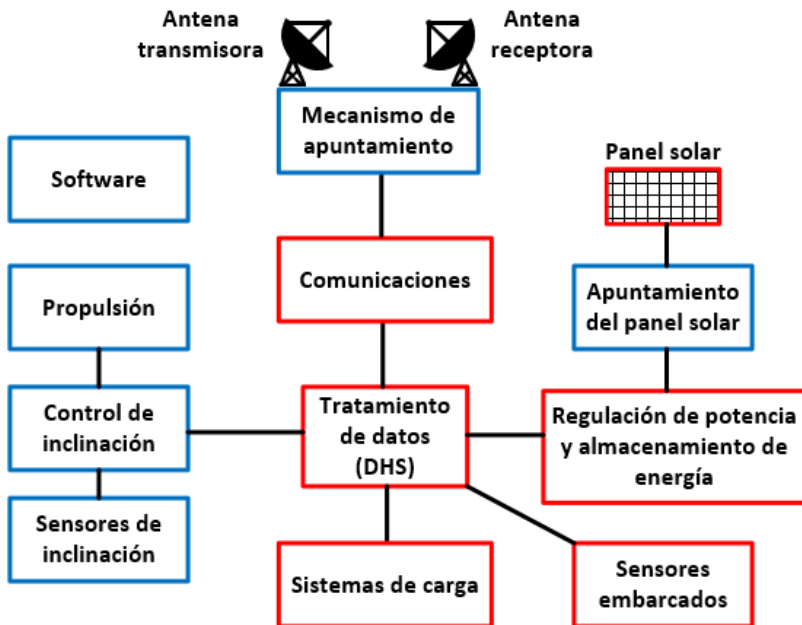


Fig.1. 1. Subsistemas del satélite según [1.1]

1.2.- Subsistemas del satélite

En esta sección se describen los distintos subsistemas que componen la plataforma de los satélites más habituales [1.1]:

1.2.1.- Subsistema de procesamiento de datos y telemetría

Una de las funciones básicas de las naves espaciales, incluso de las más simples, se basa en mantener el contacto con las estaciones de tierra, con el objetivo de llevar a cabo tareas de control, operaciones de comunicación, retorno de los datos, etc.

En este sentido, el subsistema de tratamiento de datos (*Command and Data Handling Subsystem*, CDHS) se encarga de llevar a cabo el envío y la recepción de los datos en la nave espacial [1.2], [1.3]. En este caso, estarían incluidos los datos derivados de las operaciones científicas, así como también las operaciones derivadas de la carga de pago. En este caso, se trata de un subsistema de control de la información bidireccional, es decir se encarga de la recepción y demodulación de la información desde la estación de tierra al satélite, así como también de la transmisión, en tiempo real, desde el satélite hasta la estación de tierra.

Este subsistema está conectado a sendas unidades, transmisora y receptora de radiofrecuencia, que constituyen los puntos únicos de entrada o salida de datos en la nave espacial. Desde el punto de vista de la comunicación, se puede pensar en un enlace espacial, como un enlace de comunicaciones entre una nave espacial, y las estaciones de tierra, o un enlace de comunicaciones entre dos naves espaciales. De la misma manera, se puede definir al protocolo de enlace espacial como aquel protocolo de comunicaciones diseñado para ser usado sobre un enlace espacial, o en una red que contine uno o muchos enlaces espaciales. La información básica en un enlace espacial se

basa en datos de telemetría y telecomando. De esta manera, el enlace descendente de telemetría y el enlace ascendente de telecomando proporcionan el canal de comunicaciones, necesario, entre la nave espacial, y las estaciones de tierra.

En el enlace ascendente, el CDHS recibe y decodifica los datos y telecomandos de las operaciones, tanto de los sistemas de carga útil, como los de plataforma. Estos telecomandos serán dirigidos, posteriormente, a cada uno de los subsistemas o ejecutados directamente a nivel de plataforma.

Por su parte, en el enlace descendente, el CDHS toma varios tipos de datos adquiridos de los subsistemas que forman la plataforma, o generados por cargas de pago científicas. Estos datos, serán multiplexados y convertidos a tramas de datos, para su posterior transmisión a las estaciones de tierra.

1.2.2.- Subsistema de control de órbita y orientación

El subsistema de control de órbita y orientación (*Attitude and Orbit Control Subsystem*, AOCS) es el encargado de determinar la posición exacta del satélite respecto a su vertical, proporcionando apuntamiento preciso para las antenas de comunicaciones y para los sensores [1.4], [1.5].

El ámbito de trayectoria del satélite está determinado por el lanzador, encargado de ponerlo en órbita, y previamente definido en el proceso de fabricación del mismo. A continuación, el lazo de control a bordo del satélite se encarga de establecer y marcar la dirección y la orientación dentro de su órbita.

El principal inconveniente viene en que la orientación de los satélites puede verse afectada de numeras formas tanto desde el punto de vista de resistencia aerodinámica de las capas más exteriores de la

atmósfera terrestre, la influencia de la gravedad, la radiación solar o la propia interacción entre el campo magnético terrestre y los dipolos magnéticos presentes en el satélite. Este nivel de orientación puede verse afectado también por factores internos derivados de posibles vibraciones en el propio satélite.

Estas perturbaciones, debidas a fuerzas internas y externas al satélite, deben ser contrarrestadas por el AOCS. Este subsistema incluye sensores para identificar el nivel de orientación (como giroscopios, sensores solares, magnetómetros o rastreadores de estrellas) y sistemas de puesta en marcha (como lanzadores, volantes de reacción, o pares magnéticos) para controlar las rotaciones del satélite alrededor de su centro de masas.

1.2.3.- Subsistema de potencia

El subsistema de potencia se encarga de generar, almacenar, controlar y distribuir la potencia con el nivel de tensión adecuado para todos los equipos y cargas conectados al satélite [1.6].

1.2.3.1.- Subsistema de potencia no regulado

La Fig.1.2 muestra el esquema de bus de potencia no regulado, también conocido como bus de batería o bus regulado en iluminación solar. Las fuentes de energía serían el panel solar y la batería. De esta forma, sería la propia batería la que se encarga de alimentar las cargas, cuando el panel solar no sea capaz de proporcionar la suficiente potencia. A su vez, existe una conversión secundaria, por parte de las cargas, en la que se adapta el nivel de tensión proporcionado por la batería, a las necesidades de cada una de estas.

Desde el punto de vista del panel solar, cuando este sea capaz de proporcionar la potencia suficiente, será el llamado regulador de panel solar (*Solar Array Regulator – SAR*), el que se encargue de extraer la potencia de dicho panel, con el objetivo de alimentar las cargas, y de cargar la batería.

De este proceso de regulación se encarga el amplificador de error principal (*Mean Error Amplifier* – MEA). Este proceso se basa en medir la tensión de la batería con el objetivo de saber cuánta potencia ha de inyectar el SAR, con el objetivo de mantener la batería cargada. En este caso, los valores típicos de tensión en las baterías estarán entre 24 V y 32 V.

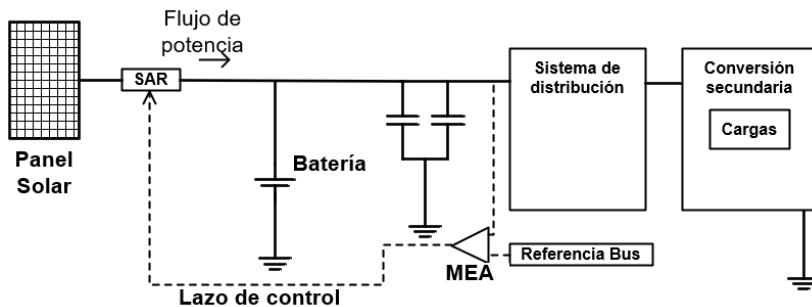


Fig.1.2. Esquema básico del bus de potencia no regulado de un satélite

1.2.3.2.- Subsistema de potencia regulado

En la actualidad, el subsistema de potencia regulado, típico en los satélites, como el representado en la Fig.1.3, está formado por tres bloques: el SAR, el regulador de carga de batería (*Battery Charge Regulator* - BCR) y el regulador de descarga de batería (*Battery Discharge Regulator* - BDR) [1.1]. El SAR, se mantiene como el bloque encargado de extraer la energía del panel solar, mientras que el BCR y el BDR se encargan de inyectar o extraer energía de las baterías en función del balance neto de potencias entre el panel solar y las cargas. Estos bloques (SAR, BCR y BDR) están basados en convertidores continua-continua con diferentes especificaciones de potencia y tensiones de entrada y salida, no solo entre sí, sino también cambiantes entre distintas misiones (i.e. satélites). Debido a esto, la solución actual se centra en tener tres topologías distintas, tanto en especificaciones como en topologías. En el caso de los bloques SAR y

BCR, típicamente se emplean topologías reductoras (*Buck* o *Superbuck*) [1.7], [1.8], mientras que el bloque BDR está basado en topologías elevadoras (*Superboost* o *Weinberg*) [1.9], [1.10].

A modo de resumen general del esquema representado en la Fig.1.3, el panel solar está conectado al bus principal, a través del bloque SAR. Este bloque extrae la energía del panel solar, alimentando al bus de potencia principal. Seguidamente, la batería almacena la energía cuando la potencia demandada por las cargas de pago es menor que la potencia proporcionada por el SAR. Para este propósito, se tienen dos módulos conectados en paralelo, uno de ellos es el BCR, que almacena energía en la batería, y el otro es el BDR, que se encarga de extraer la energía de la batería, proporcionándola al bus de potencia principal. Con el objetivo de mantener la tensión del bus constante, existe un lazo de control (MEA), que es quien dicta cuánta potencia ha de ser procesada por cada uno de estos módulos, en función de la situación de trabajo en la que se encuentren.

En este tipo de arquitecturas de bus reguladas, el nivel de tensión del bus dependerá de los distintos requisitos de potencia establecidos en [1.1]. Para niveles de potencia menores de 1,5 kW, el bus se diseña para operar a 28 V. Para rangos de potencia comprendidos entre 1,5 kW y 8 kW, el nivel de tensión de bus será de 50 V. Finalmente, para potencias por encima de 8 kW, los niveles de tensión de bus están comprendidos entre 100 V y 120 V.

A su vez, el bus de potencia secundario es el encargado de adaptar los niveles de tensión del bus (28 V, 50 V ó 100 V) a los niveles de tensión requeridos por los distintos subsistemas que forman el satélite. En este sentido conviene destacar que las baterías presentan niveles de tensión inferiores, y cercanos a los niveles de tensión de bus. La estructura de cada una de estas fuentes suele estar basada en un convertidor sencillo, que por normativa suele ser aislado (*Flyback* o *Fordward*), seguido de un regulador lineal para la adaptación al nivel de tensión requerida por el subsistema al que se conecta.

Finalmente, entre el bus de potencia principal y el bus de potencia secundario, se encuentra el sistema de distribución, formado por los limitadores de corriente de enclavamiento (*Latching Current Limiters*, LCLs) [1.11], [1.12]. Estos circuitos se encargan de proporcionar protección al bus de potencia frente a sobrecargas, así como también de la distribución de potencia eléctrica de forma segura en los satélites. El Capítulo 4, de este documento de tesis, se centra en el análisis y diseño de este tipo de protecciones.

Por razones de fiabilidad, se emplea redundancia (típicamente 2+1), con lo que cada uno de los bloques SAR, BCR y BDR se componen de tres módulos en paralelo dimensionados para procesar la mitad de la potencia nominal. De esta forma, si se produjese un fallo en alguno de ellos, todavía se dispondría de dos módulos capaces de proporcionar toda la potencia necesaria. Con el objetivo de que esta redundancia sea efectiva, cada convertidor tiene que poder evitar que un fallo interno se propague fuera, afectando con ello al correcto funcionamiento de los otros módulos. Esto implica incluir interruptores adicionales en la entrada y/o salida del convertidor para permitir su desconexión del sistema en caso de fallo. Esta inclusión de interruptores extra afectará de manera negativa a aspectos tales como el coste, el tamaño y el rendimiento de cada convertidor.

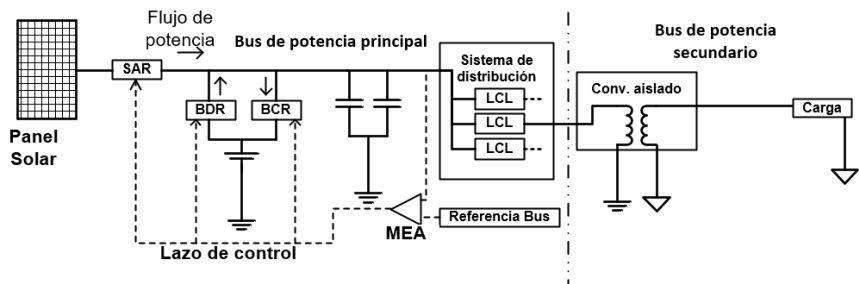


Fig.1.3. Esquema básico de un sistema de potencia regulado en un satélite

1.2.4.- Subsistema de control térmico

Este subsistema se encarga de mantener la temperatura del satélite dentro de los límites establecidos, durante las misiones. Proporciona refrigeración de manera activa o pasiva, según sea necesario. Este subsistema está formado por disipadores, calentadores, sensores de temperatura (termistores), así como también instrumentación electrónica [1.13],[1.14]. Estos equipos están diseñados teniendo en cuenta la potencia media de disipación, el calor externo procedente del sol, la luz solar reflejada por la Tierra (albedo), y el calor derivado de la radiación infrarroja de la Tierra.

En el espacio se hace complicado el poder llegar a corregir los problemas derivados de la disipación de calor. De esta manera, se hace necesario que el subsistema de control térmico esté correctamente diseñado y verificado, y que presenta un alto rendimiento y fiabilidad. Este subsistema es el encargado de mantener la temperatura estable de componentes electrónicos sensible, y de componentes ópticos.

El control térmico, en el ámbito de las aplicaciones espaciales cubre un amplio rango de temperaturas, desde el nivel criogénico (menos de $-270\text{ }^{\circ}\text{C}$), hasta la protección térmica a altas temperaturas (por encima de $2000\text{ }^{\circ}\text{C}$). En este sentido, el subsistema de control térmico es absolutamente esencial desde el punto de vista de la integridad física del satélite y de la operación óptima de los componentes y equipos electrónicos del mismo. En el caso de las cargas de pago, son las que dictan su rango de operación. Por ejemplo, algunos instrumentos con detectores infrarrojos requieren temperaturas extremadamente bajas. Existen otros muchos componentes cuya vida útil se puede ver reducida, debido a altas temperaturas.

El nivel de temperatura de una nave espacial está determinado por el balance entre la radiación solar externa, el albedo y los propios flujos de calor, producidos internamente por los equipos electrónicos,

y considerando también el calor lanzado al exterior. De esta forma, el subsistema térmico siempre busca el mantener la temperatura global del satélite en un valor aceptable, y al mismo tiempo obtener la distribución más adecuada de la temperatura dentro del propio satélite.

1.2.5.- Subsistema de propulsión

Este subsistema proporciona a los satélites la fuerza para ajustar su órbita alrededor de la Tierra y, para mantenerse por debajo de un nivel máximo, durante la duración de la misión espacial. Por lo general, esto se consigue a través de una mezcla de gases de alta presión como el helio o el nitrógeno [1.15].

A día de hoy se continúan desarrollando nuevas tecnologías para permitir lanzamientos más fiables, a menor coste, y que presenten menores niveles de contaminación. En el caso de los cohetes, por ejemplo, típicamente se emplea “propulsión química”, fundamentalmente de dos tipos: líquida y sólida. Mientras que la propulsión líquida es más eficiente, la sólida es más sencilla, segura y barata.

La propulsión líquida combina combustible con oxígeno en una cámara de combustión. La explosión de dicha mezcla genera gases de combustión. Estos gases se propulsan desde el motor, permitiendo el lanzamiento del cohete. En este caso, el nivel de combustible se puede controlar, así como también se puede regular el empuje producido por la propia propulsión.

La propulsión sólida funciona empleando el mismo principio que en el caso de los fuegos artificiales. En esta ocasión, se emplea una mezcla de combustible y oxidante, que a través de su combustión permite el despegue del cohete.

Una alternativa a la llamada propulsión química sería la propulsión eléctrica. Se trata de un método más eficiente que emplea la electricidad para expulsar gases a alta velocidad. Hoy en día, la

propulsión eléctrica se está convirtiendo en una tecnología muy madura, cuyo uso se está incrementado [1.16], [1.17]. En este sentido, los motores electrostáticos son particularmente preciados por su habilidad para proporcionar un empuje continuado durante períodos de tiempo prolongados, limitando el nivel de combustible.

1.3.- Evolución en el uso de los satélites

El *Sputnik I* fue el primer satélite artificial de la historia, puesto en órbita por parte de la Unión Soviética el 4 de octubre de 1957 [1.18]. Desde el punto de vista de la alimentación, integraba una única batería de plata-zinc la cual proporcionaba una potencia de 1 W para alimentar a dos transmisores. Dicha batería (no recargable) definía el límite de vida útil de la nave espacial. Este primer satélite fue seguido pronto por el modelo *Vanguard I* (1958), siendo este el primer satélite en incorporar celdas solares acopladas al sistema de baterías secundario (baterías recargables). Las baterías fueron incluidas con el objetivo de proporcionar alimentación durante los períodos de eclipse.

Desde entonces, el nivel de sofisticación a la hora de diseñar e implementar satélites artificiales, y de atender a las demandas energéticas que requieren para hacerlos funcionales, se ha visto incrementado en varios órdenes de magnitud. Lo que en su momento supuso una curiosidad científica se ha convertido en una herramienta indispensable hoy en día, desde el punto de vista de las comunicaciones, la meteorología, la observación, la navegación, la geodesia, la defensa nacional, el entretenimiento y el propio descubrimiento científico. De esta forma, desde aquellos primeros días y modelos de satélites, la frecuencia con la que se han llevado a cabo lanzamientos de satélites ha hecho del evento algo común. La Fig.1.4 muestra la evolución en el número de satélites lanzados en todo el mundo, desde 1957 hasta 2019 [1.19]. Si bien no ha sido una pauta

exclusivamente creciente, se debe tener en cuenta también el tamaño y las dimensiones de los satélites lanzados a lo largo del tiempo. Mientras que el primer *Sputnik* tenía un peso de unos pocos kilogramos, los lanzadores empleados en la actualidad presentan capacidades de carga de hasta mil kilogramos [1.18]. Aunque con los sistemas modernos se pueden poner en órbita cargas que sobrepasan los mil kilogramos con relativa facilidad, el coste del lanzamiento se mantiene muy alto (típicamente varios cientos de dólares por kilogramo, dentro de la órbita terrestre).

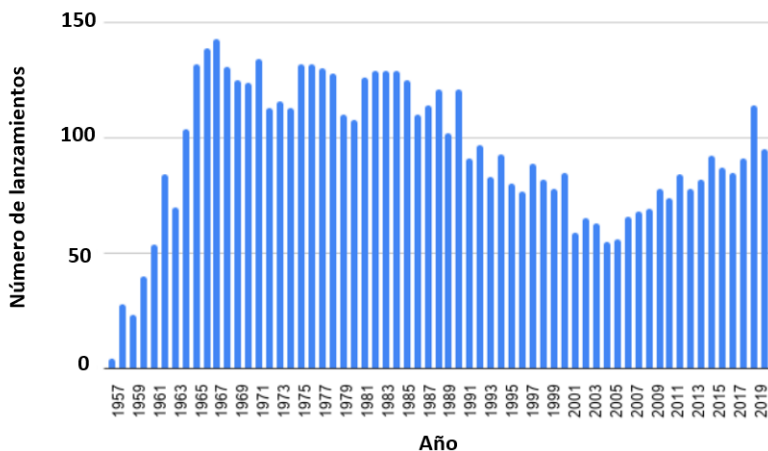


Fig.1.4. Número de satélites lanzados entre 1957 y 2019 [1.19]

1.3.1.- Paradigma “*new space*”

Uno de los cambios actuales en la forma de construir y plantear los sistemas de satélites ha venido de la mano del paradigma “*new space*” [1.20]. Este concepto hace referencia a una nueva manera de proceder dentro de la industria aeroespacial. De esta forma, la idea se basa en desarrollar una industria privada encargada del diseño, fabricación y puesta en marcha de satélites, y de aeronaves, con un claro objetivo comercial, trabajando de manera independiente a los gobiernos. Para ello se plantean desarrollos rápidos, modulares y más económicos, de

tecnologías espaciales, pensadas para uso comercial. Actualmente, existen tres grandes empresas operando bajo esta nueva filosofía: *SpaceX*, *Blue Origin* y *Virgin Galactic*.

Dentro de esa nueva filosofía existen varias metas a conseguir [1.21]. Por un lado, una innovación en los procesos industriales de desarrollo y manufacturación, basados en la reducción de tiempos de desarrollo. En este sentido, se plantea el poder adaptar algunas de las técnicas presentes en la producción en masa de la empresa del automóvil. Por otro lado, en todo aquello que tiene que con los tiempos de desarrollo de un producto hasta que se obtiene un producto final. La idea se basa en poder llegar a desarrollar entre 40 y 60 satélites por mes, (2 ó 3 satélites al día) [1.21], lo cual supone un ritmo de producción nunca visto en la industria espacial. De la misma manera, se persigue el comprimir costes en el desarrollo de las satélites fijando como objetivo un intervalo entre los 400.000 y los 500.000 dólares [1.21]. Desde el punto de vista de nuevos lanzamientos, se piensa en poder llegar a poner en órbita nuevos satélites cada 21 días [1.21].

Como ejemplo de esta nueva filosofía en el desarrollo de satélites, de encuentran las llamadas mega-constelaciones [1.22]. Una mega-constelación puede verse como un sistema que utiliza desde decenas hasta cientos de miles de satélites trabajando en la llamada órbita terrestre baja (*Low Earth Orbit* – LEO), con el objetivo de proporcionar servicios de datos de banda ancha y baja latencia, en cualquier parte del planeta. Los satélites que forman parte de este tipo de sistemas ocupan órbitas entre 400 km y 1220 km.

En este caso, el cambio de paradigma en su construcción se basa en que, para ser económicamente viables, este tipo de satélites se construyen en serie, intentando ser lo más pequeños y económicos posible, sin dejar de ser capaces de prestar los servicios requeridos.

Las áreas de aplicación de este tipo de sistemas van desde los servicios bancarios de baja latencia, hasta la capacidad de

proporcionar conexión a internet en áreas remotas, así como servicios de comunicación para aeronaves, barcos y potenciales usuarios militares.

El hecho de que los satélites que forman parte de estas mega-constelaciones se tengan que fabricar de manera asequible, conduce a la producción en masa. De esta manera, el tener que incorporar la automatización hace que la industria satelital acabe pareciéndose cada vez más a la industria de la automoción. Esta producción en serie supone un cambio muy significativo en la forma en la que se construyen los satélites, y abre la necesidad de plantearse cómo se pueden conseguir mejores tiempos de desarrollo, buena calidad y bajo coste, con el objetivo de conseguir equipos baratos, rápidos y mejores.

A modo de ejemplo de mega-constelaciones, se mencionan los casos:

Starlink: Empresa dentro del proyecto *SpaceX* pensada para el despliegue de una constelación de satélites con el objetivo de proporcionar servicio de internet de banda ancha, baja latencia y cobertura mundial, de bajo coste. En este sentido se trata de una mega-constelación formada por 12000 satélites (dato 2020) [1.23].

OneWeb: Se trata de una empresa de comunicaciones que ha comenzado con el lanzamiento de su propia constelación de satélites formada por 650 equipos en órbita LEO. El objetivo se basa en proporcionar acceso a internet en lugares rurales y remotos [1.24]. En este caso los satélites están contruidos de manera conjunta entre *Airbus* y la propia *OneWeb*.

Kuiper: En este caso se trata de una mega-constelación de satélites que planea desplegar Amazon. Dicha constelación estaría formada por 3236 (dato 2020) satélites en órbita LEO, con el objetivo de competir con la desarrollada por *Starlink*. Al igual que en los casos anteriores, la idea se basa en proporcionar servicios de banda ancha, rápida y asequible en lugares remotos [1.25].

1.4.- La creciente demanda de potencia en las naves espaciales

El incremento en el nivel de sofisticación de los satélites, así como también en sus dimensiones, ha ido acompañado de un incremento constante en sus requisitos de potencia. La Fig.1.5 muestra el crecimiento de la potencia necesaria por las naves espaciales desde los años 60 a los 2000. En cierto sentido, las demandas energéticas en los satélites de comunicaciones pueden tomar dos caminos distintos, dependiente de las órbitas. Por un lado, los satélites geosíncronos de comunicaciones suelen requerir entre 10 y 20 kW de potencia [1.18], frente a los satélites más pequeños, de órbitas más bajas, cuyos requisitos de potencia suelen variar entre las decenas y las centenas de vatios [1.18]. Para el resto de las aplicaciones, como puede ser la distribución de televisión privada en el hogar o los satélites de difusión directa, la tendencia ha ido hacia el incremento en el nivel de potencia requerido por las naves espaciales.

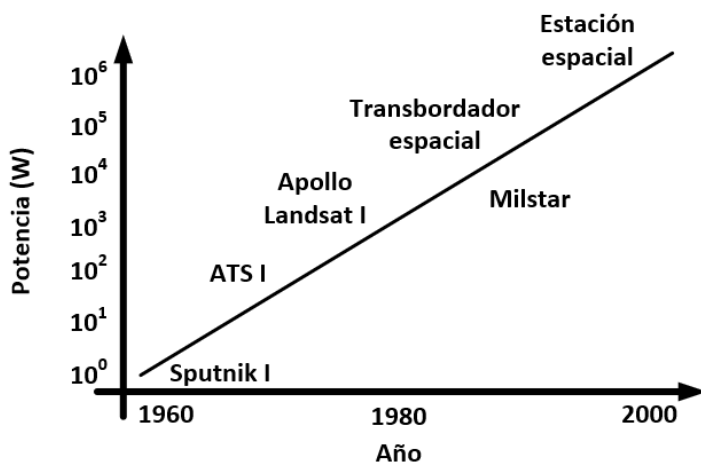


Fig.1.5 Crecimiento en los requisitos de potencia de las naves espaciales entre la década de los 60 y los 2000 [1.18]

1.4.1.- Problemática y motivación

A pesar del uso masivo de los satélites, existen una serie de problemáticas asociadas con el subsistema de potencia, en las que se centra el trabajo desarrollado en este documento de tesis. Como se ha comentado, la función del subsistema de potencia en los satélites es la de generar, distribuir y almacenar la potencia eléctrica necesaria en los demás subsistemas que forman el satélite. Dicha energía será obtenida a través de los paneles solares. Sin embargo, mientras que los rangos de tensiones en el bus de potencia están estandarizados a determinados valores, la tensión en los paneles solares carece de este nivel de estandarización.

Esto hace que los distintos bloques que forman el subsistema de potencia tengan que ser rediseñados, prácticamente desde cero, para cada nueva misión con el correspondiente incremento en costes y tiempos de desarrollo. En este sentido, este rediseño afecta a los bloques SAR, BCR y BDR que forman el subsistema de potencia del satélite. Como se ha comentado, la solución actual pasa por implementar distintas topologías para cada módulo. En este caso, se trataría de topologías reductoras [1.7], [1.8] para los bloques SAR y BCR, y de topologías elevadoras para el bloque BDR [1.9], [1.10].

Otro aspecto relevante dentro del diseño aeroespacial es que no existe normalización en el diseño del panel solar, o en la potencia nominal del satélite. Como consecuencia, las características de tensión y corriente del panel solar son distintas para cada satélite, ya que dependen enormemente de la geometría [1.26] disponible para el almacenamiento y despliegue del mismo, la potencia a montar, y otra serie de aspectos constructivos y mecánicos. De esta forma, el diseño del SAR debe replantearse prácticamente desde cero para cada nueva misión espacial. Los cambios de potencia nominal entre satélites hacen que el BCR y el BDR también deban ser rediseñados para cada

nueva misión, pues los niveles de tensión de bus cambian, tal y como se explicó en anteriormente.

Teniendo en cuenta la proliferación y el uso masivo de satélites [1.27], tanto desde el punto de vista gubernamental, como a través de la reciente irrupción del sector privado, se hace necesario encontrar soluciones y planteamientos que permitan acortar los tiempos de desarrollo de un satélite, así como también estandarizar su fabricación y sus componentes. De esta forma, también se hace interesante el poder encontrar una topología óptima (desde el punto de vista del rendimiento) que pueda ser empleada en los tres bloques del subsistema de potencia. Dicha topología debe de ser capaz de elevar o reducir tensión en función del bloque en el que se coloque (SAR, BCR o BDR), debiendo estar protegida frente a la propagación de fallos.

Es precisamente en este sentido, y en esta falta de estandarización, donde se encuentra focalizado este trabajo de tesis, y donde la ESA plantea sus necesidades y demandas. Como se detalla en el siguiente apartado de Objetivos y Contribuciones, este trabajo pretende aportar una solución intermedia entre el panel solar y el SAR, con el objetivo de reaprovechar el bloque SAR entre misiones espaciales distintas, de la misma manera que abre la posibilidad a reaprovechar paneles solares entre satélites.

Es aspecto contribuye a conseguir una mayor estandarización en el diseño de los satélites, al mismo tiempo que persigue una reducción en los tiempos de desarrollo de estos. La idea fundamental de este trabajo se basa en ir introduciendo los factores de estandarización y reusabilidad, como aspectos clave, en el diseño y la construcción de los satélites.

1.5.- Objetivos y contribuciones originales de este trabajo

El objetivo de este trabajo pasa por el desarrollo de topologías y circuitos electrónicos para la mejora del bus de potencia y del subsistema de distribución en satélites.

Desde el punto de vista del subsistema de potencia, se plantea la posibilidad de un diseño modular a nivel de convertidor. De esta forma, se tendrá un diseño fijo de los bloques SAR, BCR y BDR, independientes de panel solar empleado en las distintas misiones espaciales. Esto a su vez, permite una reducción en los costes y tiempos de desarrollo en el subsistema de potencia del satélite.

Por su parte, el subsistema de distribución del satélite es en el que se implementan los sistemas de protección del bus principal frente a sobrecargas. En este sentido, los dispositivos limitadores de corriente de enclavamiento (LCLs) hacen las veces de fusibles de protección, rearmables. En este trabajo se plantea una nueva topología de LCL basada en transistores N-MOS de carburo de silicio (SiC), frente a los transistores P-MOS de silicio, tradicionalmente utilizados. De esta forma, se podría llegar a reducir las pérdidas presentes en este tipo de circuitos, mejorando su eficacia.

Las contribuciones originales de este trabajo son las siguientes:

Arquitecturas. Se realiza un análisis de las arquitecturas posibles, con el objetivo de simplificar el bus de potencia de los satélites, que cumplan con los requisitos propuestos en un determinado caso de estudio. Se elige como solución aquella basada en el uso de transformadores de CC (DCX) similares a los planteados en [1.28]-[1.47], con el objetivo de llevar a cabo una solución que permita adaptar los niveles de tensiones y potencias de forma modular. De esta

forma, se consigue independizar el bloque SAR del panel solar empleado.

Diseño del convertidor modular DCX. Se lleva a cabo el diseño e implementación de la topología propuesta, en función de los requisitos establecidos. Esta topología se analiza desde el punto de vista de adaptación de los distintos niveles de tensiones y potencias, al emplear varios módulos conectados entre sí. Se analiza también buscando un alto rendimiento y desde el punto de vista de su fiabilidad respecto a fallos.

Diseño de la topología LCL basada en N-MOS de SiC. Se propone una arquitectura de LCL basada en transistores N-MOS de SiC, en contrapartida a las topologías tradicionales basadas en transistores P-MOS [1.48]-[1.54]. El hecho de cambiar el transistor, que funciona como limitador de corriente, implica un rediseño completo en la etapa de control tradicional en este tipo de circuitos.

Verificación del funcionamiento del LCL. Una vez diseñada e implementada la topología, se evalúa su funcionamiento en función de las distintas clases de LCLs mostradas en [1.55]. De la misma manera, se plantean diferentes puntos de operación, dentro de una determinada clase, con el objetivo de analizar su fiabilidad.

De todos los estudios y resultados experimentales obtenidos, se extraen conclusiones sobre posibles mejoras de los sistemas planteados, y su correcta adecuación a las especificaciones de diseño.

1.6.- Bibliografía

[1.1] M. Patel, “Spacecraft Power Systems”, Boca Raton (FL) 2005.

[1.2] Telemetry and Telecommand. [En línea]. Disponible en: https://www.esa.int/Enabling_Support/Space_Engineering_Technology/Onboard_Computers_and_Data_Handling/Telemetry_Telecommand (Última visita: 12 de Abril 2022)

- [1.3] Artur Scholz, "Command and data handling system design for the COMPASS-1 picosatellite", University of Applied Sciences Aachen, Germany, May 2005
- [1.4] Control Systems [En línea]. Disponible en: https://www.esa.int/Enabling_Support/Space_Engineering_Technology/Control_Systems (Última visita: 12 de Abril 2022)
- [1.5] Attitude Control System [En línea]. Disponible en: <https://www.ohb-system.de/position-control.html> (Última visita: 12 de Abril 2022)
- [1.6] Power Systems [En línea]. Disponible en: https://www.esa.int/Enabling_Support/Space_Engineering_Technology/Power_Systems (Última visita: 12 de Abril 2022)
- [1.7] G. Xu, Z. Li, S. Wang and L. Jiang, "Study on high efficiency power supply with wide input voltage for stratospheric airships," 2014 IEEE Aerospace Conference, Big Sky, MT, 2014, pp. 1-7, doi: 10.1109/AERO.2014.6836517.
- [1.8] J. Leppäaho and T. Suntio, "Solar-generator-interfacing with a current-fed superbuck converter implemented by duality-transformation methods," The 2010 International Power Electronics Conference - ECCE ASIA -, Sapporo, 2010, pp. 680-687, doi: 10.1109/IPEC.2010.5543658.
- [1.9] E. Maset, A. Ferreres, J. B. Ejea, E. Sanchis-Kilders, J. Jordan and V. Esteve, "5kW Weinberg Converter for Battery Discharging in High-Power Communication Satellites," 2005 IEEE 36th Power Electronics Specialists Conference, Recife, 2005, pp. 69-75, doi: 10.1109/PESC.2005.1581604.
- [1.10] J. M. Blanes et al., "Two-Stage MPPT Power Regulator for Satellite Electrical Propulsion System," in IEEE Transactions on Aerospace and Electronic Systems, vol. 47, no. 3, pp. 1617-1630, July 2011, doi: 10.1109/TAES.2011.5937254.
- [1.11] D. Marroqui, A. Garrigos, J. Blanes, R. Gutierrez and E. Maset, "SiC Based Latching Current Limiter for High Voltage Space Power Distribution Systems," 2018 IEEE Energy Conversion Congress and Exposition (ECCE), Portland, OR, 2018, pp. 3669-3673, doi: 10.1109/ECCE.2018.8557760.
- [1.12] D. Marroqui, A. Garrigos, J. M. Blanes, R. Gutiérrez and E. Maset, "Circuit proposals for high-voltage latching current limiters," 2019 European Space Power Conference (ESPC), Juan-les-Pins, France, 2019, pp. 1-8, doi: 10.1109/ESPC.2019.8931995.

[1.13] Thermal Control [En línea]. Disponible en: https://www.esa.int/Enabling_Support/Space_Engineering_Technology/Thermal_Control (Última visita: 12 de Abril 2022)

[1.14] Thermal Control [En línea]. Disponible en: <https://www.nasa.gov/smallsat-institute/sst-soa/thermal-control> (Última visita: 12 de Abril 2022)

[1.15] Propulsion: lift-off, orbit adjustments and travelling through Space [En línea]. https://www.esa.int/Enabling_Support/Preparing_for_the_Future/Discovery_and_Preparation/ (Última visita: 12 de Abril 2022)

[1.16] A. Barzkar and M. Ghassemi, "Electric Power Systems in More and All Electric Aircraft: A Review," in IEEE Access, vol. 8, pp. 169314-169332, 2020, doi: 10.1109/ACCESS.2020.3024168.

[1.17] Alan H. Epstein and Steven M. O'Flarity, "Considerations for reducing aviation's CO2 with aircraft electric propulsion" in Aerospace Research Central (ARC), Feb 2019, doi: 10.2514/1.B37015

[1.18] Anthony K. Hyder, Ronald L. Wiley, G. Halpert, Donna Jones Flood, S. Sabripour, "Spacecraft power technologies", Imperial College Pres. 2000.

[1.19] Increasing Access to space [En línea] Disponible en: <https://www.clusterinc.com/articles/newsletter-vol-11-increasing-access-to-space>, (Última visita: 21/01/2022)

[1.20] The new space paradigm [En línea] Disponible en: <http://trinitamonti.org/2020/07/15/the-new-space-paradigm-spacex-is-just-the-beginning/>, (Última visita: 25/07/2022)

[1.21] Space industry: On-going structural changes and paradigm shifts [En línea] Disponible en: <https://www.emerton.co/space-industry-going-structural-changes-paradigm-shifts/> (Última visita: 25/07/2022)

[1.22] Mega-constellations in Space: revolutionising the satellite industry [En línea] Disponible en: <https://securecommunications.airbus.com/en/meet-the-experts/mega-constellations-in-space-revolutionising-satellite-industry>, (Última visita: 20/04/2022)

[1.23] El Sistema de internet de banda ancha más avanzado del mundo [En línea] Disponible en: <https://www.starlink.com/satellites>, (Última visita: 20/04/2022)

[1.24] OneWeb Satellites [En línea] Disponible en: <https://airbusonewebsatellites.com/>, (Última visita: 20/04/2022)

- [1.25] Kuiper, la constelación de satélites de Amazon, [En línea], Disponible en: <https://www.astrobitalcora.com/kuiper-la-constelacion-de-satelites-de-amazon/>, (Última visita: 20/04/2022)
- [1.26] Henry Louie and Peter Dauenhauer “Effects of Load Estimation Error on Small-Scale Off-Grid Photovoltaic System Design, Cost and Reliability”, 2016 in Energy for suitable development, DOI: 10.1016/j.esd.2016.08.002.
- [1.27] Visualizing Earth satellite [En línea]. Disponible en: <https://www.weforum.org/agenda/2020/10/visualizing-earth-satellites-space-exploration>. (Última visita: 14/06/2021).
- [1.28] Q. Zhu, L. Wang, L. Zhang and A. Q. Huang, "A 10 kV DC transformer (DCX) based on current fed SRC and 15 kV SiC MOSFETs," 2018 IEEE Applied Power Electronics Conference and Exposition (APEC), 2018, pp. 149-155, doi: 10.1109/APEC.2018.8341001.
- [1.29] Shiguo Luo, Zhihong Ye, Ray-Lee Lin and F. C. Lee, "A classification and evaluation of paralleling methods for power supply modules," 30th Annual IEEE Power Electronics Specialists Conference. Record. (Cat. No.99CH36321), 1999, pp. 901-908 vol.2, doi: 10.1109/PESC.1999.785618.
- [1.30] Wei Qin, Guixing Lan and Xinke Wu, "A family of ZVSZCS resonant DCX with DC resonant capacitor," 2015 IEEE 2nd International Future Energy Electronics Conference (IFEEEC), 2015, pp. 1-6, doi: 10.1109/IFEEEC.2015.7361431.
- [1.31] W. Qin, B. Zhu, X. Zhang and X. Wu, "A novel current-feed soft-switching two-switch forward resonant DC-DC Transformer (DCX)," 2014 International Power Electronics and Application Conference and Exposition, 2014, pp. 126-130, doi: 10.1109/PEAC.2014.7037841.
- [1.32] Xianjin Zhang and Caihong Fan, "Research on a novel DC-DC transformer," 2011 International Conference on Electric Information and Control Engineering, 2011, pp. 1619-1622, doi: 10.1109/ICEICE.2011.5778002.
- [1.33] Jung Won Kim, Hang Seok Choi and B. H. Cho, "A novel droop method for the converter parallel operation," APEC 2001. Sixteenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.01CH37181), 2001, pp. 959-964 vol.2, doi: 10.1109/APEC.2001.912483.
- [1.34] G. Ivensky, A. Abramovitz, M. Gulko and S. Ben-Yaakov, "A resonant DC-DC transformer," [Proceedings] APEC '92 Seventh Annual Applied Power Electronics Conference and Exposition, 1992, pp. 731-737, doi: 10.1109/APEC.1992.228340.

- [1.35] Y. Panov, J. Rajagopalan and F. C. Lee, "Analysis and design of N paralleled DC-DC converters with master-slave current-sharing control," Proceedings of APEC 97 - Applied Power Electronics Conference, 1997, pp. 436-442 vol.1, doi: 10.1109/APEC.1997.581489.
- [1.36] P. Czyz, T. Guillod, F. Krismer, J. Huber and J. W. Kolar, "Design and Experimental Analysis of 166 kW Medium-Voltage Medium-Frequency Air-Core Transformer for 1:1-DCX Applications," in IEEE Journal of Emerging and Selected Topics in Power Electronics, doi: 10.1109/JESTPE.2021.3060506.
- [1.37] L. Wang, Q. Zhu, W. Yu and A. Q. Huang, "A Medium-Voltage Medium-Frequency Isolated DC-DC Converter Based on 15-kV SiC MOSFETs," in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 5, no. 1, pp. 100-109, March 2017, doi: 10.1109/JESTPE.2016.2639381.
- [1.38] H. Fan and H. Li, "High-Frequency Transformer Isolated Bidirectional DC-DC Converter Modules With High Efficiency Over Wide Load Range for 20 kVA Solid-State Transformer," in IEEE Transactions on Power Electronics, vol. 26, no. 12, pp. 3599-3608, Dec. 2011, doi: 10.1109/TPEL.2011.2160652.
- [1.39] M. H. Ahmed, F. C. Lee and Q. Li, "Two-Stage 48-V VRM With Intermediate Bus Voltage Optimization for Data Centers," in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 9, no. 1, pp. 702-715, Feb. 2021, doi: 10.1109/JESTPE.2020.2976107.
- [1.40] H. Shi, X. Wu and M. Xia, "Analysis of MHz 380V-12V DCX with Low FoM Device," 2019 10th International Conference on Power Electronics and ECCE Asia (ICPE 2019 - ECCE Asia), 2019, pp. 1821-1829, doi: 10.23919/ICPE2019-ECCEAsia42246.2019.8797111.
- [1.41] Ö. Ş. Alemdar and O. Keysan, "Design and implementation of an unregulated DC-DC transformer (DCX) module using LLC resonant converter," 8th IET International Conference on Power Electronics, Machines and Drives (PEMD 2016), 2016, pp. 1-6, doi: 10.1049/cp.2016.0156.
- [1.42] M. Fu, C. Fei, Y. Yang, Q. Li and F. C. Lee, "A GaN-Based DC-DC Module for Railway Applications: Design Consideration and High-Frequency Digital Control," in IEEE Transactions on Industrial Electronics, vol. 67, no. 2, pp. 1638-1647, Feb. 2020, doi: 10.1109/TIE.2019.2896279.
- [1.43] G. Deng et al., "ZVS Analysis of Half Bridge LLC-DCX Converter Considering the Influence of Resonant Parameters and Loads," 2020 IEEE

Energy Conversion Congress and Exposition (ECCE), 2020, pp. 1186-1190, doi: 10.1109/ECCE44975.2020.9235371.

[1.44] H. Zhou et al., "Input-Series Output-Equivalent-Parallel Multi-Inverter System for High-Voltage and High-Power Wireless Power Transfer," in *IEEE Transactions on Power Electronics*, vol. 36, no. 1, pp. 228-238, Jan. 2021, doi: 10.1109/TPEL.2020.3000244.

[1.45] R. Ramachandran and M. Nymand, "Experimental Demonstration of a 98.8% Efficient Isolated DC–DC GaN Converter," in *IEEE Transactions on Industrial Electronics*, vol. 64, no. 11, pp. 9104-9113, Nov. 2017, doi: 10.1109/TIE.2016.2613930.

[1.46] H. Chen and X. Wu, "LLC resonant DC transformer (DCX) with parallel PWM output tight regulation," 2014 IEEE Energy Conversion Congress and Exposition (ECCE), 2014, pp. 4742-4747, doi: 10.1109/ECCE.2014.6954050.

[1.47] X. Chen et al., "A Natural Bidirectional Input-Series–Output-Parallel LLC-DCX Converter With Automatic Power Sharing and Power Limitation Capability for Li-Ion Battery Formation and Grading System," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 4, pp. 3618-3632, Dec. 2020, doi: 10.1109/JESTPE.2019.2941583.

[1.48] A. Soto, L. Jimenez, E. Lapeña, C. Delepaut, "Stability analysis for the LCL of GEO-PCDU product," 10th ESPC, 13 –17 April 2014 Noordwijkerhout, The Netherlands.

[1.49] C. Delepaut, T. Kuremyr, M. Martin, F. Tonicello, "LCL current control loop stability design," 10th ESPC, 13 –17 April 2014 Noordwijkerhout, The Netherlands.

[1.50] S. Pappalardo, C. Ribellino, I. Mirabella et al. "Integrated Current Limiter: Applications tests," 10th ESPC, 13 –17 April 2014 Noordwijkerhout, The Netherlands.

[1.51] A. V. Dias, J. A. Pomilio and S. Finco, "A current limiting switch for applications in space power systems," 2017 IEEE Southern Power Electronics Conference (SPEC), 2017, pp. 1-6, doi: 10.1109/SPEC.2017.8333594.

[1.52] F. Tonicello, O. El Korashy, A. Pesce, "Performance and simplicity in power conversion functions made possible by new European components," 9th ESPC, 6 10 June 2011, Saint Raphaël, France.

[1.53] H. Shi, C. Zhao, Y. Jin and Y. Liu, "Current limiting protection in spacecraft power system," 2015 3rd International Conference on Electric

Power Equipment – Switching Technology (ICEPE-ST), 2015, pp. 561-565, doi: 10.1109/ICEPE-ST.2015.7368377.

[1.54] M. Komatsu, N. Ide and S. Yanabu, "A Solid-State Current Limiting Switch for Application of Large-scale Space Power Systems," 2007 IEEE Power Electronics Specialists Conference, 2007, pp. 1471-1476, doi: 10.1109/PESC.2007.4342211.

[1.55] "Space engineering - Electrical design and interface requirements for power supply, ECSS-E-ST-20-20C". ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands, 15 April 2016.

Capítulo 2: Estandarización del bus de potencia en satélites

Como se ha comentado en el Capítulo 1, la energía empleada por el subsistema de potencia de los satélites se obtiene a partir de paneles solares. Además, existen un conjunto de convertidores y baterías encargados de procesar y almacenar dicha energía cuando el consumo del satélite es menor que la potencia que entregan los paneles, y la ceden cuando dicha situación se invierte.

Como se verá en este capítulo, uno de los principales problemas a los que se enfrenta el diseño de satélites, es la falta de estandarización. Este aspecto, al que ya se hacía referencia en el Capítulo 1, junto con la mayor irrupción de la empresa privada en el ámbito espacial, hace necesario replantear el diseño y los costes derivados del mismo en la fabricación de los satélites. En este capítulo se aborda la posibilidad de replantear el subsistema de potencia a nivel convertidor, con el objetivo de desarrollar una única topología válida. De esta forma, el rediseño necesario para cada misión se vería drásticamente minimizado o, incluso, eliminado. En primer lugar, se presenta un análisis de una serie de topologías aisladas que podrían ser las más idóneas para la estandarización del subsistema de potencia regulado, con la condición de maximizar el rendimiento. Finalmente, se presenta el uso de un transformador electrónico como posible solución alternativa de cara a independizar el subsistema de potencia del diseño variable del panel solar.

2.1.- Motivación

El objetivo de este capítulo se basa en presentar una serie de criterios que permitan comparar entre distintas topologías, con las que implementar los bloques SAR, BCR y BDR, y pensadas para simplificar y estandarizar el subsistema de potencia en satélites. De la misma manera, se plantea el mecanismo de selección de los componentes (semiconductores, y componentes magnéticos) empleados en las distintas topologías seleccionadas.

En el caso de todas estas topologías (módulos), denotadas como básicas en este capítulo, la adaptabilidad a distintos diseños (i.e. satélites), estaría basada en el rediseño de los componentes magnéticos que las forman, así como también en las distintas conexiones serie/paralelo entre entradas y paralelo entre salidas de estas, con el objetivo de escalar y adaptar los distintos niveles de tensión y potencia, a los necesarios, en función del punto de trabajo.

2.2.- Requisitos empleados en la selección y comparativa de topologías modulares

La selección de la topología óptima para la estandarización de los convertidores empleados en el subsistema de potencia regulado (Fig.2. 1) debe atenerse a las reglas que rigen el diseño de convertidores para aplicaciones aeroespaciales y a las circunstancias propias del entorno en las que va a operar el convertidor (i.e. el espacio). El hecho de que el convertidor debe elevar o reducir la tensión en función del bloque en el que se vaya a implementar hace de las topologías aisladas buenas candidatas para su posible implementación. Por un lado, está el hecho de que algunas topologías aisladas, basadas en estructuras en medio

punto y punto completo, están inherentemente protegidas frente a fallo, como se verá a continuación, y por otro lado, está el hecho de que el cambio entre elevador y reducir tensión, puede lograrse mediante un número reducido de elementos en el diseño del convertidor.

Fundamentalmente, los cambios se basarían en el rediseño del transformador magnético, y en la etapa de rectificación, debido a cambios en el nivel de tensión del bus. En cualquier caso, con un número reducido de transformadores y etapas de rectificación, podría conseguirse que un mismo convertidor (módulo) pueda funcionar en modo reductor o elevador en los distintos bloques que forman el bus de potencia.

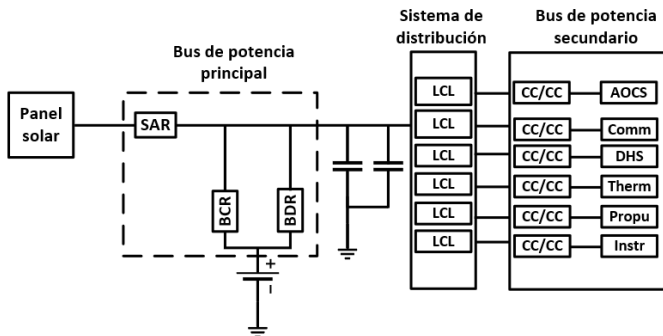


Fig.2. 1. Esquema del bus de potencia regulado de un satélite

2.2.1.- Análisis de la fiabilidad

En este apartado se analizará la fiabilidad de los componentes electrónicos y de las topologías propuestas para la estandarización del subsistema de potencia. Para llevar a cabo esta tarea, se emplea el documento “*Failure modes, effects and criticality analysis*” (FMECA) con referencia ECCS-Q-ST-30-02C [2.1]. En este documento, se establecen los principios y requisitos que se deben cumplir en relación con los posibles modos de fallo de los componentes, y en cómo estos

puedan influir en el resto de los módulos conectados al bus de potencia del satélite.

En relación con el FMECA, los componentes de interés, desde el punto de vista de la fiabilidad y de sus posibles modos de fallo, serían:

1. Diodos, analizando fallo por cortocircuito (FCC) y por circuito abierto (FCA).
2. Transistores, analizando posible FCC o FCA.
3. Transformadores, considerando FCC entre espiras, FCC entre terminales, FCC entre devanados, FCC entre devanados y núcleo y FCA entre terminales.
4. Bobinas, considerando FCC entre terminales, FCC entre espiras, FCC entre devanado y núcleo y FCA entre terminales.

Para este análisis sólo se considerarán los dos primeros casos (fallos en diodos y transistores), ya que son aquellos componentes cuyos fallos potenciales pueden tener las peores consecuencias, desde el punto de vista de producir pérdida de funcionalidad en los bloques SAR, BCR y BDR.

En este caso, de acuerdo con lo indicado en la sección 4.13 del documento ECCS-Q-ST-30-02C [2.1], se trata de un análisis de fallo único, es decir, sólo se considera un único fallo por módulo/convertidor. De esta forma, los fallos en los componentes magnéticos pueden afectar al correcto funcionamiento de la topología que se esté analizando, pero en el caso de considerar redundancia, simplemente desconectado dicho módulo del bus de potencia, el fallo no debería propagarse ni afectar a la misión.

En el caso de los condensadores, su análisis no resulta muy relevante ya que se plantea el uso de condensadores autorreparables (*self-healing*), lo cual implica la no posibilidad de que se produzca un FCC en los mismos.

En base a esto, se puede plantear un análisis preliminar de aquellas estructuras válidas, en primario y secundario del transformador, para la implementación de la topología.

2.2.1.1.- Estructuras en el primario

En base a los puntos detallados anteriormente, resulta sencillo analizar qué topologías pueden ser definidas como inherentemente robustas frente a la propagación de fallos: serán aquellas que no necesitan interruptores adicionales para evitar la propagación de cualquier fallo interno. En esta definición, se debe tener en cuenta los posibles modos de conexión de sus puertos de entrada y salida (i.e. conexión serie o paralelo). En este sentido, las dos topologías básicas pensadas para implementar el primario del transformador son: el medio puente y el puente completo.

En la Fig.2. 2 y la Fig.2. 3 se muestra el análisis de fallo en los semiconductores, en topologías en puente completo y en medio puente en el primario del transformador. En estas representaciones de las topologías en medio puente se puede ver una bobina, representando el primario del transformador magnético, y el condensador que aparece, comúnmente, conectado en serie en este tipo de topologías.

En el caso de una estructura con varios módulos, empleado el puente completo, conectados en paralelo, un FCA en uno de los MOSFETs de uno de estos módulos, (Fig.2. 2a), no afectará a los otros módulos conectados, si los interruptores sanos del puente completo analizado permanecen abiertos. Si los módulos están conectados en serie, los dos interruptores de la rama sana deberían permanecer cerrados para asegurar que el resto de los módulos pueden seguir operando. Si se emplea una configuración en medio puente (Fig.2. 2b), no habría mayor problema con una conexión en paralelo de varios módulos, manteniendo el otro interruptor (del mismo módulo) abierto. Si la conexión entre ellos es en serie, se necesitaría

un interruptor adicional para mantener la conexión entre los distintos módulos.

Ante un FCC en una configuración en puente completo, si el resto de los módulos están conectados en paralelo, el fallo quedaría aislado (Fig.2. 3a), dejando el resto de los interruptores abiertos, mientras que, si la conexión es en serie, habría que mantener los otros dos interruptores, de la rama no afectada por el fallo, cerrados, para garantizar la conexión entre los distintos módulos. Si se emplea una configuración en medio puente (Fig.2. 3b), y los módulos están conectados en paralelo, ante un FCC de uno de los interruptores, el otro ha de permanecer abierto para evitar la propagación del fallo al resto de módulos. Si los módulos están conectados en serie y se produce un FCC en uno de los interruptores, bastaría con mantener el otro cerrado, evitando así que el fallo se propague.

2.2.1.2.- Estructuras en el secundario

En el caso del secundario del transformador, se consideran únicamente las configuraciones de rectificador en puente completo y con toma media. Dado que los bus de tensión de salida de los satélites están estandarizados a tres posibles valores (28 V, 50 V y 100 V), solo se consideran conexiones en paralelo entre módulos. De este modo, ante un FCA tanto en puente completo (Fig.2. 4a) como en toma media (Fig.2. 4b), si el resto de los interruptores, del mismo módulo, se mantienen abiertos, el fallo quedaría aislado. Si se produce un FCC sólo sería crítico en el caso de emplear la configuración con toma media (Fig.2. 5) donde se necesitaría un diodo adicional de protección, conectado a la salida de cada módulo (diodo de *OR-ing*).

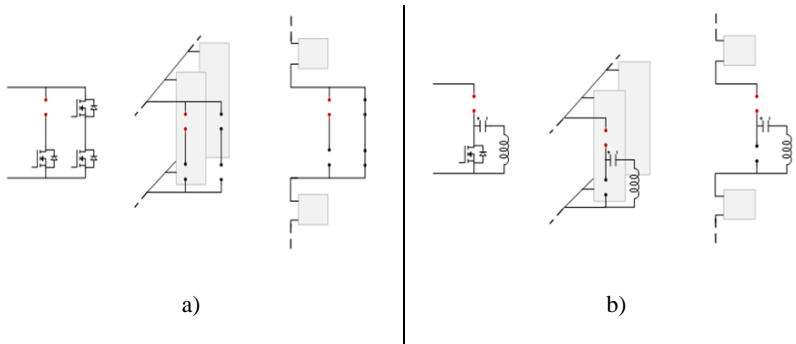


Fig.2. 2. Posibles casos de FCA en configuraciones puente completo (a) y medio puente (b)

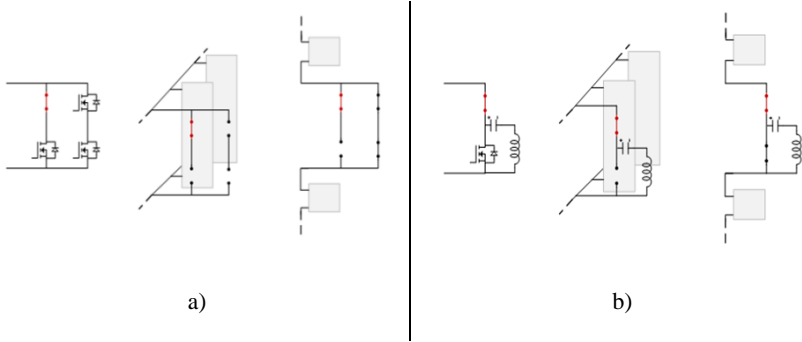


Fig.2. 3. Posibles casos de FCC en configuraciones puente completo (a) y medio puente (b)

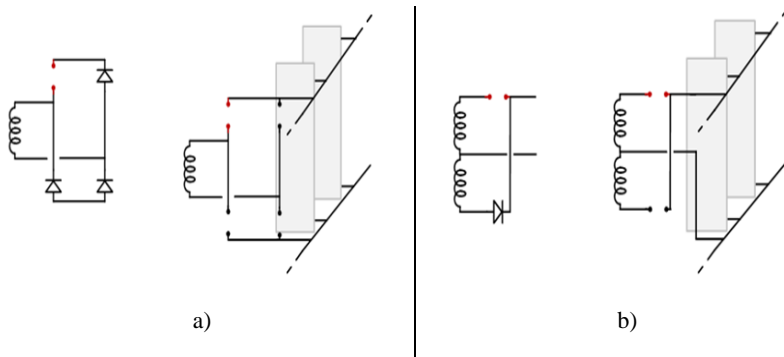


Fig.2. 4. Posibles casos de FCA en configuraciones rectificador de doble onda (a) y rectificador con toma media (b)

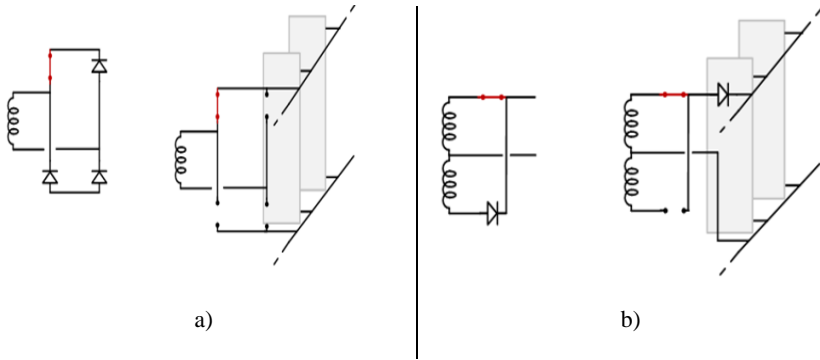


Fig.2. 5. Posibles casos de FCC en configuraciones rectificador de doble onda (a) y rectificador con toma media (b)

2.2.2.- Selección de componentes

Dentro de las topologías robustas frente a la propagación de fallos, aquella con el rendimiento más elevado será la óptima. Dado que se trata de una aplicación aeroespacial, y que la lista de componentes validados para su uso en este tipo de aplicaciones es muy limitada, se puede contar con bases de datos con todos ellos, que incluyas además todos los parámetros necesarios para poder evaluar los siguientes tres requisitos:

1. Sus tensiones y corrientes máximas son mayores que las que impone la topología analizada, considerando los márgenes de seguridad establecidos en el ECSS-Q-ST-30-02C [2.1].
2. Su temperatura final en la unión es inferior a la máxima establecida en la normativa, según la cual la máxima temperatura soportada por un semiconductor será de 110°C o la temperatura máxima del dispositivo (temperatura de la unión) menos 40°C , tomando al final aquella que sea menor [2.1].
3. Sus pérdidas son las menores de todos los semiconductores que cumplan con las dos condiciones anteriores.

De esta forma, el cálculo del rendimiento de cada topología puede realizarse considerando que en su implementación se han empleado los semiconductores reales que presentan las menores pérdidas para el caso de estudio seleccionado. La última de las condiciones impuestas, basada en tener las menores pérdidas, implica que los modelos de pérdidas desarrollados para la comparativa entre los distintos semiconductores han de ser lo suficientemente generales como para ser válidos para transistores de muy diversas especificaciones y, especialmente, de distintos fabricantes. Los modelos de pérdidas más complejos requieren de datos que no todas las hojas de características de semiconductores proporcionan.

2.2.2.2.- Modelo de pérdidas para MOSFETs

Los criterios utilizados para la selección óptima de los MOSFETs están basados en las pérdidas, y en la temperatura final de la unión del semiconductor. De la misma manera, también se busca que dichos parámetros no excedan las condiciones impuestas por la ESA en [2.1]. De esta forma, se detallan a continuación las expresiones empleadas para cuantificar las pérdidas en dichos semiconductores.

Las pérdidas en conducción están determinadas a través de expresiones bien conocidas:

$$P_{cond} = R_{dson} \cdot I_{rms}^2 \quad (2.1)$$

Donde P_{cond} denota las pérdidas en conducción del MOSFET analizado, R_{dson} sería la resistencia de canal del dicho transistor, y finalmente, I_{rms} denota el valor eficaz de la corriente en el MOSFET.

En este caso, la influencia de la temperatura en el valor final de la R_{dson} estará determinado a partir de la expresión (2.2):

$$R_{dson}(T_j) = R_{dson}(@25^{\circ}C) \cdot \left(1 + \frac{\alpha}{100}\right)^{T_j - 25} \quad (2.2)$$

Donde α es el coeficiente de temperatura de la $R_{ds(on)}$ y T_j es la temperatura de la unión del MOSFET seleccionado. Por su parte, $R_{ds(on)}$ (@25°C) será el valor de la resistencia de canal del MOSFET a 25 °C, tomado este como valor de referencia.

Las pérdidas en conmutación siempre son difíciles de predecir debido a la gran dependencia de múltiples factores. Existen modelos válidos para los dispositivos seleccionados cuando trabajan en determinadas condiciones, y que, por lo general dependen de coeficientes arbitrarios. De esta manera, para simplificar y acelerar el proceso de selección del MOSFET a utilizar, se ha empleado un modelo de pérdidas muy genérico, presentado en [2.2]. De esta forma, las pérdidas en conmutación se pueden expresar como:

$$P_{sw} = V_{ds} \cdot I_{ds} \cdot f_{sw} \cdot \frac{Q_g}{I_{dr}} \quad (2.3)$$

Donde P_{sw} denota el valor de las pérdidas en conmutación del dispositivo seleccionado, Q_g denota el valor de la carga de puerta del MOSFET seleccionado, I_{dr} es la corriente proporcionada por el *driver* utilizado para el control del MOSFET, f_{sw} es el valor de la frecuencia de conmutación, V_{ds} es el valor de la tensión que soporta el MOSFET cuando no conduce, e I_{ds} es el valor de la corriente drenador-fuente, cuando el semiconductor está en conducción.

Como se puede ver, se trata de un modelo muy simple del cálculo de las pérdidas en conmutación, que no tiene en cuenta factores presentes en modelos más complejos. De hecho, la corriente de puerta del dispositivo se considera como valor constante durante las transiciones del semiconductor. En este sentido, tan pronto como todas las topologías seleccionadas empleen este modelo para comparar pérdidas, aun cuando no se trate de un modelo extremadamente preciso, pasa a ser válido para una comparativa cuantitativa entre dispositivos y topologías.

Las pérdidas de puerta también han sido incluidas en este modelo:

$$P_{gate} = V_{dr} \cdot Q_g \cdot f_{sw} \quad (2.4)$$

Donde P_{gate} denota el valor de las pérdidas de puerta obtenidas para el MOSFET seleccionado, y V_{dr} sería el valor de la tensión proporcionada por el *driver*.

2.2.2.3.- Modelo de pérdidas para diodos

Las pérdidas en conducción se han obtenido de acuerdo a los modelos presentados en [2.3].

$$P_{cond} = V_\gamma \cdot I_{avg} + R_d \cdot I_{rms}^2 \quad (2.5)$$

Donde P_{cond} denota el valor de las pérdidas en conducción para el diodo seleccionado, V_γ sería el valor de la tensión de codo del diodo, R_d es el valor de la resistencia dinámica del diodo, I_{avg} es el valor medio de corriente en el diodo, e I_{rms} es el valor eficaz de corriente en el diodo. Se ha de considerar también que la curva tensión-corriente cambia con la temperatura de unión del dispositivo seleccionado, haciendo que los valores de V_γ y R_d , puedan experimentar variaciones. Con el objetivo de compensar este efecto, se calculan dos coeficientes (α_{V_γ} , α_{R_d}) a partir de dos puntos distintos de las curvas tensión-corriente del diodo seleccionado:

$$\alpha_{V_\gamma} = \frac{V_\gamma (@125^\circ C) - V_\gamma (@25^\circ C)}{125 - 25} \quad (2.6)$$

$$\alpha_{R_d} = \frac{R_d (@125^\circ C) - R_d (@25^\circ C)}{125 - 25} \quad (2.7)$$

Las pérdidas asociadas con el efecto capacitivo en la unión del semiconductor se pueden expresar como:

$$P_{cap} = f_{sw} \cdot \int_1^{V_r} C_t(V) \cdot V \cdot dV \quad (2.8)$$

Donde P_{cap} denota el valor de las pérdidas debidas a la capacidad parásita en la unión del semiconductor, V_r es la tensión inversa

soportada por el diodo, y $C_t(V)$ es el valor de dicha capacidad parásita para un valor de tensión 'V' dado.

En la relación con las pérdidas en conmutación relativas al efecto de recuperación inversa del diodo, son difíciles de calcular sin conocer las características del circuito empleado. De esta manera, se va a emplear, para su estimación, un modelo simplificado. De esta manera, aun tratándose un modelo no muy preciso, se puede obtener una figura de mérito que permite la comparativa entre los distintos diodos seleccionados. De esta forma:

$$P_{rr} = \frac{f_{sw} \cdot V_r \cdot Q_{rr}}{3} \quad (2.9)$$

Donde P_{rr} denota el valor de las pérdidas asociadas el efecto de recuperación inversa del diodo, V_r denota el valor de la tensión inversa soportada por el diodo, y Q_{rr} es la carga de recuperación inversa del diodo.

2.2.2.4.- Diseño óptimo de la bobina

El diseño optimizado está basado en minimizar las pérdidas en la bobina para los núcleos y materiales magnéticos seleccionados. De esta forma, se utilizarán las ecuaciones para el cálculo de pérdidas en el cobre y en el núcleo.

Las pérdidas en el cobre ' P_{cobre} ' se puede expresar en función del número de vueltas 'N':

$$P_{cobre}(N) = \rho \frac{l_m \cdot I_{rms}^2}{A_w \cdot f_w} \cdot N^2 \quad (2.10)$$

Donde ρ es el valor de la resistividad del cobre, l_m es el valor de la longitud del cobre, I_{rms} es el valor eficaz de la corriente por la bobina, A_w es el área de ventana y finalmente, f_w es el factor de ventana empleado.

Las pérdidas en el núcleo ‘ $P_{\text{núcleo}}$ ’, de acuerdo con la ecuación de Steinmetz, se pueden expresar como:

$$P_{\text{núcleo}}(N) = Vol \cdot c \cdot f^x \cdot \left(\frac{L \cdot I_{ac}}{2 \cdot N \cdot A_e} \cdot 10^3 \right)^y \cdot 10^3 \quad (2.11)$$

Donde Vol es el volumen del núcleo seleccionado, los parámetros c, x e y se obtienen a partir del material magnético del núcleo, L es el valor de inductancia, I_{ac} es el valor pico-pico de la componente de alterna de la corriente en la inductancia, y A_e es el valor del área efectiva del núcleo.

Seguidamente, se detallan las ecuaciones para obtener el valor del entrehierro deseado (g) y el valor del número de vueltas mínimo en la bobina (N_{min}):

$$g(N) = \frac{\mu_0 \cdot N^2 \cdot A_e}{L} - \frac{l_e}{\mu_r} \quad (2.12)$$

$$N_{\text{min}} = \frac{L \cdot I_{ac}}{B_{\text{sat}} \cdot A_e} \quad (2.13)$$

Donde μ_0 y μ_r denotan los valores de las permeabilidades absoluta y relativa, l_e es la longitud equivalente del núcleo magnético y B_{sat} es el nivel de saturación del campo magnético en el núcleo.

El criterio para la selección del núcleo óptimo no es directo. En general, cuando mayor es el tamaño del núcleo, menores serían las pérdidas. Por lo tanto, imponiendo el criterio de minimizar las pérdidas (de la misma manera que con los semiconductores) siempre llevaría a trabajar con los núcleos de mayor tamaño disponible.

Sin embargo, el criterio empleado será aquel, según el cual, el núcleo seleccionado será el menor de todos aquellos que cumplan con una determinada temperatura final, bajo unos ciertos límites impuestos por el material. En este sentido, la temperatura en el núcleo y en el cobre no es sencilla de calcular. Normalmente, se obtiene a través de aproximaciones obtenidas empleando métodos de elementos finitos.

En este caso particular el uso de este análisis no es posible, ya que entonces el proceso de selección se ralentiza demasiado. De esta forma, se plantea un método más sencillo.

Hay varias opciones para obtener un modelo térmico del cobre y del núcleo magnético. En este caso, las ecuaciones empleadas se han obtenido asumiendo disipación de calor, con generación interna. De este modo, en relación con el cobre, se le puede ver como un solo bloque que transfiere el calor hacia la placa de circuito impreso donde está conectado, tal y como se puede apreciar en la Fig.2. 6. Esto se realiza a través de una capa de material conductor del calor (típicamente *solithane*). Esta suposición permite considerar a la mitad del bloque de cobre (debido a simetría) como un bloque cuya sección transversal es igual al área de ventana y a la altura (H_{cobre}) derivada de la geometría del núcleo. Por razones de simplicidad, se asume que el calor transferido por parte del cobre (ver flechas verdes en Fig.2. 6) no afecta ni interacciona con el calor transferido por el resto del cobre (flechas rojas en Fig.2. 6), el cual representa el camino crítico que fijará el punto caliente en la bobina. De la misma manera, por razones de simplicidad, se asume que el cobre solo transfiere el calor siguiendo un patrón unidireccional cuando se aplica un material que transfiere el calor.

Ambas suposiciones llevan al peor caso, haciendo que la temperatura final del cobre [2.4] se pueda expresar:

$$T_{cobre} = \frac{P_{cobre}}{2} \cdot \left(\frac{H_{cobre}}{2 \cdot A_w \cdot f_w \cdot \lambda_{cobre}} + R_{thcobre} \right) + T_{ref} \quad (2.14)$$

Donde λ_{cobre} es el valor de la conductividad del cobre y $R_{thcobre}$ es el valor de la resistencia térmica de la capa de *solithane*, bajo el cobre. En este caso, T_{ref} se ha fijado en 40°C.

Considerando la geometría de la bobina (Fig.2. 6) la conductividad térmica del *solithane* y la profundidad de la capa de *solithane* (0,2

W/(m*K) y 0,2 mm, respectivamente), la ecuación (2.14) se puede expresar de la forma:

$$T_{cobre} = \frac{P_{cobre}}{2} \cdot \left(\frac{2 \cdot L_{ventana} + D_{núcleo}}{2 \cdot A_w \cdot f_w \cdot \lambda_{cobre}} + \frac{0,001}{A_w} \right) + T_{ref} \quad (2.15)$$

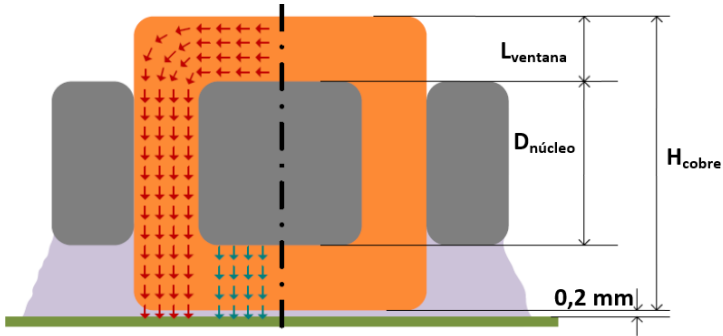


Fig.2. 6. Modelo térmico simplificado de la transferencia de calor para pérdidas en el cobre

En relación con el núcleo, y asumiendo núcleos horizontales en todos los diseños, se puede establecer un modelo térmico para el mismo, considerando que el núcleo disipará el calor en una sola dirección, en este caso hacia la placa a través del *solithane*.

Esto significa que se puede asumir que existe un contacto constante con una superficie, igual a la huella del núcleo, dividido por dos (debido a la simetría) menos el área de ventana.

Considerando esta suposición, la temperatura final del núcleo se puede expresar de la forma:

$$T_{núcleo} = \frac{P_{cobre}}{2} \cdot \left(\frac{D_{núcleo}}{2 \cdot \left(\frac{A_c}{2} - A_w \right) \cdot \lambda_{cobre}} + R_{th_núcleo} \right) + T_{ref} \quad (2.16)$$

Donde $R_{th_núcleo}$ es la resistencia térmica de la capa de *solithane* debajo del núcleo.

Considerando geometría:

$$T_{\text{núcleo}} = \frac{P_{\text{cobre}}}{2} \cdot \left(\frac{D_{\text{núcleo}}}{2 \cdot \left(\frac{A_c}{2} - A_w \right) \cdot \lambda_{\text{cobre}}} + \frac{L_{\text{ventana}}}{\left(\frac{A_c}{2} - A_w \right) \cdot \lambda_{\text{solithane}}} \right) + T_{\text{ref}} \quad (2.17)$$

Además de asumir que el *solithane* tiene exactamente la misma huella que el núcleo, en este modelo la pierna central no se considera. Sin embargo, el punto más caliente estará situado en su punto medio, y además presenta el camino térmico más largo hacia la placa en la que estaría situado el núcleo magnético (ver Fig.2. 7). Por lo tanto, considerando solo la pierna central, se puede establecer un segundo modelo térmico con el objetivo de considerar este peor caso.

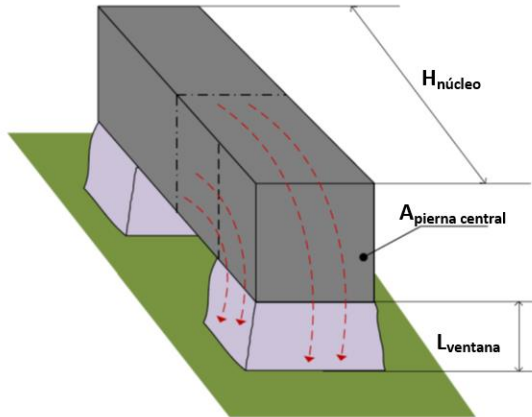


Fig.2. 7. Modelo térmico simplificado de la transferencia de calor para pérdidas en el núcleo

Las pérdidas del núcleo disipadas en la pierna central son proporcionales al volumen, que puede ser definido como el producto del área transversal ($A_{\text{pierna central}}$) y su longitud ($H_{\text{núcleo}}$). Asumiendo simetría, solo sería necesario considerar la mitad de las pérdidas en el núcleo. Por lo tanto, la temperatura del núcleo se puede expresar de la forma:

$$T_{núcleo} = \frac{P_{cobre}}{2} \cdot \frac{H_{núcleo}}{V_e} \left(\frac{H_{núcleo}}{2 \cdot \lambda_{cobre}} + \frac{L_{ventana}}{\lambda_{solithane}} \right) + T_{ref} \quad (2.18)$$

2.2.2.5.- Diseño óptimo del transformador

El diseño óptimo está basado en la minimización de las pérdidas en el transformador para el núcleo y material seleccionados. Por lo tanto, se emplearán las ecuaciones para el cálculo de las pérdidas en el cobre y en el núcleo. Estas ecuaciones se muestran muy similares a las vistas en la sección anterior, dedicada el diseño óptimo de la inductancia. La única diferencia se basa en la presencia de dos o más devanados en el mismo núcleo magnético, y además se añade la posibilidad de incluir, o no, entrehierro en el núcleo, dependiendo del diseño que se quiera conseguir.

Para el transformador, estas ecuaciones se pueden definir de la siguiente forma:

$$P_{cobre}(N) = \rho \frac{l_m \cdot I_{rms}^2}{A_w \cdot f_w \cdot K_w} \cdot N^2 \quad (2.19)$$

$$P_{núcleo}(N) = Vol \cdot c \cdot f^x \cdot \left(\frac{L_m \cdot I_{mac}}{2 \cdot N \cdot A_e} \cdot 10^3 \right)^y \cdot 10^3 \quad (2.20)$$

$$P_{núcleo_no_gap}(N) = Vol \cdot c \cdot f^x \cdot \left(\frac{V_{pri} \cdot D}{2 \cdot N \cdot A_e \cdot f_{sw}} \cdot 10^3 \right)^y \cdot 10^3 \quad (2.21)$$

Donde prácticamente, todas las variables son exactamente las mismas que las ya descritas en la sección anterior, pero en este caso, definidas para el núcleo escogido. L_m denota el valor de la inductancia magnetizante, I_{mac} denota el valor de pico de la corriente magnetizante, V_{pri} denota el valor de la tensión aplicada a la inductancia magnetizante (en el primario) del transformador, D representa el porcentaje de tiempo durante el cual se aplica la tensión V_{pri} (puede ser diferente del ciclo de trabajo, d , estándar del

convertidor que se esté analizando), y K_w es el factor de aprovechamiento de los devanados, presentes en el mismo núcleo.

En este caso, se muestran dos expresiones para obtener las pérdidas en el núcleo, dependiendo de si el transformador está diseñado con entrehierro (g) o no.

Para obtener el valor del mínimo número de vueltas, la presencia del entrehierro o no, modifica la ecuación:

$$N_{min} = \frac{Lm \cdot Im_{ac}}{B_{sat} \cdot A_e} \quad (2.22)$$

$$N_{min_no_gap} = \frac{V_{pri} \cdot D}{2 \cdot B_{sat} \cdot A_e \cdot f_{sw}} \quad (2.23)$$

La expresión que determina el valor del entrehierro será:

$$g(N) = \frac{\mu_0 \cdot N^2 \cdot A_e}{Lm} - \frac{l_e}{\mu_r} \quad (2.24)$$

Las ecuaciones térmicas son exactamente las mismas que las presentados en el caso del diseño térmico de la bobina, considerando las mismas suposiciones y simplificaciones.

Considerando todos estos aspectos, relacionados con el modelado de la bobina y del transformador, se resumen a continuación los principales aspectos para la selección del núcleo del componente magnético empleado:

1. Su temperatura en núcleo y cobre debe ser inferior a la máxima.
2. El número de vueltas debe asegurar la no saturación del núcleo y las pérdidas mínimas.
3. El núcleo escogido será el de menor tamaño que permita cumplir la primera condición.

2.3.- Posibles topologías básicas

Teniendo en cuenta lo planteado en los apartados anteriores, es posible realizar un estudio, en este caso para el bloque SAR, para una serie de topologías básicas seleccionadas.

Para poder realizar una comparativa entre las distintas topologías seleccionadas, se toma como ejemplo de estudio el detallado en la Tabla 2.1, y que se basa en un caso de estudio real de la Agencia Espacial Europea. La Tabla 2.1 muestra las principales características del subsistema de potencia y del satélite seleccionados.

Las nueve topologías que han sido seleccionadas de acuerdo con lo planteado en el apartado 2.2.- son las siguientes:

1. Convertidores en medio puente con rectificador en puente completo o toma media.
2. Convertidor en puente completo con rectificador en puente completo o toma media.
3. Convertidor LLC basado en medio puente, con rectificador en puente completo o toma media.
4. Convertidor LLC basado en puente completo, con rectificador en puente completo o toma media.
5. Convertidor *Dual Active Bridge* (DAB).

Tabla 2.1. Principales requisitos eléctricos del bus de potencia

<i>Parámetro</i>	<i>Valor mínimo</i>	<i>Valor máximo</i>
Potencia de carga	700 W	2500 W
Potencia nominal BCR	-	850 W
Potencia nominal BDR	-	1600 W
Potencia nominal SAR	-	2450 W
Tensión OC en panel	36,8 V	60,3 V
Corriente de SC en panel	69,6 A	83,4 A
Tensión en la batería	24 V	33,6 V
Tensión en el bus	24 V	34 V

Las ocho primeras configuraciones han sido evaluadas con rectificación mediante diodo y mediante MOSFET (rectificación síncrona), dejando un total de diecisiete posibles configuraciones básicas. Al tratarse de topologías diferentes (con parámetros de funcionamiento diferentes, en algunos casos), se ha definido un mismo punto de operación de referencia para todas las topologías seleccionadas como básicas, con el objetivo de calcular la eficiencia de manera que pueda ser comparada entre todas las topologías analizadas.

El punto de operación estará definido mediante la máxima transferencia de potencia entre el panel solar y el resto del sistema, la mínima tensión de entrada y la tensión de salida nominal. La Tabla 2. 2 recoge una comparativa de rendimientos para las topologías básicas evaluadas, pensadas, a modo de ejemplo, para la implementación del SAR. Debe tenerse en cuenta que los bloques del subsistema de potencia siempre se plantean con redundancia $n+1$ (típicamente $2+1$), por lo que se han evaluado tanto la posibilidad de redundancia $2+1$ como $3+1$.

En el caso de redundancia 2+1, se estarían considerando tres convertidores en paralelo, dejando uno de ellos para redundancia. En este caso, cada convertidor estaría diseñado para la mitad de la potencia máxima. Para este análisis en concreto, se considera que cada interruptor, tanto del primario como del secundario del transformador, está implementado con un único transistor MOSFET.

En el caso de redundancia 3+1, se estarían considerando cuatro convertidores en paralelo, dejando uno de ellos para redundancia. En este caso, cada convertidor estaría diseñado para un tercio de la potencia máxima. Para este análisis en concreto, se considera que cada interruptor, tanto del primario como del secundario del transformador, está implementado con un único transistor MOSFET

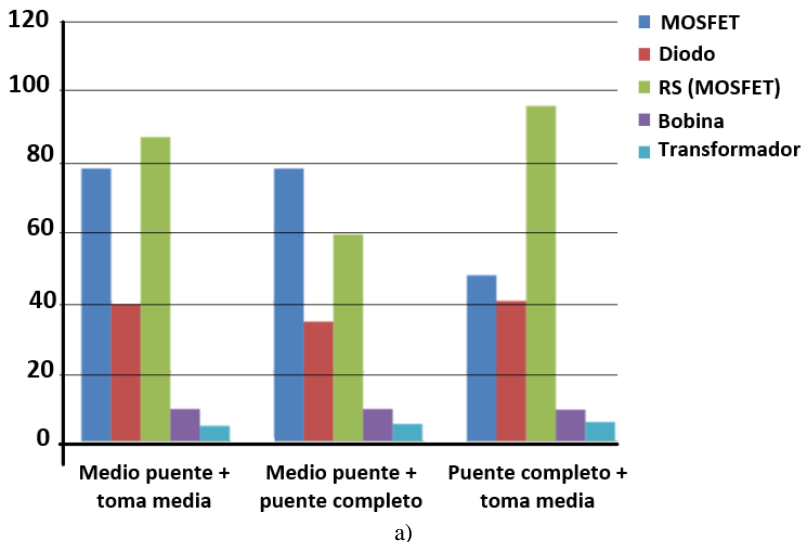
A modo de ejemplo, se presentan los resultados para el análisis de topologías básicas, considerando redundancia 3+1, pensando en la implementación del bloque SAR. La Fig.2. 8 muestra una comparativa del desglose de pérdidas entre las distintas topologías básicas seleccionadas. En este caso, se representan las pérdidas en transistores (MOSFET), considerando dos en las topologías medio puente y cuatro en las topologías puente completo, las pérdidas de los diodos, considerando el diodo adicional (*OR-ing*) en aquellos casos en los que sea necesario, cuando se emplea el rectificador en toma media en el secundario del transformador. En este caso las siglas RS, se emplearán cuando se considere rectificación síncrona en el secundario del transformador. Finalmente, también se incluyen las pérdidas en los componentes magnéticos presentes en las topologías seleccionadas (bobinas y transformadores).

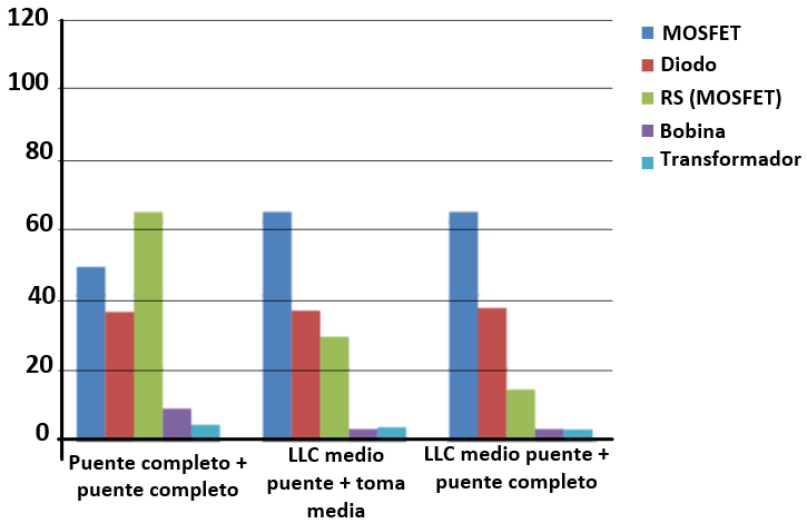
A la vista de la Fig.2. 8 se pueden extraer algunas conclusiones interesantes:

- Las pérdidas en los semiconductores son más relevantes que las pérdidas en los componentes magnéticos para las topologías seleccionadas.

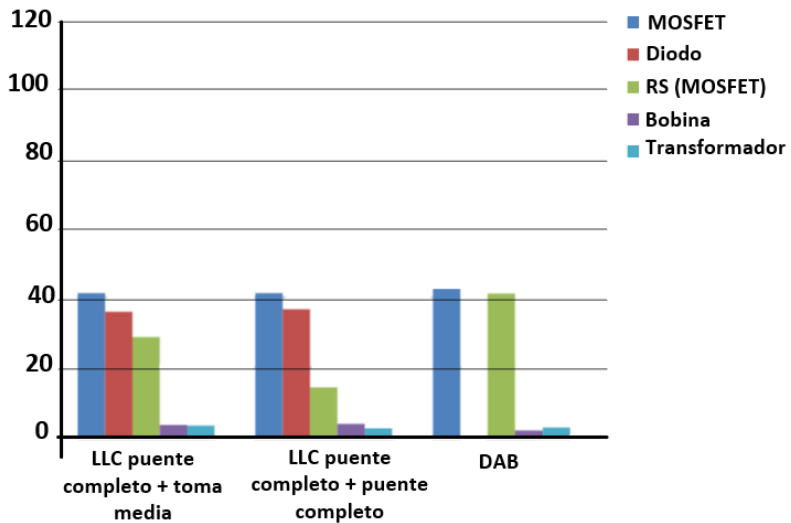
- El empleo de rectificación síncrona no es aconsejable para topologías no resonantes, y puede ser muy interesante para topologías resonantes, como es el caso del LLC.

- En el caso de las topologías resonantes, la inductancia resonante serie puede integrarse en el diseño del transformador, empleando un mismo núcleo magnético. En el caso de las pérdidas debidas a la bobina, se puede ver cómo son muy pequeñas para las distintas topologías seleccionadas.





b)



c)

Fig.2. 8. Desglose de pérdidas para las topologías básicas seleccionadas, para la implementación del bloque SAR. Se considera redundancia 3+1

Tabla 2. 2. Comparativa de rendimientos entre las topologías básicas seleccionadas

<i>Topología básica</i>	η (%)
Medio puente con toma media	84 %
Medio puente con puente completo	83,5 %
Medio puente con toma media RS	80,5 %
Medio puente con puente completo RS	79,4 %
Puente completo con toma media	87,6 %
Puente completo con puente completo	88,2 %
Puente completo con toma media RS	83,6 %
Puente completo con puente completo RS	87,5 %
LLC en medio puente con toma media	87,1 %
LLC en medio puente con puente completo	87 %
LLC en medio puente con toma media RS	87,9 %
LLC en medio puente con puente completo RS	89,8 %
LLC en puente completo con toma media	88,7 %
LLC en puente completo con puente completo	88,6 %
LLC en puente completo con toma media RS	89,6 %
LLC puente completo con puente completo RS	91,4 %
<i>Dual Active Bridge</i>	91,5 %

En base al análisis realizado, y a la vista de los resultados obtenidos, es posible plantear las siguientes conclusiones en base a la topología básica a emplear según el contexto:

1. Si se puede emplear frecuencia variable:
 - a. Convertidor LLC basado en puente completo en el primario.
 - b. Si se puede emplear rectificación síncrona (RS):
 - i. Puente completo en el secundario.
 - c. Si no se puede emplear rectificación síncrona
 - i. Puente completo o toma media en el secundario.
2. Si no se puede emplear frecuencia variable:
 - a. Convertidor DAB con posibilidad de implementar tanto BCR como BDR.
 - b. Si no se pudiese emplear el convertidor DAB:
 - i. Puente completo en el primario y rectificador en puente completo en el secundario sin rectificación síncrona.

2.4.- Estandarización basada en etapa intermedia

En las distintas opciones y topologías planteadas en la sección anterior, la adaptabilidad a los distintos niveles de tensión/potencia, se conseguía a través de cambios en la ratio de vueltas del transformador magnético, presente en las topologías aisladas. En otras palabras, la adaptabilidad se conseguía a través del rediseño de los componentes magnéticos presentes en las topologías seleccionadas. En este sentido, se puede plantear la reutilización de la misma topología para misiones donde los rangos de tensiones y corrientes sean distintos.

Sin embargo, este cambio implica, no solo el rediseño en los componentes magnéticos, sino, presumiblemente, cambiar también los semiconductores empleados en el primario y secundario de la topología empleada. Al final, esto llevo a un rediseño del convertidor,

prácticamente desde cero, lo cual se encuentra lejos del objetivo impuesto.

Por un lado, existe la posibilidad de seleccionar siempre aquellos semiconductores pensados para trabajar con los rangos de tensiones y corrientes más grandes, de tal manera, que puedan ser válidos para cualquier diseño posible. Sin embargo, esta solución tendría la contrapartida de penalizar en exceso el rendimiento para distintos puntos de trabajo.

Otra opción, que es la que se plantea en este apartado, y que se analizará en detalle, en el Capítulo 3, se basa en plantear una etapa intermedia entre el panel solar y el SAR. Debido a la gran variabilidad en la tensión de salida del panel solar, existe la posibilidad de conectar varios convertidores, empleando conexiones serie/paralelo entre sus terminales de entrada y salida, con el objetivo de adaptar los rangos de tensiones y potencias a la salida del panel solar, a unos valores de tensión y potencia fijos a la entrada del SAR. De esta manera, se conseguiría independizar el SAR del panel solar empleado. Esta opción, por tanto, abre la posibilidad a estandarizar el diseño del SAR, pudiendo ser reutilizado entre distintas misiones. De la misma manera, se abre también la posibilidad de reutilizar un mismo panel solar entre diferentes misiones espaciales, de forma independiente al diseño del SAR. Esta etapa intermedia, pensada para la estandarización y reusabilidad de componentes en el subsistema de potencia de los satélites, estaría implementada a través de la interconexión de varios convertidores, diseñados para unos niveles de tensión de entrada, tensión de salida y potencia fijos, buscando un alto rendimiento en el diseño de cada uno de ellos. Todos ellos, trabajarían con ganancia estática fija, ajustable durante el proceso de fabricación de estos. Será la interconexión de todos ellos en serie/paralelo, la que permita escalar en tensión y potencia según las necesidades impuestas por el panel solar empleado, y en función de las especificaciones de diseño del SAR. En este sentido, un convertidor con ganancia estática fija,

trabajando como transformador electrónico (TE), podría cumplir con los requisitos impuestos para implementar esta etapa intermedia entre el panel solar y el SAR.

2.5.- Conclusiones

En este capítulo se han analizado una serie de topologías con el objetivo de simplificar el subsistema de potencia en los satélites. En lo que respecta a las topologías básicas, se destacarían el LLC resonante en puente completo con rectificación síncrona, así como también el DAB, el cual, al tratarse de una topología bidireccional, podría actuar como BCR y BDR al mismo tiempo.

Ambas topologías están inherentemente protegidas frente a la propagación de fallos (i.e. sin necesidad de emplear interruptores ni circuitos adicionales), y presentan el rendimiento más alto de todas las topologías analizadas.

Finalmente, se plantea como posible alternativa la de tener un convertidor CC/CC, trabajando como transformador electrónico, que se encargue de independizar el diseño del SAR del panel solar empleado. En este caso la adaptabilidad entre los distintos puntos de trabajo pasaría por la interconexión de varios de estos convertidores en serio-paralelo. De esta forma, podría pensarse en este módulo de TE como pre-regulador encargado de adaptar el rango de tensión proporcionada por el panel solar (cambiante de un panel a otro) a un rango fijo. De esta forma, el SAR no necesitaría ser rediseñado desde cero ante cada nueva misión espacial.

2.6.- Bibliografía

[2.1] European Cooperation for Space Standardization. [En línea], disponible en: https://ecss.nl/wplogin.php?redirect_to=https%3A%2F%2Fecss.nl%2Fget_attachment.php%3Ffile%3Dstandards%2Fecss-q%2FECSS-Q-ST-3002C6March2009.pdf [Última visita: 19-02-2019].

[2.2] Fairchild Semiconductor Application Note 6005 “Synchronous buck MOSFET loss calculation with Excel model”.

[2.3] STMicroelectronics Application Note AN604 “Calculation of conduction losses in a power rectifier”.

[2.4] A. F. Mills, “Heat Transfer”. McGrawHill.

Capítulo 3:

El transformador electrónico

La alternativa explorada al final del Capítulo 2, independizar el SAR del panel solar a utilizar, pasa por el uso de una etapa intermedia encargada de la adaptación de niveles de tensión. Esta etapa intermedia está basada en el uso de convertidores CC/CC trabajando como transformador electrónico serializable y paralelizable.

En este capítulo se presenta la topología planteada, así como también su diseño desde un punto de vista modular. Dada su ganancia estática fija, será la combinación en serie o paralelo de varios de estos módulos la que permita la adaptación de tensiones entre el panel solar y el SAR. En primer lugar, se hará una breve descripción de la topología seleccionada en base al cumplimiento de los requisitos impuestos. A continuación, se analizará el modo de operación modular empleando el transformador electrónico. Seguidamente, se analizarán los efectos de las tolerancias en los componentes magnéticos presentes en la topología. Este análisis se complementa con simulaciones y resultados experimentales que validan el funcionamiento modular propuesto, y del que se extraen una serie de conclusiones al final del capítulo.

3.1.- Introducción

Como se mencionó en el Capítulo 2, la falta de estandarización en el sistema de potencia primario de los satélites hace que los bloques de potencia principales del satélite (SAR, BCR y BDR) se rediseñen prácticamente desde cero para cada nueva misión espacial. Este problema se agrava de manera especial en el caso del SAR, ya que los paneles solares (*Solar Array*, SA) se diseñan de manera específica para cada nueva misión, adaptando su geometría, tamaño y conexiones eléctricas entre celdas a la geometría, espacio disponible, forma de despliegue, etc. en cada misión en particular [3.1], [3.2]. Dicho de otro modo, las características eléctricas de los paneles vienen condicionadas por los requisitos mecánicos a los que se tienen que adaptar. La consecuencia más clara que tiene el trabajar de esta forma es que el nivel de tensión de salida del panel solar no sigue ningún tipo de estándar, forzando a un rediseño completo del SAR ante cada nueva misión espacial. Este aspecto choca con el paradigma actual de las misiones espaciales, donde cada vez es más común la utilización de un mayor número de satélites [3.3] y, al mismo tiempo, se intenta que los tiempos de desarrollo sean cada vez menores. Este aspecto fuerza a alcanzar un mayor grado de estandarización y reusabilidad en los diseños de satélites [3.4], [3.5].

Con el objetivo de evitar el rediseño del SAR ante cada nueva misión espacial debido a la gran variabilidad en el panel solar, una opción sería la de diseñar un SAR con un rango de tensión de entrada lo suficientemente grande. El precio a pagar se traduciría en un diseño no optimizado, debido precisamente a ese amplio rango de tensión de entrada, que acabaría penalizando su rendimiento. Otra opción pasaría por plantear un diseño modular del SAR. De esta manera, se tendrían varios módulos conectados entre sí, diseñados para conseguir un rendimiento alto, capaces de repartirse las tensiones proporcionadas por el panel solar. En este caso, un aspecto fundamental en el diseño pasaría por tener una etapa de control capaz de conseguir un buen

reparto de tensiones/potencias entre módulos, mientras que, al mismo tiempo, es capaz de controlar el punto de operación del panel solar. Esta segunda opción, basada en un diseño modular, permitiría plantear la posibilidad de tener un diseño del SAR válido para las distintas misiones espaciales, y, en cierto modo, independiente del panel solar empleado [3.6]. Su principal desventaja puede verse desde el punto de vista de la propia etapa de control donde se pueden plantear múltiples alternativas. Las basadas en un control central, una estructura maestro-esclavo, etc., y que pueden tener un gran impacto en la fiabilidad del sistema. En este sentido, aquellas alternativas basadas en un control maestro-esclavo o un control central pueden verse como un punto de fallo, desde el punto de vista del análisis de fiabilidad, siendo necesario plantear estructuras de control redundantes, lo cual a su vez deriva en mayores costes. Cabe destacar también, que, a pesar de los aspectos relacionados con la fiabilidad, se trata de una solución válida, y que está siendo explorada, a día de hoy, por parte de la ESA. Si embargo, la solución que se plantea en este capítulo apunta en otra dirección.

La alternativa explorada en este trabajo pasa por tener una etapa intermedia entre el SAR y el panel solar tal y como se muestra representado, de manera esquemática, en la Fig. 3.1. Esta etapa intermedia tendrá como misión principal la adaptación de la tensión del panel solar (curva I-V del panel solar) dentro del rango de tensiones de entrada de un SAR cuyo diseño se mantendrá fijo (rango de tensiones de entrada invariable entre misiones), y que seguirá siendo el encargado de llevar a cabo el seguimiento del punto de máxima potencia (*Maximum Power Point Tracking*, MPPT). En el caso de la adaptación de potencias, esta tarea ya se realiza mediante la interconexión de varios convertidores en paralelo, dentro del propio SAR. Esta etapa intermedia, que trabajará en lazo abierto, será denotada como transformador electrónico (TE) en este trabajo.

A priori, con este planteamiento no se ha eliminado la necesidad de rediseño, tan sólo se ha trasladado del SAR a la etapa intermedia propuesta. Sin embargo, esta etapa intermedia estará formada por varios módulos de diseño fijo y con ganancia estática fija. La concatenación de varios de estos módulos será la que permite llevar a cabo un escalado en los niveles de tensión y potencia. En el caso particular de las conexiones entre las salidas de cada módulo, estas se realizarán siempre en paralelo, con el objetivo de conseguir un nivel de tensión fijo a la entrada del SAR. Una vez adaptadas las tensiones, la etapa intermedia puede escalarse en potencia mediante conexiones en paralelo en entrada y salida.

La topología seleccionada para la implementación del TE permite llevar a cabo esta conexión, en serie o paralelo, entre módulos sin necesidad de emplear un control central, únicamente mediante una señal de reloj común a todos los módulos. Esta topología permite además llevar a cabo una correcta ecualización en los niveles de tensión y potencia entre los distintos módulos del TE, con bastante robustez frente a las tolerancias en los valores de los componentes, aspecto que resulta especialmente interesante dentro de las aplicaciones espaciales en términos de fiabilidad.

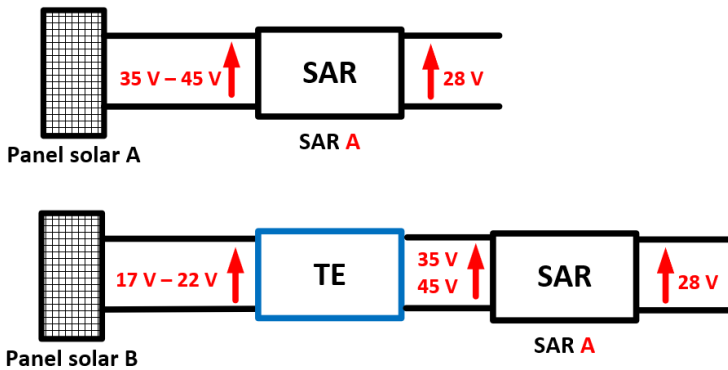


Fig. 3.1. Ejemplo de reutilización del bloque SAR usando el TE como etapa intermedia

3.2.- Descripción del concepto de transformador electrónico

La interconexión de varios convertidores en serie o paralelo con el objetivo de conseguir ratios de transformación global diferentes o llegar a alcanzar un mayor escalado en potencia del sistema final no es algo nuevo [3.7], [3.8] y [3.9]. De hecho, en [3.8] se plantea una estructura basada en la interconexión (serie/paralelo) de varios módulos, con relaciones de transformación 1:1 y diseñados para procesar una potencia de 1 kW cada uno. El objetivo pasa por tener un sistema final en el que se pueda incrementar el nivel de tensión/potencia del sistema completo, llegando a procesar 1 MW mediante la agrupación de varios de estos módulos DCX. Sin embargo, ninguno de los artículos citados incluye un estudio más profundo del funcionamiento modular del sistema, así como tampoco se incluye un análisis de cómo las tolerancias de los distintos componentes pueden llegar a influir en el correcto reparto de tensiones/potencias entre los módulos. Otro aspecto a tener en cuenta es que, para el control de este tipo de sistemas modulares, suelen emplearse algoritmos de control complejos [3.7], basados en estructuras centrales de control, con las que se intenta conseguir que el reparto de tensiones/potencias sea el adecuado. Esto, como ya se ha comentado, no resulta interesante en aplicaciones espaciales, por la baja robustez inherente que tienen estos sistemas. Otras publicaciones como la mostrada [3.9], plantean soluciones más sencillas basadas en el hecho de que los distintos módulos compartan la señal de ciclo de trabajo.

En este caso, los distintos módulos (convertidores) implementados presentan una ganancia estática fija (G_V) (3. 1), de tal manera que a través de la interconexión de varios de estos módulos en paralelo a la salida y en serie a la entrada se consigue que dicha tensión de salida pueda ser configurable, no sólo a través de la propia ganancia estática,

sino mediante el número de módulos conectados en serie (m_s) (ver Fig. 3.2).

Aplicando este concepto como intermediario entre el SAR y el panel solar, se puede llegar a conseguir un reparto adecuado de la tensión de salida del panel solar entre los distintos módulos empleados en el sistema y lograr que la tensión vista por el SAR a su entrada sea independiente de la característica V-I del panel solar. Tan sólo habría que conectar en cada misión, un mayor o menor número de módulos de TE en serie, para escalar la tensión. Como se puede deducir de (3. 1) el número de módulos conectados en serie (m_s) permite adaptar la ganancia total del TE (G_{vTE}) y el valor final de la tensión de salida.

$$V_o = V_{in} \cdot G_v \quad (3. 1)$$

Considerando:

$$V_{in} = \frac{V_{SA}}{m_s} \quad \text{y} \quad G_{vTE} = \frac{G_v}{m_s}$$

Finalmente:

$$V_o = V_{in} \cdot G_v = \frac{V_{SA}}{m_s} \cdot G_v = V_{SA} \cdot G_{vTE}$$

Donde V_o y V_{in} se corresponde con los valores medios de la tensión de salida y entrada, respectivamente de cada módulo de TE, mientras que V_{SA} es la tensión de salida del panel solar. La V_o es común a todos los módulos, de tal forma que, desde el punto de vista del TE, V_o será su tensión de salida, mientras que V_{SA} será su tensión de entrada.

Una vez que se consigue la correcta adaptación en el rango de tensión, mediante la correcta selección de los parámetros m_s y G_v , el esquema resultante se puede repetir y paralelizar “ m_p ” veces con el objetivo de conseguir un escudo en el nivel de potencia del sistema.

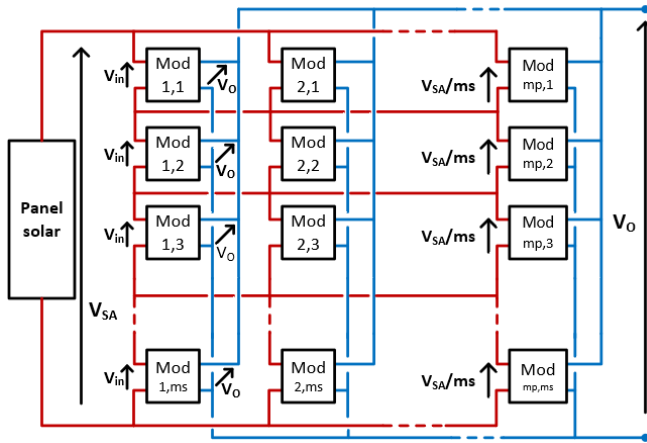


Fig. 3.2. Esquema del método de adaptación de tensiones / potencias a través de la conexión de varios módulos diseñados con ganancia estática fija

Para que este sistema resulte interesante, es preciso cumplir una serie de condiciones. Se requiere de la presencia de una etapa adicional (i.e. el TE). Por lo tanto, la topología empleada para la implementación de los módulos DCX requiere el poder llegar a conseguir un alto rendimiento a plena potencia (mayor facilidad para la evacuación del calor generado en el satélite). Esto permitirá a su vez un mejor aprovechamiento del panel solar empleado. Una segunda condición a cumplir por esta etapa intermedia es una dinámica rápida entre entrada y salida (audiosusceptibilidad). De esta forma, las acciones de control llevadas a cabo por el SAR para operar el panel solar en el punto de operación deseado (en la mayoría de los casos, el punto de máxima potencia) se trasladan desde el SAR hasta el panel solar a través del TE sin un retraso que pueda afectar a su comportamiento.

Una tercera condición radica en que sólo se puede emplear un número entero de módulos DCX conectados en serie para la adaptación de tensiones. Esto implica que la adaptación de tensiones la topología seleccionada deberá de ser capaz de proporcionar (durante su etapa de fabricación) un ajuste fino en el nivel de tensión, mediante

variaciones en la G_v , pero sin llegar a rediseñar el módulo DCX completo (semiconductores, diseño de PCB, etc.) Como se ha mencionado, todos los módulos DCX han de tener la misma ganancia estática, lo que significa que dicho parámetro no ha de experimentar variaciones debidas, por ejemplo, a tolerancias en componentes o en las señales de control.

Son estas cuatro condiciones (alto rendimiento, rápida emulación del comportamiento como panel solar (i.e. dinámica rápida), estabilidad en la ganancia estática y ajuste fino de tensión), las que ha de tener la topología empleada para la implementación de los distintos módulos DCX, que serán a su vez explicadas en las distintas secciones de este capítulo. Por su parte, las ventajas que se obtendrían desde el punto de vista de la estandarización se basan en que el diseño de estos módulos DCX y el diseño del SAR son fijos, lo cual a su vez se traduce en menores tiempos de desarrollo y en una mayor fiabilidad a nivel de convertidor.

3.3.- El módulo DCX del TE

El concepto de transformador de continua (DCX), basado en tener un convertidor con aislamiento galvánico, trabajando en lazo abierto, y con una ganancia estática fija e invariable, [3.10] - [3.13] cumple con las condiciones fijadas al final del apartado 3.2.- como topología para la implementación de los módulos del TE. El hecho de presentar una ganancia estática fija permite optimizar su rendimiento en un punto de operación fijo, se trata de una topología aislada, basada en estructuras medio puente o puente completo, y presenta un diseño compacto. La topología DCX resonante propuesta para la implementación de los módulos es la mostrada en la Fig. 3.3.a), y su esquema eléctrico y funcionamiento han sido introducidos en [3.10]. Para facilitar la lectura, la sección 3.3.1.- se destinará a resumir su funcionamiento, así como también el cumplimiento de las cuatro condiciones referidas anteriormente.

3.3.1.- Descripción de la topología seleccionada y cumplimiento de las condiciones impuestas

La topología del DCX seleccionada se basa en un convertidor en puente completo (Fig. 3.3.a) resonante operando con ciclo de trabajo (d) y frecuencia de conmutación (f_{sw}) fijos. En el secundario se implementa un rectificador con toma media. El tanque resonante está conformado por la inductancia de dispersión de los devanados del transformador (L_{LK_i}) y el condensador de salida (C_O). De esta forma, en cada medio período de conmutación se produce la resonancia entre ambos elementos. Por lo tanto, las corrientes por los diodos del rectificador son como se muestran en la figura Fig. 3.3.b) y la tensión de salida es como se muestra en Fig. 3.3.b)

Si los valores de f_{sw} , L_{LK_i} y C_O se escogen de manera adecuada, es posible conseguir que la corriente en el rectificador empiece y acabe en cero, independientemente del valor de la carga. De esta forma, el funcionamiento será como el mostrado en la Fig. 3.3 b), y se podrá conseguir conmutación a corriente cero (*Zero Current Switching*, ZCS) en los diodos rectificadores del secundario.

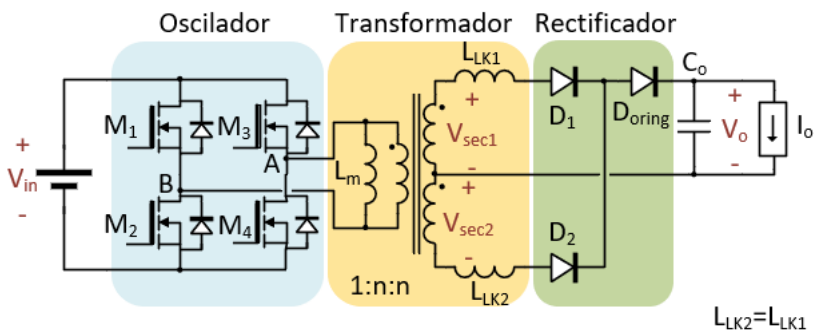
Cabe destacar que en la Fig. 3.3 b) se incluyen períodos de tiempo ($T_{sw}/2 - T_{on}$) en los que la resonancia (t_1) ha terminado, pero el puente completo no ha conmutado la rama conectada al transformador invirtiendo la tensión en el mismo. Este aspecto será explicado en detalle en la sección 3.3.4.-, ya que no se trata de tiempos muertos generados para alcanzar conmutación a tensión cero (*Zero Voltage Switching*, ZVS). Para lograr ZVS se introduce un pequeño tiempo muerto, no representado en la Fig. 3.3.b, cuando se produce la conmutación de los MOSFETs, al final de cada intervalo ($T_{sw}/2 - T_{on}$).

La condición de alcanzar ZVS en los MOSFETs del primario depende fundamentalmente del valor de la corriente magnetizante en

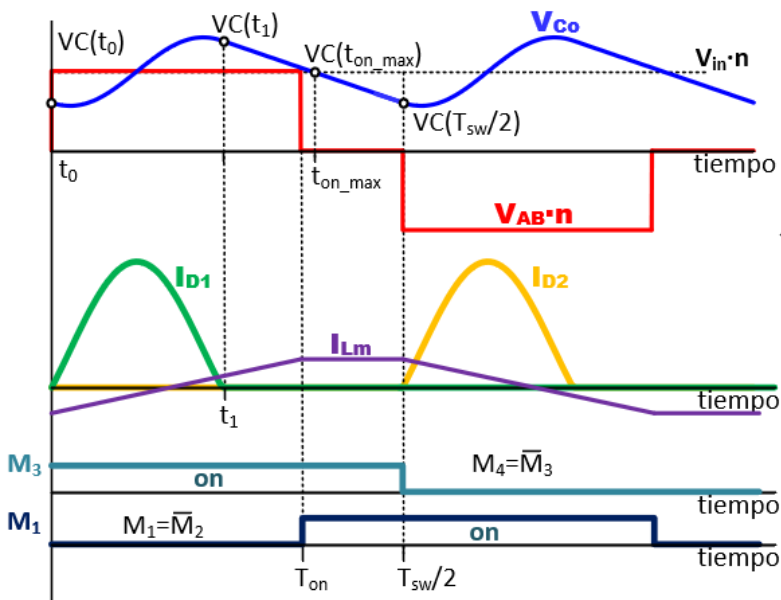
el momento de la conmutación, ya que como se ha dicho, la corriente por los diodos del rectificador es cero y, por tanto, no afectan a este proceso. Todos estos aspectos relacionados con la obtención de transiciones suaves en los dispositivos semiconductores, lleva aparejado el poder alcanzar un rendimiento alto en la topología DCX.

Esta topología presente una ganancia estática de tensión fija, dependiente únicamente de la ratio de vueltas (n) del transformador magnético presente en la topología (ver expresión (3. 1)).

El hecho de que la ganancia estática de tensión se puede expresar como se ve en la ecuación (3. 1) supone la principal ventaja de esta topología, para esta aplicación, en comparación con otras opciones, como por ejemplo las arquitecturas DCX basadas en el convertidor resonante LLC [3.13]. En este tipo de arquitecturas, la ganancia estática depende no solo de la frecuencia de conmutación, sino también de parámetros que forman parte de sus circuitos resonantes. Esta dependencia es la que fuerza la utilización de esquemas y etapas de control más complejas, para asegurar un buen reparto de tensiones y potencias cuando se consideran las tolerancias que pueden afectar a sus componentes resonantes [3.8], [3.14].



a)



b)

Fig. 3.3 a) Representación del esquemático del módulo TE; b) Principales formas de onda de la topología del TE

Por otra parte, la ratio de vueltas en el transformador magnético es un valor fijo e independiente de tolerancias, o de la variabilidad en las señales de control. Este hecho hace que la ecualización entre módulos del TE conectados en serie o paralelo sea más sencilla cuando se hace uso de la topología del DCX presentada en la Fig. 3.3.a), como se comentó en la sección 3.2.- Este aspecto será analizado de forma más exhaustiva en el apartado 3.3.2.-, mientras que la independencia frente a tolerancia se mostrará en el apartado 3.3.4.-

En relación con la conexión entre el panel solar y el SAR, cabe destacar que cualquier acción de control inducida por el SAR en el rango de tensiones de salida del TE, será trasladado a su entrada (panel solar) con una dinámica muy rápida. Por lo tanto, desde el punto de vista del SAR, la salida del TE se comporta de la misma manera que el panel solar, pero con una curva I-V diferente, escalando las tensiones y corrientes del panel solar de acuerdo con la relación de transformación del TE. De esta manera el panel solar proporciona prácticamente la misma potencia, la diferencia radica en las pérdidas del TE, pero el punto de máxima potencia se localiza a una tensión y corriente diferente.

Finalmente, en relación con la última de las condiciones fijadas para la topología que implementa los módulos del TE, el ajuste fino de tensiones durante la etapa de construcción de los módulos se puede conseguir a través de un conjunto reducido de transformadores magnéticos prediseñados que sólo cambien su ratio de vueltas. Estos transformadores proporcionarán una forma rápida de adaptación de la ganancia estática del convertidor, y por lo tanto de las tensiones requeridas, sin necesidad de comprometer todo el diseño del módulo. Este aspecto será explicado en detalle en el Anexo 1 al final de este capítulo.

En [3.10] se analiza el funcionamiento de este convertidor cuando la frecuencia de resonancia (f_r) es del doble de la frecuencia de conmutación (f_{sw}), consiguiendo de esta forma el máximo rendimiento

en el convertidor. Sin embargo, la operación modular y la necesidad de considerar el efecto de las tolerancias en los componentes magnéticos, puede hacer que la frecuencia de resonancia deje de ser del doble de la frecuencia de conmutación. Esto, unido al hecho de conseguir tensión cero aplicada al transformado, hace que sea necesario plantear un nuevo análisis de la topología.

1. Intervalo (t₀-t₁):

Lo transistores M₃, M₂ y el diodo D₁ están conduciendo. Como se remarca en [3.10], la corriente por la bobina resonante se puede calcular con la expresión (3. 2) y la tensión de salida con la expresión (3. 3). La impedancia característica y la frecuencia de resonancia se detallan en (3. 4).

$$I_{LKi}(t) = I_o \cdot [1 - \cos(\omega_i \cdot t)] + \frac{(V_{in} \cdot n) - V_o(0)}{Z_c} \cdot \sin(\omega_i \cdot t) \quad (3. 2)$$

$$V_o(t) = (V_{in} \cdot n) - I_o \cdot Z_c \cdot \sin(\omega_i \cdot t) + [V_o(0) - V_{in} \cdot n] \cdot \cos(\omega_i \cdot t) \quad (3. 3)$$

$$\omega_i = \frac{1}{\sqrt{L_{LK_i} \cdot C_o}} \quad \theta = \omega_i \cdot t_1 \quad Z_c = \sqrt{\frac{L_{LK_i}}{C_o}} \quad (3. 4)$$

Donde V_O(t) es la tensión de salida del módulo DCX, V_{in} es la tensión de entrada en dicho módulo, ‘n’ es la ratio de vueltas en el transformador magnético, I_O es la corriente de salida de cada módulo, L_{LK_i} es la inductancia de dispersión del devanado ‘i’ (así como también la propia inductancia resonante), C_O es el condensador de salida (así como también el propio condensador resonante), V_O (0) es el valor de la tensión de salida al inicio de la resonancia. Por su parte, en la expresión (3. 2) I_{LK_i}(t) es el valor de la corriente resonante a través de la inductancia de dispersión ‘i’. La pulsación de la red resonante representada en (3. 4), se elige de manera que su pulsación sea menor o igual a medio período de conmutación (T_{sw}/2).

Este intervalo acaba en el instante t_1 cuando la corriente por la bobina alcanza cero. Usando esta condición en la ecuación (3. 2), se puede obtener la ecuación (3. 5), donde el parámetro ‘A’ se define para representar las funciones trigonométricas empleadas en (3. 6). Empleando t_1 y las funciones trigonométricas en función de ‘A’ en (3. 2), se puede obtener la expresión (3. 7), la cual permite obtener una sencilla relación entre los niveles de tensión más importante del circuito analizado.

$$\frac{V_{in} \cdot n - V_o(t_o)}{Z_c \cdot I_o} = \frac{\cos(\theta) - 1}{\sin(\theta)} = \sqrt{A} \quad (3.5)$$

$$\cos(\theta) = \frac{1 - A}{1 + A} \quad \sin(\theta) = \frac{-2\sqrt{A}}{1 + A} \quad (3.6)$$

$$\frac{V_o(t_1) + V_o(t_o)}{2} = V_{in} \cdot n \quad (3.7)$$

En estado estacionario, el valor medio de la corriente en el condensador de salida debe ser igual cero, de tal manera que el valor medio de la corriente de salida del rectificador debe ser igual a I_o . Resolviendo la expresión (3. 8) y simplificando, usando $V_o(t_1)$, se puede obtener la ecuación (3. 9). A través de la expresión (3. 9) se puede obtener el que el rizado de la tensión de salida es proporcional a I_o y a Z_c . De esta forma, se buscará el poder obtener transformadores magnéticos con valores bajos de inductancias de dispersión. De esta manera, para la misma frecuencia de resonancia, el rizado en la tensión del condensador será menor.

$$\overline{I_{D1} + I_{D2}} = \frac{2}{T_{sw}} \int_0^\theta i_{lk1}(\omega t) d\omega t = I_o \quad (3.8)$$

$$V_o(t_1) - V_o(t_o) = I_o \cdot Z_c \cdot \left(\frac{T_{sw}}{2} \cdot \omega - \theta \right) \quad (3.9)$$

Finalmente, a través de las expresiones (3. 5), (3. 7) y (3. 9) se puede obtener la expresión (3. 10), la cual muestra que el ángulo de conducción (θ) depende únicamente la ratio entre la frecuencia resonante y la frecuencia de conmutación.

$$\frac{f_r}{2f_{sw}} = \frac{\cos(\theta) - 1}{\sin(\theta) \cdot \pi} + \frac{\theta}{2\pi} \quad (3. 10)$$

Como muestra la Fig.3.4 cuando la frecuencia de resonancia es del doble de la frecuencia de conmutación los diodos rectificadores están conduciendo durante la totalidad del período de resonancia. Si la frecuencia de conmutación decrece, el tiempo de conducción se aproxima a la mitad del período de resonancia.

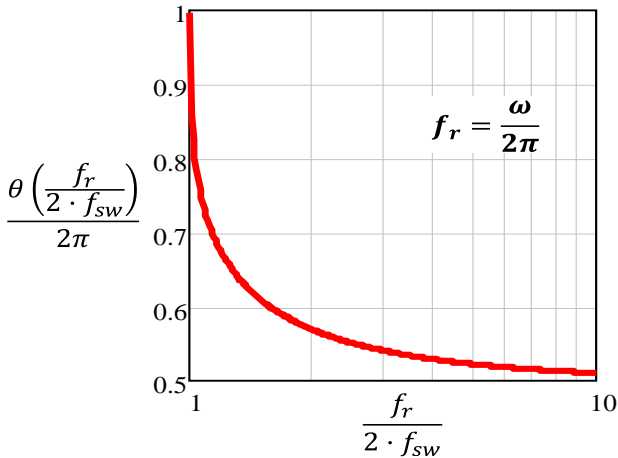


Fig.3.4. Ángulo de conducción de los diodos en función de la ratio entre la frecuencia de resonancia y la frecuencia de conmutación. Solución numérica para la ecuación (3. 10)

2. Intervalo ($t_1 - T_{on}$):

Durante este intervalo el diodo D_1 está apago y se mantiene polarizado inversamente hasta que la tensión en el condensador C_o se hace menor que la tensión V_{sec} ($V_{in} \cdot n$). Este instante de tiempo es el

denotado como ' T_{on_max} '. La Fig.3.5 a) muestra la tensión en el secundario del transformador, la corriente resonante a través de ambos diodos rectificadores y la tensión en el condensador de salida. Cuando T_{on} es mayor que T_{on_max} , D_1 estará directamente polarizado, produciéndose el comienzo de una nueva resonancia. Este hecho debe ser evitado con el objetivo de mantener la ZCS y evitar el incremento de las pérdidas en conmutación de los diodos. Este aspecto será tratado en mayor profundidad a lo largo de este capítulo. En este caso, toda la corriente en la carga es proporcionada por el condensador de salida, el cual se descargará de acuerdo a lo expresado en la ecuación (3. 11).

$$V_o(t) = V_o(t_1) - \frac{I_o}{C_o} \cdot (t - t_1) \quad (3. 11)$$

En estado estacionario, la tensión en el condensador de salida en el instante $T_{sw}/2$ debe ser igual a la tensión en el instante t_0 . De esta forma, una vez que la expresión (3. 11) está definida en todos los intervalos, su valor medio se puede obtener a partir de la ecuación (3. 12).

$$\bar{V}_o = \frac{2}{T_{sw}} \int_0^{\frac{T_{sw}}{2}} V_o(t) dt = V_{in} \cdot n \quad (3. 12)$$

Un aspecto a destacar es que el valor de la carga y el valor de T_{on} , no tienen efecto en el valor medio de la tensión en el condensador de salida, tan pronto como T_{on} sea mayor que t_1 y menor que T_{on_max} . Este comportamiento facilita las conexiones entre varios módulos en serie a las entradas y paralelo a las salidas, asegurando una distribución equitativa de los niveles de tensión. Como se puede apreciar en la Fig.3.5 b), cuando T_{on} es igual a T_{on_max} , ya no se produce la segunda resonancia en el comportamiento de las corrientes resonantes.

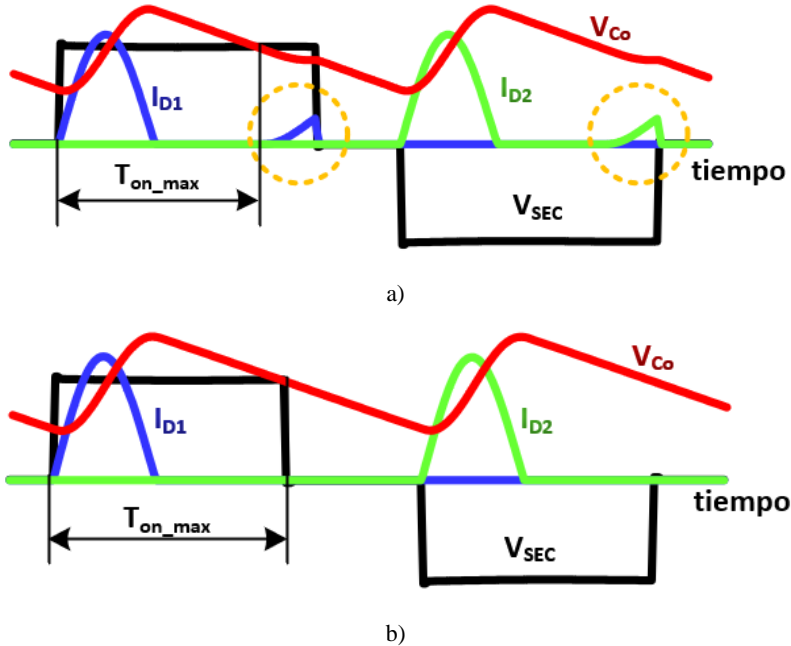


Fig.3.5. Situación de las corrientes resonantes cuando a) $T_{on} > T_{on_max}$ y b) $T_{on} = T_{on_max}$

3. Intervalo ($T_{on} - T_{sw}/2$):

Este análisis será válido en la medida en la que se consiga ZCS en los diodos rectificadores. De esta forma, la corriente I_{D1} se mantiene a cero cuando el nivel de tensión en el puente se invierte en el instante $T_{sw}/2$. Este nivel de corriente se mantendrá a cero si no se produce el comienzo de una nueva resonancia. Haciendo que los MOSFETs M_1 y M_4 estén en conducción el intervalo $(T_{on} - T_{sw}/2)$, como se indica en la Fig. 3.3 b), la tensión en el circuito resonante será cero. De esta manera, para polarizar en directa el diodo D_1 , provocando el comienzo de una nueva resonancia, el nivel de tensión en el condensador debe caer por debajo de 0 V. Durante este tiempo, la corriente a través de la inductancia magnetizante se mantiene constante, (Fig. 3.3. b)) En este

caso, el nivel de tensión en el condensador de salida sigue estando representado a través de la expresión (3. 11).

El hecho de cortocircuitar el transformador magnético permite desacoplar la frecuencia de conmutación de la frecuencia resonante. De esta forma, se permite a esta topología el hacer frente a cambios producidos en los valores del circuito resonante, debidos a tolerancias, envejecimiento, etc.

En esta topología, la inductancia magnetizante no juega ningún papel dentro del análisis del circuito resonante, como sí ocurre en el convertidor LLC resonante [3.13]. Este aspecto alivia las restricciones en el proceso de diseño del transformador magnético, facilitando la integración de la inductancia resonante y el propio transformador en el mismo núcleo. En este caso, el valor de la inductancia magnetizante está supeditada a alcanzar la condición de ZVS en los MOSFETs del primario, independiente del valor de la carga.

El condensador de salida (C_o) es el propio condensador resonante. Este aspecto permite reducir el número total de componentes en la topología, con la desventaja del incremento del rizado en la tensión de salida. En general, esta desventaja hace que la topología seleccionada para la implementación del DCX pueda resultar inadecuada para muchas aplicaciones. Sin embargo, para esta aplicación en particular, este aspecto no supone una gran desventaja, al funcionar el TE como etapa intermedia. Este rizado de alta frecuencia (frecuencia de conmutación) puede ser filtrado fácilmente por el filtro de entrada del SAR, diseñado a su vez para el cumplimiento de los requisitos de compatibilidad electromagnética (EMI). Este filtro EMI del SAR se diseña típicamente para rechazar todas aquellas componentes a la frecuencia de conmutación del SAR. Asumiendo que la frecuencia de conmutación del TE es mayor que la del SAR, el rizado en la tensión de salida del TE acabará siendo enormemente atenuado antes de llegar la entrada del convertidor del SAR. Este aspecto implica que dicho rizado de tensión de alta frecuencia no será propagado hacia el bus

principal de potencia. De la misma manera, como el filtro de entrada del SAR se comporta como una alta impedancia a la frecuencia de resonancia del TE, lo que se consigue es desacoplar la salida del TE de la entrada del SAR, por lo que su comportamiento resonante no se ve afectado por la impedancia de entrada del convertidor del SAR. Por su parte, el sistema de control del SAR está diseñado para ajustarse a este filtro, de tal manera que cualquier acción desde el lado del SAR hacia el panel solar no se verá afectada por la presencia del TE como etapa intermedia.

3.3.2.- Operación modular

En este apartado se explicará la manera en la que los diferentes módulos DCX que forman el TE pueden llevar a cabo un reparto automático de las tensiones de entrada y de la potencia, compartiendo únicamente una señal de reloj (señal de sincronización), sin necesidad de emplear un sistema de control centralizado (maestro-esclavo). Este análisis se llevará a cabo desde el punto de vista circuital. Dentro de este análisis habrá que considerar tres situaciones diferentes: existencia de valores diferentes de las inductancias resonantes entre módulos, diferencias en los niveles de tensión entre módulos, y errores de sincronización. Este apartado abordará estas tres situaciones desde el punto de vista del correcto funcionamiento modular entre módulos.

3.3.2.1.- Operación modular con valores de inductancias diferentes

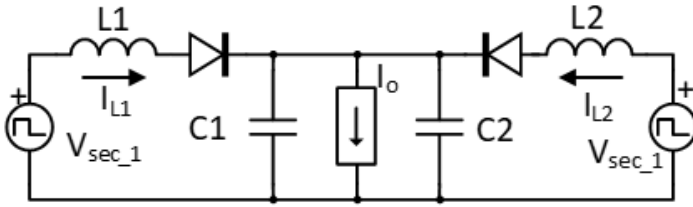
Para una correcta operación modular, debe existir reparto de carga entre los distintos convertidores. En este análisis se asumirá que existen dos módulos con valores de bobinas y condensadores distintos, debidos a tolerancias. En aquellas configuraciones paralelo a la entrada / paralelo a la salida (IPOP), todos los módulos presentan el mismo nivel de tensión a su entrada. Esta suposición es fácil de cumplir considerando que la tensión de entrada solo depende de la

ratio de vueltas (n) del transformador magnético, el cual es un parámetro fácil de replicar entre módulos. Además, debido a la conexión en paralelo entre módulos, el nivel de tensión de salida es común a todos ellos. De esta manera, el circuito equivalente será como el representado en la Fig.3. 6 a) y b). Mientras los diodos están en conducción, las bobinas de los distintos módulos están conectadas en paralelo y el circuito evoluciona en base a lo establecido en (3. 13), lo cual a su vez fuerza que el comportamiento de las corrientes sea el que se describe en (3. 14).

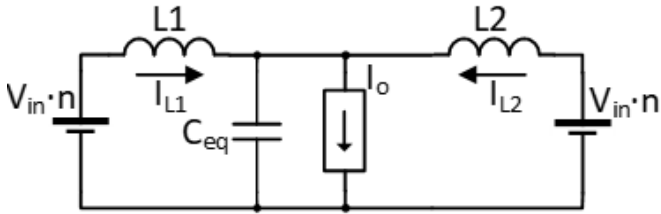
En la medida en la que la ratio entre ambas corrientes resonantes sea constante, ambas corrientes cruzarán por cero en el mismo instante. Esta suposición puede ser generalizada para varias etapas. Como se muestra en la Fig.3. 6 c) y d), el condensador equivalente (C_{eq}) será el paralelo de todos los condensadores de salida y el valor de la inductancia equivalente (L_{eq}) será también el paralelo de las inductancias presentes en los distintos módulos. De esta manera, resulta importante destacar que el valor de los condensadores no afecta al reparto de corrientes, ya que todos los módulos ven el mismo valor de C_{eq} . Por lo tanto, esta suposición limita las diferencias entre corrientes debidas a tolerancias o envejecimiento en el valor de las bobinas.

$$\left\{ \begin{array}{l} V_{in} \cdot n = L_1 \frac{d i_{L1}(t)}{dt} + v_o(t) \\ V_{in} \cdot n = L_2 \frac{d i_{L2}(t)}{dt} + v_o(t) \\ i_{L2}(t) + i_{L1}(t) = C_{eq} \frac{d v_o(t)}{dt} + I_o \end{array} \right. \quad (3. 13)$$

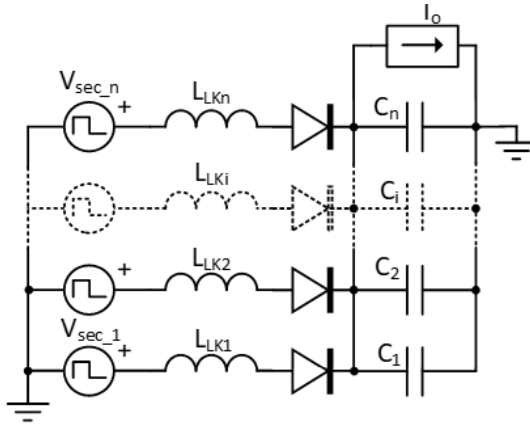
$$\frac{L_{K1}}{L_{K2}} = \frac{i_{LK2}(t)}{i_{LL1}(t)} \quad (3. 14)$$



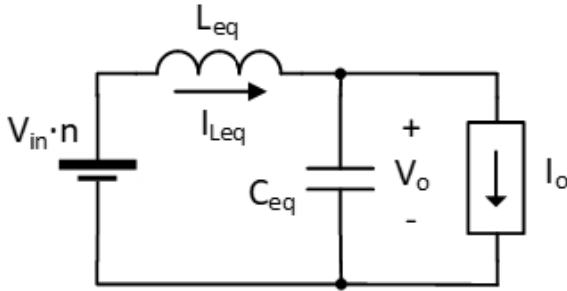
a)



b)



c)



d)

Fig.3. 6. a) Circuito simplificado de dos módulos conectados en IPOP; b) Circuito resonante equivalente; c) “n” módulos conectados en IPOP; d) circuito resonante equivalente para “n” módulos

El valor de la corriente $I_{Leq}(t)$ en la Fig.3. 6. d), se puede obtener sustituyendo en (3. 2) los valores de la impedancia característica y de la frecuencia de resonancia calculados con L_{eq} y C_{eq} . El valor de la corriente a través de cada bobina se puede calcular considerando el divisor de corriente que se forma con el resto de las bobinas conectadas en paralelo. De esta forma se obtiene la expresión (3. 15).

$$i_{LK_i}(t) = i_{Leq}(t) \cdot \frac{\left[\left(\sum_{j=1}^{j=n} \frac{1}{L_{LK_j}} \right) - \frac{1}{L_{LK_i}} \right]^{-1}}{\left[\left(\sum_{j=1}^{j=n} \frac{1}{L_{LK_j}} \right) - \frac{1}{L_{LK_i}} \right]^{-1} + L_{LK_i}} \quad (3. 15)$$

De esta forma el módulo con la impedancia más baja será el que lleve la corriente más alta. Por lo tanto, en un sistema modular con “n” módulos el peor caso se dará cuando “n-1” módulos presenten la máxima impedancia y solo uno de ellos presente la mínima impedancia. Asumiendo una tolerancia de $\pm dr_L$, el peor caso se dará con un divisor de corriente formado por una rama cuya inductancia equivalente será el paralelo de “n-1” inductancias de su máximo valor (3. 16), y por otra rama con una sola inductancia que presente un valor mínimo de (3. 17).

$$L_{K1} = \frac{L_{nom} \cdot (1 + d_{rL})}{n - 1} \quad (3. 16)$$

$$L_{L2} = L_{nom} \cdot (1 - d_{rL}) \quad (3. 17)$$

Las expresiones (3. 18) y (3. 19) describen la corriente en cada una de estas inductancias (L_{K1} y L_{K2}), mientras que la expresión (3. 20) describe la máxima desviación de corriente respecto de una distribución de corriente ideal. En este caso es importante destacar que el peor reparto de las corrientes cuando se tienen solo dos módulos. A medida que el número de módulos se incrementa, la distribución de corriente mejora. Esto supone una gran ventaja a la hora de utilizar este tipo de convertidor para una aplicación modular, ya que a medida que el número de módulos aumenta, el sistema se vuelve más robusto frente a las diferencias de valor entre sus componentes.

$$i_{LK1} = \frac{I_o \cdot L_{K2}}{L_{K1} + L_{K2}} = \frac{I_o \cdot (1 - d_{rL}) \cdot (n - 1)}{(1 + d_{rL}) + (1 - d_{rL}) \cdot (n - 1)} \quad (3. 18)$$

$$i_{LK2} = \frac{I_o \cdot L_{K1}}{L_{K1} + L_{K2}} = \frac{I_o \cdot (1 + d_{rL})}{(1 + d_{rL}) + (1 - d_{rL}) \cdot (n - 1)} \quad (3. 19)$$

$$\Delta i_{max} = i_{LK2} - \frac{I_o}{n} = I_o \cdot \frac{n - 1}{n} \cdot \frac{2 \cdot d_{rL}}{2 \cdot d_{rL} + n \cdot (1 - d_{rL})} \quad (3. 20)$$

3.3.2.2.- Operación modular con valores de tensión diferentes

Las diferencias de tensión entre módulos pueden deberse a errores en la ratio (n) del transformador magnético, una mala distribución de tensiones en configuraciones serie a la entrada / paralelo a la salida (ISOP) o por diferencias en las caídas de tensión en los semiconductores.

La Fig.3.7 muestra dos valores de tensión distintos alimentando dos circuitos resonantes idénticos. Mientras que los diodos están en conducción (t_0 - t_1) se puede asumir que el circuito con la mayor tensión está alimentado por dos fuentes de tensión conectadas en serie. Por lo tanto, la corriente I_{D1} será la suma de la corriente I_{D2} (corriente debida a V_2), más ' $I_{D1}-I_{D2}$ ' (corriente debida a ΔV). De esta forma, el incremento de la corriente (ΔI_v) se puede calcular empleando la expresión (3. 21).

$$\Delta I_v = \frac{\Delta V}{L_{LK}} t_1 \tag{3. 21}$$

La diferencia de la corriente media entre los dos diodos se puede calcular, de manera aproximada, a través de la expresión (3. 22), donde, por temas de simplicidad, la corriente para tiempos mayores de t_1 ha sido despreciada.

$$\langle \Delta I_v \rangle_{T_{sw}/2} = \frac{\Delta V}{L_{LK}} t_1^2 \cdot f_s = \frac{\Delta V}{L_{LK}} \left(\frac{\theta}{w_r} \right)^2 f_{sw} \tag{3. 22}$$

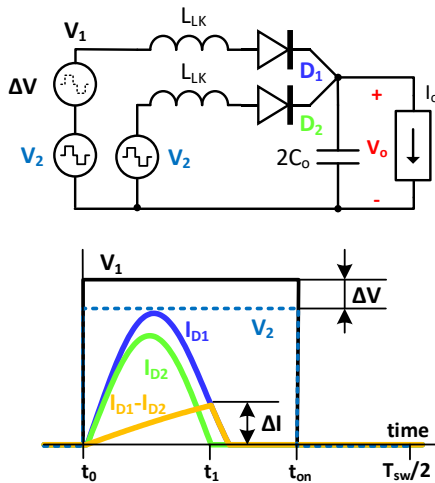


Fig.3.7. Circuito y formas de onda para mostrar el comportamiento de las corrientes resonantes ante diferencias en los niveles de tensión en cada módulo

3.3.2.3.- Operación modular con errores de sincronización

Los distintos módulos DCX que forman la estructura del transformador electrónico compartirán una señal de sincronismo encargada de hacer que el encendido de los transistores se produzca al mismo tiempo. Sin embargo, debido a diferencias en los circuitos de disparo, transistores, diseño de las placas de circuito impreso de cada módulo, etc. pueden aparecer retrasos que acaben afectando al correcto reparto de las corrientes entre los distintos módulos.

Como se muestra en la Fig.3.8, el nivel de tensión V_2 está retrasado un tiempo t_d respecto al nivel de tensión V_1 . En este análisis se asume que el tiempo t_d es mucho menor que el tiempo t_1 . De esta manera, se puede calcular el valor de t_1 a partir de la expresión (3. 10). En t_0 únicamente el diodo D_1 está conduciendo, y la evolución de la corriente sigue la forma de una rampa. De esta manera, el incremento de la corriente se puede calcular a través de la expresión (3. 23), la cual, empleando (3. 5) se puede expresar tal y como se muestra en (3. 24).

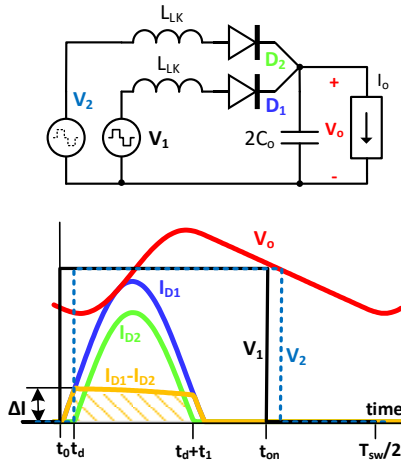


Fig.3.8. Circuito y principales formas de onda ante errores de sincronización

$$\Delta I_d = \frac{V_{in} \cdot n - V_o(t_0)}{L} t_d \quad (3. 23)$$

$$\Delta I_d = \frac{Z_c \cdot I_o \cos(\theta) - 1}{L \sin(\theta)} t_d \quad (3. 24)$$

En este caso, las dos bobinas estarán conectadas en paralelo cuando el diodo D_2 esté conduciendo en el instante t_d . Sin embargo, uno de ellos todavía estará conduciendo una corriente inicial llamada ΔI_d . En este sentido se puede considerar que la evolución de las corrientes en ambas bobinas es la misma, de tal manera que la diferencia $I_{D1}-I_{D2}$ se mantiene prácticamente constante en el intervalo t_d+t_1 . En este intervalo de tiempo el diodo D_2 se apaga mientras que D_1 continúa conduciendo hasta que el exceso de corriente se elimina. De esta forma, se ha podido calcular el valor medio de la diferencia de corrientes (3. 25) considerando el intervalo en el que dicha diferencia es contante. Usando la expresión (3. 24), se puede expresar (3. 25) como se muestra en (3. 26). Finalmente, la Fig.3.9 muestra cómo el ángulo de conducción de los diodos (θ) afecta al desequilibrio entre las corrientes. A medida que el ángulo de conducción se hace cada vez más pequeño, el sistema se hace más sensible a fallos por sincronización. En diseño reales, es posible llegar a mantener este ángulo de conducción θ por encima de los 4 radianes.

$$\langle \Delta I_d \rangle_{T_{sw}} \cong \frac{2\Delta I_d \cdot (t_1)}{T_{sw}}; t_1 \gg t_d \quad (3. 25)$$

$$\langle \Delta I_d \rangle_{T_{sw}/2} = 2\theta \frac{\cos(\theta) - 1}{\sin(\theta)} I_o \cdot f_{sw} \cdot t_d \quad (3. 26)$$

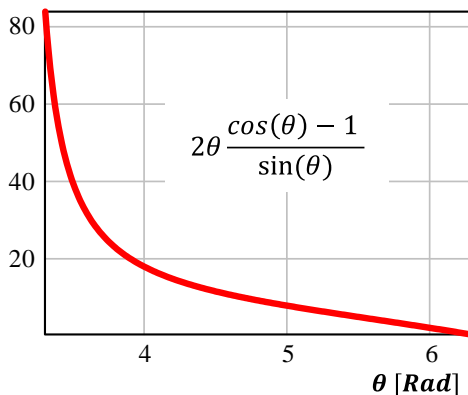


Fig.3.9. Incremento en la variación de corriente debido a errores de sincronización en función del ángulo θ

3.3.3.- Análisis de la fiabilidad

En las aplicaciones espaciales el análisis de fallo y fiabilidad debe realizarse según lo descrito en el documento ECSS-Q-ST-30-02C [3.16], “*Space Product Assurance, Failure modes, effects (and criticality) análisis (FMEA/FMECA)*”. De acuerdo con éste, se debe considerar cualquier posible elemento (MOSFET, transformador, etc.) fallando en cualquier modo posible (cortocircuito, circuito-abierto, etc.). Además, en el caso de misiones no tripuladas, estos análisis de fiabilidad son de fallo único, es decir, se considera que solo falla un elemento en cada módulo. Este fallo puede llevar a comprometer el funcionamiento de un componente (un convertidor) pero no puede comprometer el funcionamiento del resto de componentes y elementos que forman el sistema.

En el sistema propuesto del transformador electrónico, la fiabilidad se consigue gracias a la estructura matricial propuesta en la Fig. 3.2, donde los módulos de una misma fila tienen sus entradas conectadas en paralelo, y los módulos de una misma columna tiene sus entradas conectadas en serie. Esto unido al hecho de que siempre se puede conseguir que los puertos de entrada o salida de un módulo DCX se

comporten como un circuito abierto, si uno y solo uno de sus componentes internos falla, independientemente del tipo de fallo. Obviamente, la fiabilidad también se basa en la redundancia, de la misma manera que ocurre con cualquiera de los bloques básicos en el sistema de potencia del satélite (SAR, BCR y BDR).

En caso de fallo en uno de los módulos, dicho módulo debe aislarse. El aislamiento se consigue a través de la apertura de los cuatro MOSFETs del primario, gobernados a través de sus respectivas señales de puerta. Este aislamiento será el prevenga el fallo en MOSFETs, diodos, transformador magnético, etc. Por lo tanto, dicho módulo será desconectado de la matriz permitiendo que el resto de los módulos puedan continuar operando con normalidad procesando una potencia adicional para suplir al módulo dañado y garantizando el funcionamiento del TE. En lo que respecta a la entrada, el comportamiento como circuito abierto permite al resto de módulos conectados en paralelo operar de forma normal. Si el fallo se produce debido a un cortocircuito en uno de los diodos rectificadores del secundario, se hace necesario el uso de un diodo de OR-ing, tal y como se puede ver en la Fig. 3.3.a). Se puede realizar un análisis similar ante posibles fallos en los devanados del transformador, o ante posibles fallos por circuito-abierto en cualquiera de los componentes que forman la topología.

En este sentido, es importante destacar que el uso de una topología en medio puente, en el primario, no garantiza este nivel de protección frente a los fallos por circuito abierto o por cortocircuito descritos en esta sección. En caso de querer emplear esta topología en medio puente, sería necesario el uso de un MOSFET adicional con el objetivo de que un fallo en algún módulo DCX no impida el correcto funcionamiento del resto de los módulos. En el caso del secundario, el empleo de un rectificador en puente completo no necesitaría de diodo de OR-ing, pero todavía serían necesarios cuatro diodos en lugar de tres, sin presentar una mayor ventaja adicional. De esta manera, los distintos módulos también se encargarán del reparto de las corrientes

en función del módulo que se ha quedado aislado. Esto significa que, ante un fallo en uno de los módulos, el resto (situados en la misma columna del esquema matricial) siguen compartiendo el mismo nivel de tensión (igual en todos los módulos). Por lo tanto, la corriente que tomarán los distintos módulos operativos (de la misma fila) pasará a ser $I_{SA}/(m_p-1)$ en lugar de I_{SA}/m_p , siendo I_{SA} es la corriente proporcionada por el panel solar. Este incremento en el nivel de la corriente, con la que tendrán que trabajar los módulos DCX restantes, se aborda durante la etapa de diseño, considerando ya en esta etapa inicial, que uno de ellos puede fallar y que el resto han de procesar el exceso de potencia.

Con el objetivo de analizar cómo la estructura matricial mejora la fiabilidad, la Fig.3.10 muestra un ejemplo con cuatro módulos DCX ($m_p = 2$ y $m_s = 2$), tal y como se mostrará en la sección 3.5.- con los resultados experimentales obtenidos, cuando se produce un fallo en uno de estos módulos. De esta forma, cuando el módulo (1,2) falla, sus puertos de entrada y salida se comportan como un circuito abierto. Como todos los puertos de salida están conectados en paralelo, el módulo que ha fallado no comprometerá el correcto funcionamiento del TE, siendo el único efecto la variación en la distribución de potencia entre los módulos restantes. En relación con los puertos de entrada, se puede hacer un comentario similar para el módulo (2,2) cuya entrada está conectada en paralelo con el módulo que ha fallado. Sin embargo, el módulo (1,1) está conectado en serie con el módulo que ha experimentado el fallo, lo cual puede representar un problema. Gracias a la conexión matricial, la tensión en el puerto de entrada del módulo que ha fallado se mantiene en su valor nominal (V_{SA}/m_s), gracias a la conexión con el módulo (2,2), haciendo que se mantenga este como nivel de tensión de entrada del módulo (1,1). De la misma, la corriente de entrada de este módulo (1,1) será conducida por el módulo (2,2), de tal manera que su funcionamiento global no se afectado por el fallo en el módulo (1,2). Gracias a la conexión matricial entre módulos se puede decir que el fallo en uno de los

módulos no compromete el funcionamiento del sistema TE, más allá de una redistribución de la potencia entre los módulos restantes. Esta es la razón por la cual la redundancia también es necesaria en este tipo de sistemas modulares.

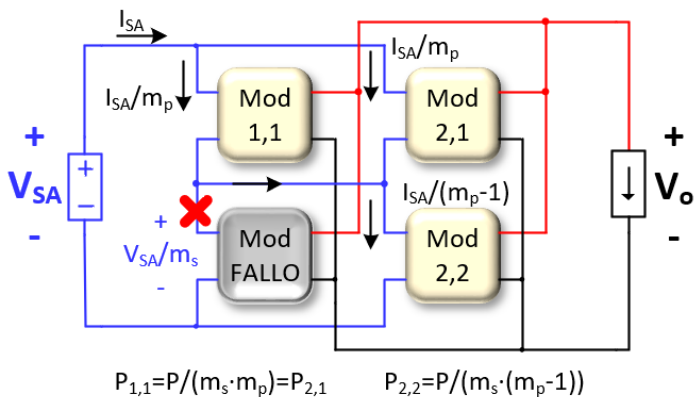


Fig.3.10. Reparto de tensiones y corrientes en una matriz de cuatro módulos DCX cuando uno de ellos falla

3.3.4.- Análisis de las tolerancias y del envejecimiento en los componentes resonantes

En la sección 3.3.2.- se ha demostrado que la conexión de distintos módulos DCX en serie o paralelo en sus entradas no afecta al comportamiento resonante en cada módulo. Tan pronto como exista una señal de sincronización entre los distintos módulos, y se mantenga la conexión en paralelo a la salida entre todos ellos. En el análisis previo, se ha considerado que $t_1 < T_{on} < T_{on_max}$. Sin embargo, como consecuencia de las tolerancias o el envejecimiento de los componentes magnéticos, los valores de L_{eq} y C_{eq} puede variar. Este cambio puede modificar el valor de t_1 y el valor de T_{on_max} . Por lo

tanto, para asegurarse el conseguir ZCS en los diodos, la desigualdad entre los tiempos t_1 , T_{on} y T_{on_max} ha de cumplirse considerando todos los posibles valores que L_{eq} (3. 27) y C_{eq} (3. 28) puedan tomar.

$$\frac{1}{L_{eq}} = \frac{1}{L_{lk}} \cdot \sum_{i=0}^m \frac{1}{1 + dr_{Li}} \quad (3. 27)$$

$$C_{eq} = C_o \cdot \sum_{i=0}^m \frac{1}{1 + dr_{Ci}} \quad (3. 28)$$

Donde ‘m’ representa el número total de módulos DCX y dr_{Li} junto con dr_{Ci} representan las derivas (positivas y negativas) en los valores de las inductancias de dispersión y condensadores de salida, del módulo ‘i’. Por lo tanto, se puede establecer el nuevo valor de la pulsación (ω_r) a través de las expresiones (3. 30).

$$m = m_s \cdot m_p \quad (3. 29)$$

$$\omega_r = \sqrt{\frac{1}{L_{LK} \cdot C_o} \cdot \sum_{i=0}^m \frac{1}{1 + dr_{Li}} \cdot \frac{1}{\sum_{i=0}^m \frac{1}{1 + dr_{Ci}}}} \quad (3. 30)$$

Asumiendo que dr_{Li} y dr_{Ci} se pueden expresar en valor absoluto y que representan la máxima desviación esperada respecto al valor nominal en los componentes que forman el circuito resonante, los valores máximo y mínimo de la frecuencia de resonante se pueden calcular haciendo uso de las expresiones (3. 31) y (3. 32).

$$f_{r_max} = \frac{1}{2\pi} \sqrt{\frac{1}{L_{lk} \cdot C_o} \cdot \frac{1}{1 - dr_L} \cdot \frac{1}{1 - dr_C}} \quad (3. 31)$$

$$f_{r_{min}} = \frac{1}{2\pi} \sqrt{\frac{1}{L_{lk} \cdot C_o} \cdot \frac{1}{1 + dr_L} \cdot \frac{1}{1 + dr_C}} \quad (3.32)$$

Gracias a la simetría en el comportamiento de la tensión de salida (V_o) representada en la Fig. 3.3 b), es fácil obtener el valor de T_{on_max} a partir de la expresión (3. 33). Con el objetivo de cumplir la desigualdad $t_1 < T_{on} < T_{on_max}$ en el rango de operación, la frecuencia de conmutación f_{sw} debe cumplir lo impuesto en (3. 34).

$$T_{on_max} = t_1 + \frac{\frac{T_{sw}}{2} - t_1}{2} = \frac{\theta}{2\omega_r} + \frac{T_{sw}}{4} \quad (3.33)$$

$$T_{on_max}(f_{sw}, f_{r_{max}}) = t_1(f_{sw}, f_{r_{min}}) \quad (3.34)$$

La ecuación (3. 34) ha sido resulta numéricamente para diferentes valores de tolerancias ($\delta = dr_{Li} = dr_{Ci}$). Los resultados se muestran en la Fig.3.11, donde las frecuencias de conmutación aparecen normalizadas por la mitad de la frecuencia de resonancia. A media que la tolerancia se incrementa, se emplea una frecuencia de conmutación más pequeña, reduciendo el valor de T_{on_max} .

Este tiempo T_{on} es el que asegura que no se produce una nueva resonancia ante cualquier deriva en el valor de los componentes que forma el circuito resonante. Este método para obtener el valor de T_{on} no compromete la modularidad o la simplicidad del sistema. Las condiciones para conseguir ZVS en los MOSFETs del primario dependen únicamente del valor de la inductancia magnetizante del transformador magnético y no del valor de la carga. El hecho de cortocircuito el primario del transformador mantiene la corriente magnetizante en el valor que tenía en el momento de aplicar el cortocircuito. Por lo tanto, esta forma de proceder para evitar que se produzcan nuevas resonancias derivadas de posibles tolerancias en los

componentes que forman el circuito resonante, no afecta al hecho de conseguir ZVS en el primario y por lo tanto al rendimiento alcanzado por cada módulo DCX que forma el TE.

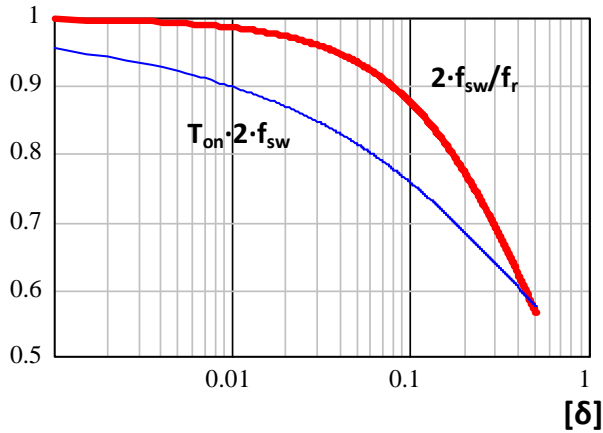


Fig.3.11. Representación de la frecuencia de conmutación normalizada (rojo) y del valor de T_{on} normalizado (azul) en función de la tolerancia (δ)

3.4.- Resultados experimentales de la etapa TE usando los módulos DCX

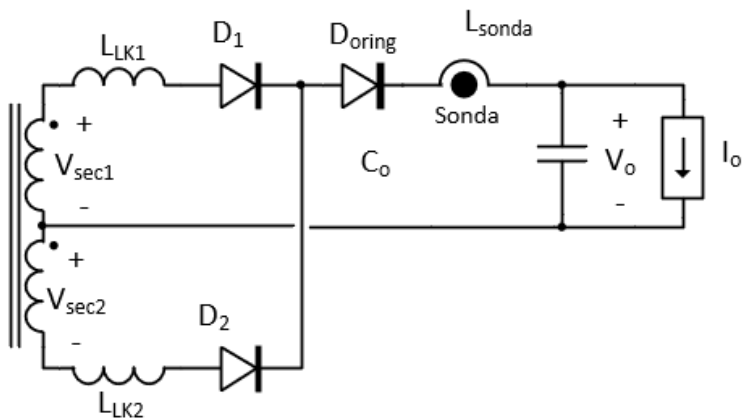
A modo de resumen, aunque la topología empleada en los módulos DCX ha sido propuesta en [3.10], la idea de conectar varios de estos módulos en serie a la entrada / paralelo a la salida (ISOP) o en paralelo a la entrada / paralelo a la salida (IPOP), dentro de las aplicaciones espaciales, el uso de la propia ganancia estática de la topología para asegurar robustez en el funcionamiento del sistema, su análisis de inmunidad frente a tolerancias, así como también el método para no perder ZCS debido a tolerancias en el circuito resonante, se consideran contribuciones nuevas dentro de este trabajo.

Este apartado está estructurado en cuatro partes. La primera parte muestra resultados experimentales cuando se emplea un solo módulo DCX. La segunda, muestra resultados experimentales cuando se emplean varios módulos DCX conectados en configuraciones ISOP e IPOP. En la tercera parte se muestra lo que ocurre cuando se produce un fallo en uno de los módulos DCX, y cómo este fallo, gracias a la estructura matricial descrita en la sección 3.3.3.-, no se propaga al resto de los módulos que forma el TE, permitiendo que el sistema pueda seguir funcionando correctamente. Finalmente, se analiza la conexión entre un módulo DCX y un emulador de panel solar, con el objetivo de probar cómo el SAR vería a su entrada la curva tensión-corriente (curva I-V) escalada, debido a la presencia del TE.

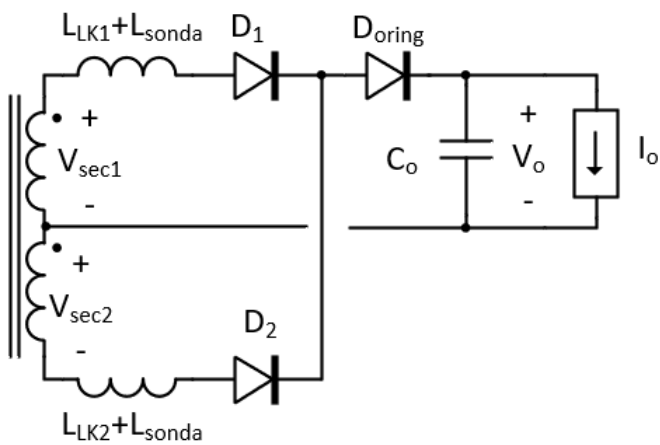
3.4.1.- Resultados experimentales para un solo módulo DCX

En relación con el esquemático de la topología seleccionada para la implementación de los módulos DCX (Fig. 3.3.a), se han diseñado y construido varios de estos módulos, cuyas principales características son las mostradas en la Tabla 3. 1. Los semiconductores seleccionados para la implementación de la topología son equivalentes a aquellos calificados para aplicaciones espaciales, presentando similares características. Los prototipos elaborados presentan diferentes construcciones de los transformadores magnéticos, y además diferentes *drivers* para el control de los MOSFETs. En este sentido cabe destacar que los drivers IR2110 introducen un retardo de alrededor de 120 ns mientras que los drivers Si8238BB presentan un retardo de alrededor de los 30 ns. La Fig.3.13 muestra el prototipo desarrollado, donde los MOSFETs del primario están destacados en verde, mientras que los diodos rectificadores se muestran destacados en rojo.

En relación con el tipo de medidas realizadas, cabe destacar que la medida de la corriente resonante en los diodos rectificadores puede llegar a modificar, ligeramente, la operación de los módulos. La inductancia resonante de los transformadores es, a su vez, la propia inductancia resonante del circuito. Esta inductancia presenta un valor muy pequeño, tanto es así que este valor es comparable al de la propia inductancia añadida por la sonda de corriente a la hora de efectuar la medida. De esta forma, y con el objetivo de ser capaces de poder mediar la corriente resonante en los diodos, el valor de la inductancia de la sonda de corriente se ha considerado como parte del propio circuito resonante. La Fig.3.12 a) muestra la posición de la sonda de corriente en el circuito resonante y la Fig.3.12 b) muestra el circuito equivalente que se ha considerado para los resultados experimentales obtenidos.



a)



b)

Fig.3.12. Medida de la corriente resonantes en los diodos, a) posición de la sonda de corriente; b) Circuito equivalente considerado

La Fig.3.14 muestra el detalle de la conmutación en el MOSFET M_4 a través de la representación de su tensión puerta-fuente (V_{GS}) y de su tensión drenador-fuente (V_{DS}). De esta manera, es posible verificar que se consigue ZVS en la conmutación de los MOSFET del primario. La Fig.3.15.a) muestra las principales formas de onda en un módulo DCX, el nivel de tensión drenador-fuente en uno de los MOSFETs del primario (V_{DSM4}), las corrientes resonantes a través de los diodos rectificadores del secundario (I_{LK}), consiguiendo ZCS y el nivel de tensión de salida (V_O) del módulo DCX. Los resultados experimentales muestran una buena sintonía en relación con las formas de onda teóricas esperadas. En el caso de En este caso, se puede apreciar que el rizado presente en la tensión de salida no es despreciable.

En relación con el nivel de tensión de salida, es posible comprobar, como ya se ha mencionado anteriormente, cómo el rizado que presenta no es despreciable. Sin embargo, este rizado en la tensión de salida puede ser fácilmente eliminado a través del filtro de entrada del bloque SAR. La Fig.3.15.b) muestra las mismas formas de onda que las ya mostradas en la Fig.3.15.a), considerando en este caso, la presencia del filtro EMI a la entrada del SAR. De esta forma, es posible comprobar cómo el rizado en la tensión de salida es minimizado, sin afectar al comportamiento resonante de las corrientes en los diodos rectificadores. Como ya se ha comentado, en esta topología se puede conseguir ZVS en los interruptores del primario, y ZCS en los diodos del secundario. Por lo tanto, es posible alcanzar altos rendimientos en los módulos DCX, como los mostrados en la Fig.3.16, estando alrededor del 97 % a la potencia nominal, y cerca del 95 % a la mitad de la potencia nominal.

Tabla 3. 1. Parámetros principales de diseño del módulo DCX

<i>Parámetro</i>	<i>Valor</i>
Tensión de entrada (V_{in})	56 V
Tensión de salida (V_O)	28 V
Potencia media (P_O)	200 W
Frecuencia de conmutación (F_{sw})	400 kHz
Fuente de reloj	MAX10M50 - Altera
Inductancia de dispersión ($L_{L,K}$)	65 nH
Impedancia de la sonda de corriente (800 kHz)	77 nH + 76 m Ω
Condensador de salida (C_O)	0,3 μ F
MOSFETs (M_1, M_2, M_3 y M_4)	PSMN063-150D
Diodos rectificadores (D_1 y D_2)	NRVBB60H100CT
Diodo de OR-ing	V35PW60HM3/I
Núcleo magnético	EIR 22/6/16
Material magnético	N97
Ratio de vueltas	4:2
Drivers	IR2110 / SI8238BB
Frecuencia de resonancia (F_r)	790 kHz
$2 T_{on}/T_{sw}$	0,73
Ángulo de conducción de los diodos (θ)	4,626 rad
Error de sincronización (t_d)	90 ns

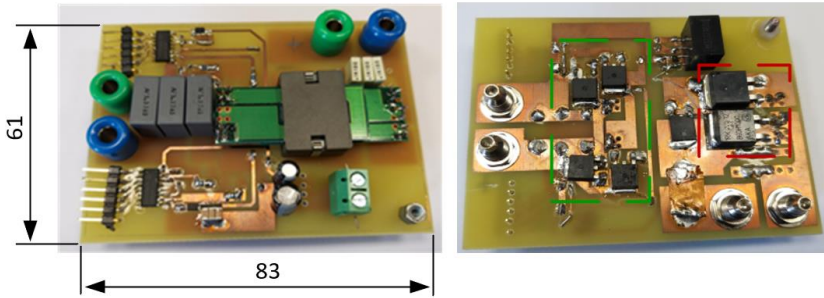


Fig.3.13. Prototipo del módulo DCX construido

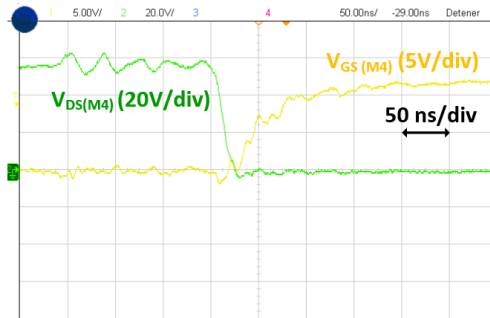


Fig.3.14. Transición en la tensión drenador-fuente (V_{DS}), y puerta-fuente (V_{GS}) del transistor M_4 donde se muestra la conmutación a tensión cero (ZVS)

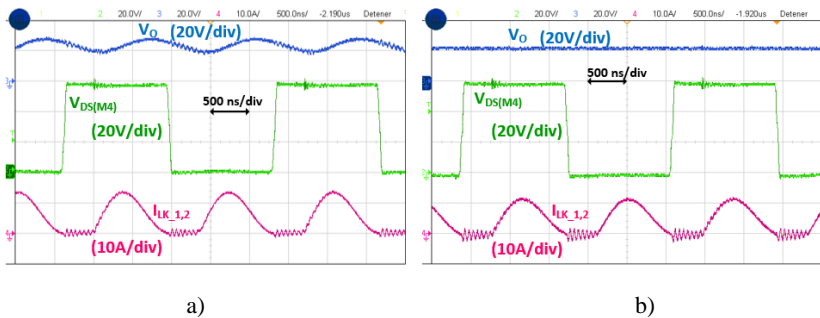


Fig.3.15. Representación de la tensión drenador-fuente en el transistor M_4 (V_{DSM4}), de la corriente resonante (I_{LK}), y de la tensión de salida (V_o) cuando a) no se considera filtro EMI a la entrada del SAR; b) sí se considera filtro EMI en el SAR

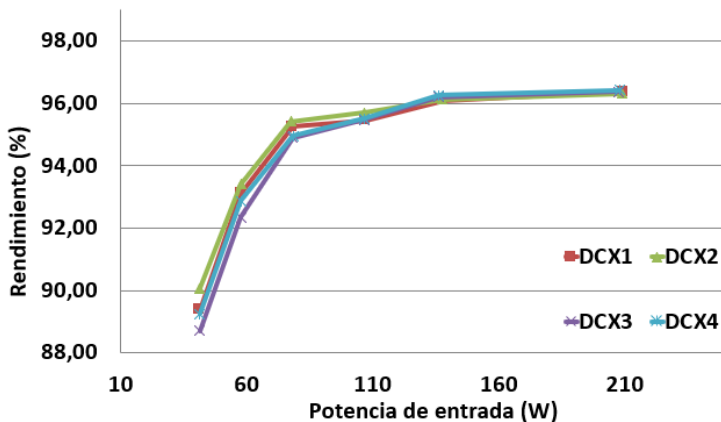


Fig.3.16. Comparativa de los rendimientos obtenidos para los distintos módulos DCX

3.4.2.- Resultados experimentales con varios módulos DCX conectados en IPOP e ISOP

En primer lugar, se han conectado dos módulos DCX en configuración IPOP. Estos módulos han sido diseñados siguiendo las características descritas en la Tabla 3. 1. La Fig.3.17 muestra la tensión de salida (V_O), y las corrientes resonantes ($I_{LK1,2}$) en los diodos rectificadores. De esta forma, y gracias a la conexión IPOP entre módulos, se puede incrementar el nivel de potencia procesada por el sistema TE hasta los 400 W (cada módulo DCX procesa 200 W). Las diferencias en los valores de las inductancias resonantes tienen su efecto en el reparto de las corrientes entre módulos, lo cual a su vez se ve agravado por el propio valor de inductancia añadido por la sonda de corriente.

Mediante la combinación de diferentes módulos DCX en IPOP (escalado en potencia) e ISOP (escalado en tensión), es posible aumentar el nivel de potencia y tensión, respectivamente, manteniendo constante el nivel de tensión de salida. A modo de ejemplo,

combinando cuatro módulos DCX es posible construir un sistema cuya tensión de entrada sea del doble (i.e. 112 V) de la tensión nominal de uno de los módulos (i.e. 56 V), mientras que la tensión de salida del conjunto se mantiene con el nivel constante de 28 V. De la misma manera, la potencia procesada por el sistema completo (i.e. 800 W) será cuatro veces la potencia nominal para la que se ha diseñado cada módulo DCX (i.e. 200 W).

La Fig.3.18 muestra la conexión entre los cuatro módulos DCX usando las conexiones IPOP e ISOP. Los subsistemas Sub 1 y Sub 2 muestran la conexión en IPOP entre dos módulos DCX, mientras que ambos subsistemas están conectados en serie en sus entradas. Como se puede ver, las salidas de todos los módulos están conectadas en paralelo, con el objetivo de mantener fijo el nivel de tensión de salida en 28 V (tensión de entrada del bloque SAR).

Los drivers de los MOSFETs en Sub 1 introducen un retardo de 30 ns, mientras que los drivers de Sub 2 introducen un retardo de 120 ns (de acuerdo a la establecido en las hojas de características). La Fig.3.19 muestra la tensión de entrada de ambos subsistemas ($V_{in\ sub1} = 53,96$ V y $V_{in\ sub2} = 55,81$ V), y la tensión de salida del sistema ($V_o = 24,55$ V). Como se puede ver, la tensión de entrada no está perfectamente repartida entre los submódulos conectados en serie. La Fig.3.20 representa las corrientes resonantes (I_{TE1} - I_{TE4}) a través de los diodos rectificadores para los cuatro módulos DCX empleados. Del mismo modo, la Fig.3 21 representa el valor medio de dicha corriente para dos de los módulos empleados. Como se puede ver I_{TE1} e I_{TE3} están adelantadas respecto a I_{TE2} e I_{TE4} . De acuerdo con (3. 26) aquellos módulos que presenten señales de disparo más tempranas proporcionarán más corriente de salida, y, por lo tanto, más potencia. Sin embargo, Sub 1 y Sub 2 están conectados en serie por lo que el mismo valor medio de corriente ha de circular a través de ellos. De esta forma, aquellos módulos con señales de disparo más tempranas deben reducir su tensión de entrada hasta que se consigue el correcto

reparto de las corrientes. Esta reducción en el nivel de tensión se puede calcular empleado la expresión (3. 22).

Asumiendo que la conexión en paralelo entre los módulos es idéntica, la ecuación (3. 35) muestra el desequilibrio entre las corrientes que produce el error de sincronización. Usando este error de corriente en (3. 36) es posible obtener el valor de los niveles de tensión en Sub 1 y Sub 2. La diferencia entre las dos tensiones obtenida en el laboratorio es de 1,85 V, mientras que la diferencia calculada con las ecuaciones presentadas en este trabajo, considerando operación sin pérdidas, es de 1, 58 V. En simulación, esta misma diferencia se sitúa alrededor de los 1,79 V.

$$\begin{cases} I_{ET1} = I_{ET2} \cdot \left(1 + 2\theta \frac{\cos(\theta) - 1}{\sin(\theta)} f_{sw} \cdot t_d \right) \\ I_{ET1} + I_{ET2} = 13 \\ I_{ET1} = 7.424A; I_{ET2} = 5.576A; \Delta I = 1.848A \end{cases} \quad (3. 35)$$

$$\begin{cases} Vin_{sub1} = \frac{Vin}{2} - \frac{\Delta V}{2}; Vin_{sub2} = \frac{Vin}{2} + \frac{\Delta V}{2} \\ \frac{\Delta V}{L_{LK}} \left(\frac{\theta}{w_r} \right)^2 f_{sw} = \Delta I = 1.848A \\ \Delta V = 1.577V; Vin_{sub1} = 54.21V; Vin_{sub2} = 55.79V \end{cases} \quad (3. 36)$$

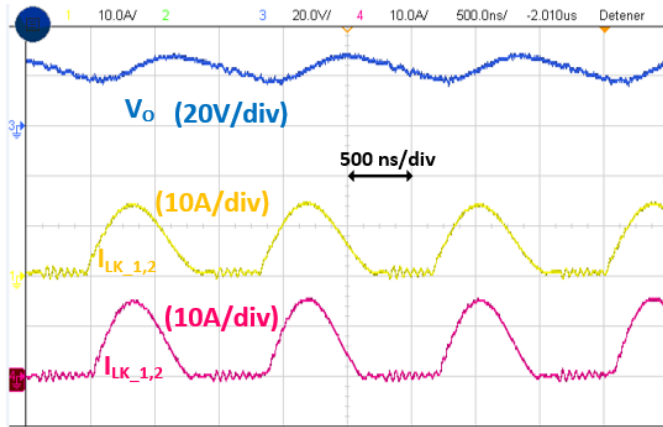


Fig.3.17, Tensión de salida (V_o) y corrientes resonantes ($I_{LK_{1,2}}$) en dos módulos DCX conectados en IPOP

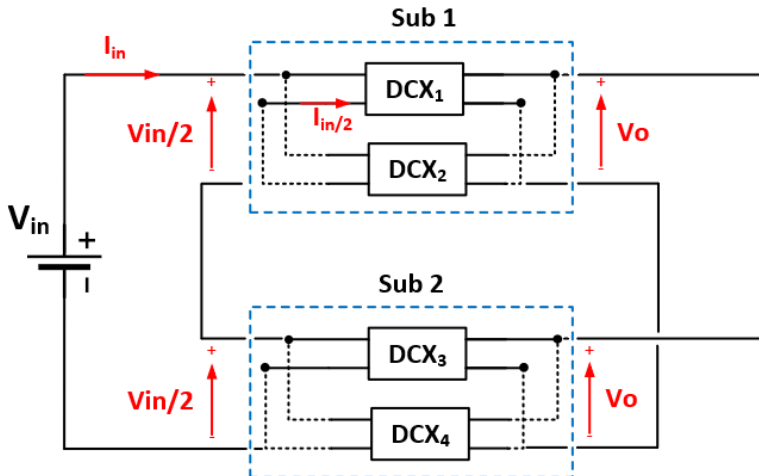


Fig.3.18. Esquema de dos subsistemas (Sub 1 y Sub 2), de módulos DCX conectados en IPOP, conectados en ISOP

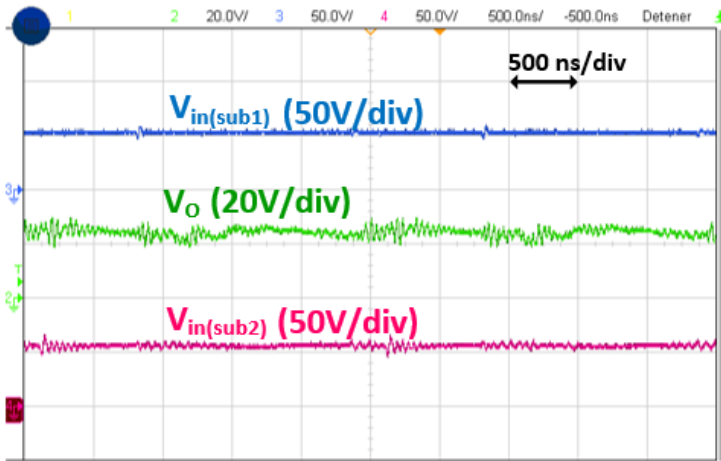


Fig.3.19. Tensión de entrada en Sub 1 y Sub2, junto con el nivel de tensión de salida del sistema completo (V_o)

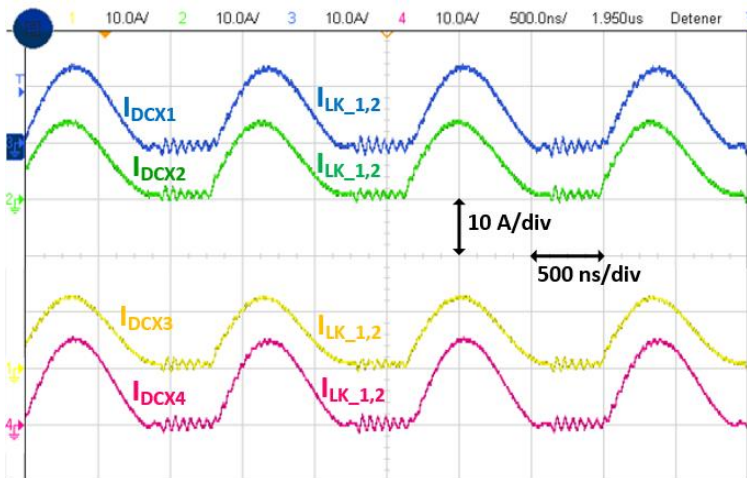


Fig.3.20. Corrientes resonantes a través de los diodos rectificadores de los cuatro módulos DCX. La potencia procesada por cada módulo es de 200 W

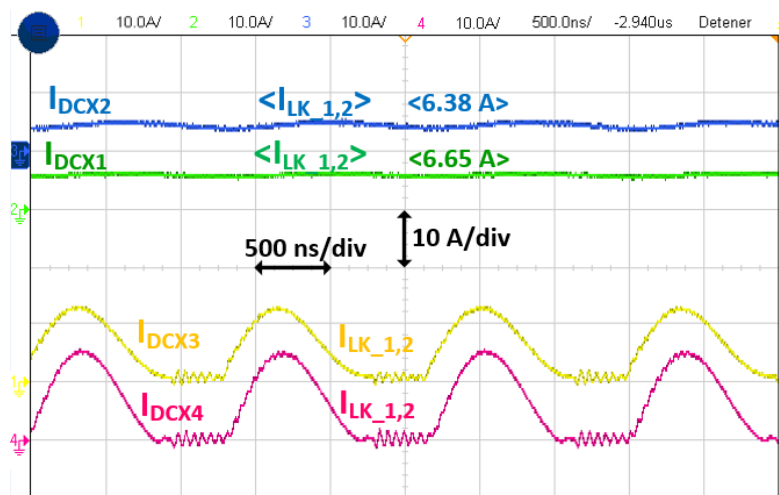


Fig.3 21. Valor medio de la corriente resonante en los módulos DCX₁ y DCX₂, y corrientes resonantes en los módulos DCX₃ y DCX₄

3.4.3.- Efecto de fallo en un módulo DCX dentro del sistema TE

En este análisis se han considerado dos modos de fallo posibles (cortocircuito y circuito abierto) en uno de los transistores MOSFET que forman el primario del módulo DCX (Fig.3.18), en base a lo establecido en [3.16]. La Fig.3.22 representa las corrientes resonantes en los cuatro módulos DCX cuando se produce un fallo por cortocircuito en uno de los MOSFET (M_3) del módulo DCX₂, mientras que la Fig.3.23 muestra las mismas formas de onda, cuando el fallo se produce por circuito abierto. En ambos casos el fallo ocurre cuando las corrientes resonantes están en su nivel de máxima de amplitud, considerando este como el peor caso. Como se puede observar, ambos escenarios de fallo pueden ser superados de manera satisfactoria mediante la puesta a nivel bajo de las cuatro señales de gobierno en los MOSFET, tal y como se ha descrito en la sección 3.3.3.-

De esta forma, puede verse cómo el hecho de que se produzca un fallo en el módulo DCX_2 , haciendo que dicho módulo quede aislado, no compromete el correcto funcionamiento del transformador electrónico. Los módulos DCX_3 y DCX_4 no se ven afectados por el fallo, de ninguna manera, mientras que el módulo DCX_1 , conectado en paralelo con DCX_2 , incrementa su nivel de corriente resonante (procesará el doble de la potencia, respecto a su funcionamiento en condiciones normales), de tal manera que el nivel de potencia total procesado por el sistema se mantiene constante. Este incremento en el nivel de potencia procesada por un módulo DCX , dependerá del número de módulos conectados en paralelo a través de sus estradas (i.e. nivel de redundancia).

En relación con el comportamiento de la corriente resonante en el módulo que falla, es importante destacar que la evolución en dicha corriente es diferente una vez que el módulo queda aislado. Como se puede ver en la Fig.3.22, en el caso de fallo por cortocircuito la corriente resonante del módulo DCX_2 necesita más tiempo para alcanzar cero. Esto se debe a que cuando uno de los MOSFETs falla debido a cortocircuito, el primario del transformador magnético es cortocircuitado a través de uno de los diodos parásitos del puente completo y del MOSFET que ha experimentado el fallo. Por otro lado, cuando el MOSFET falla en circuito abierto (Fig.3.23), el primario del transformador queda polarizado inversamente a través de los diodos parásitos de M_2 y M_1 , haciendo que, el proceso de desmagnetización de la inductancia magnetizante (inductancia resonante) sea más rápido.

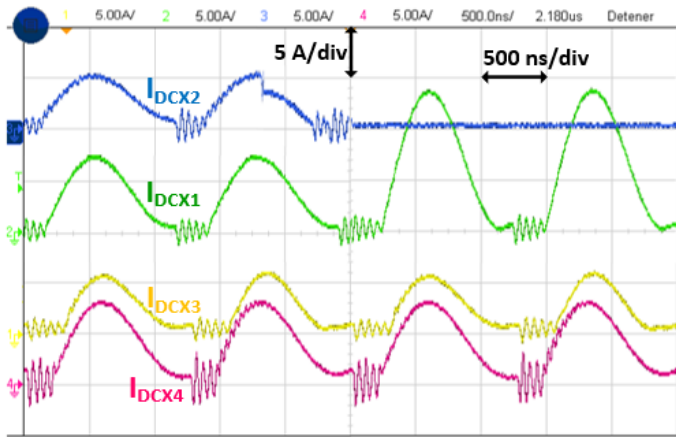


Fig.3.22. Corrientes resonantes a través de los diodos rectificadores. El fallo en el módulo DCX₂ se debe a un cortocircuito en el transistor M₃

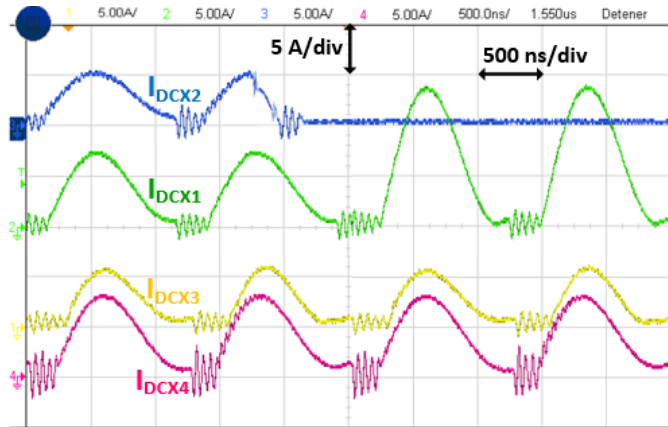


Fig.3.23. Corrientes resonantes a través de los diodos rectificadores. El fallo en el módulo DCX₂ se debe a que M₂ y M₃ se mantienen siempre en circuito abierto

3.4.4.- Emulación de panel solar a través del transformador electrónico

Este apartado muestra el comportamiento del transformador electrónico cuando se conecta a un emulador de panel solar. En este caso, se ha empleado un módulo *E4360* [3.17] de *Keysight* el cual puede emular el comportamiento de un panel solar, con el objetivo de analizar cómo su curva I-V característica es transformada debido a la presencia del transformador electrónico.

El objetivo de esta prueba es analizar cómo la curva I-V del panel solar, adaptada a través del transformador electrónico, pasa a tener unos nuevos niveles de tensión-corriente, que encajarán con las características y requisitos fijados por el SAR. La Tabla 3. 2 muestra las principales características del panel solar emulado, del mismo modo que la Fig.3.24 muestra la curva I-V emulada, junto con la curva obtenida después del uso del transformador electrónico, como etapa intermedia entre el panel solar y el SAR.

Como se puede ver, la salida del transformador electrónico se comporta como la curva del panel solar emulado, pero escalada por un factor de 2 (definido por el propio transformador electrónico). Teniendo en cuenta la ganancia estática fijada en el transformador magnético, y la frecuencia de conmutación en los módulos DCX, el desfase que se produce entre la tensión de salida del panel solar y la tensión de salida del transformador electrónico es inapreciable.

Tabla 3. 2. Principales características del panel solar emulado

<i>Parámetro</i>	<i>Valor</i>
Tensión de circuito abierto (V_{OC})	56 V
Corriente de cortocircuito (I_{SC})	2 A
Tensión en el pico de potencia (V_{MP})	53 V
Corriente en el pico de potencia (I_{MP})	1,7 A

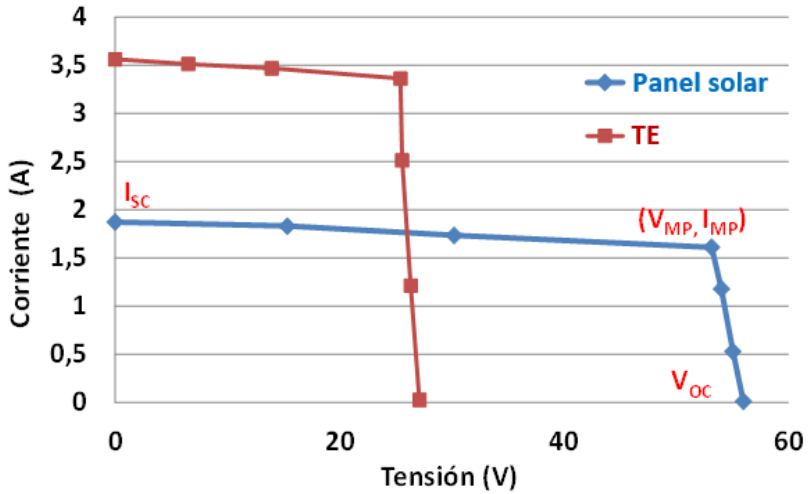


Fig.3.24. Curvas I-V del panel solar emulado y del transformador electrónico (TE)

3.5.- Conclusiones

En este capítulo se ha presentado un sistema, denotado como transformador electrónico, que se comporta como una etapa capaz de adaptar la curva I-V de un panel solar, permitiendo la reutilización del bloque SAR en diferentes misiones. El propósito de operar de esta forma pasa por la adaptación en las etapas de diseño y construcción de satélites en base a la tendencia actual en el diseño aeroespacial, en el que siempre se intenta buscar menores tiempos de desarrollo y diseño.

La etapa adaptadora propuesta está basada en una conexión en matriz entre diferentes módulos (DCX) basados en una topología resonante aislada. La adaptación del nivel de tensión del panel solar se consigue a través de la conexión en serie de las entradas de varios de estos módulos DCX, mientras que la adaptación en el nivel de potencia se consigue a través de la conexión en paralelo. Teniendo en cuenta que el nivel de tensión de salida del TE ha de ser fijo, (definido a través del diseño estandarizado del SAR), todos los módulos DCX se conectan en paralelo en sus salidas, derivando al final en una combinación de conexiones en ISOP o IPOP entre varios de estos módulos.

La topología seleccionada para la implementación de los distintos módulos DCX está basada en una topología resonante cuya ganancia estática es fija y depende únicamente de la ratio de vueltas en el transformador magnético. Esto permite un reparto adecuado de la tensión y potencia de entrada, entre todos los módulos, sin la necesidad de emplear un sistema de control complejo, únicamente a través de la presencia de una señal de reloj común a todos los módulos (señal de sincronización). En este caso cabe destacar que el diseño del transformador magnético es fundamental para conseguir un reparto adecuado de las corrientes en cada módulo.

Como el condensador resonante es, al mismo tiempo, el condensador de salida de la topología, todos los módulos DCX

cuentan con los convertidores resonantes conectados en paralelo. Como consecuencia, el reparto de la tensión de entrada no se ve afectado por las tolerancias en los componentes resonantes. En el caso del reparto en el nivel de potencia de entrada, éste solo se ve afectado por las tolerancias en las inductancias resonantes (inductancias de dispersión), La principal desventaja de esta propuesta es que el rizado de alta frecuencia en la tensión de salida del módulo DCX no es despreciable. Sin embargo, este rizado puede filtrarse fácilmente a través del filtro EMI a la entrada del bloque SAR, cuyo diseño puede mantenerse inalterado, ya que no se ve afectado por la presencia del transformador electrónico.

La estructura matricial que forma el transformador electrónico, la topología escogida para la implementación de los distintos módulos DCX, y el hecho de que la ganancia estática de cada módulo solo dependa de la ratio de vueltas en el transformador magnético hace que el sistema sea muy robusto frente a fallos (de acuerdo con lo establecido en la ECSS-Q-ST-30-02C).

Finalmente, destacar que el rendimiento obtenido por cada módulo DCX es muy alto a plena carga (alrededor del 96 %). Este es un aspecto relevante ya que la evacuación de calor supone un reto muy importante en el diseño de satélites. De esta manera, teniendo en cuenta los altos rendimientos que se consiguen con la topología seleccionada, el subsistema térmico de los satélites no se vería afectado. Además, el transformador electrónico se vería como una etapa conectada en cascada con el SAR. Por lo tanto, las pérdidas adicionales, derivadas de emplear esta nueva etapa adaptadora, han de ponerse en el contexto de ser capaces de tener un diseño fijo y optimizado del bloque SAR, reutilizable en diferentes misiones espaciales. De la misma manera, es fundamental tener un rendimiento elevado en un rango amplio de potencias y tensiones de entrada para asegurar que, en cualquier adaptación, el rendimiento global del sistema TE va a ser elevado.

Anexo 1: Ajuste fino del nivel de tensión en los módulos DCX mediante el uso de transformadores magnéticos

Hasta ahora, la adaptación en el nivel de tensión a la entrada del TE solo se podía realizar mediante la concatenación de un número entero de módulos DCX conectados en serie a sus entradas. Esta forma de proceder supone una limitación, ya que de esta forma siempre habrá rangos de tensión de entrada del TE (i.e. panel solar) (V_{SA}) que no se adapten al rango de tensión de salida (V_o) deseado (i.e. tensión de entrada del SAR). De esta forma, se hace necesaria una forma eficaz de llevar a cabo un “ajuste fino” del nivel de tensión, por parte de cada módulo DCX, sin que ello suponga un rediseño desde cero que pueda comprometer la modularidad y el tiempo desarrollo ante cada nueva misión espacial.

Este anexo pretende aportar un método para llevar a cabo este “ajuste fino” del nivel de tensión en los distintos nódulos DCX mediante la utilización de un determinado número de transformadores magnéticos. En este sentido se busca emplear la menor ratio de vueltas en el transformador (n) así como también el menor número de módulos DCX en serie. Se estudiará también las condiciones en las que resulte más ventajoso añadir un nuevo módulo en serie, en lugar de cambiar el diseño del transformador magnético.

El papel del SAR se basa en controlar la tensión de salida del panel solar, proporcionando la potencia demandada en cada caso en función de su curva I-V. Esto significa que el rango de tensiones de entrada del SAR debe incluir la tensión de circuito abierto (V_{SAOC}) del panel solar, así como también el nivel de tensión a la cual el panel solar proporciona su máxima potencia (*Maximum Power Point Voltage*, V_{SAMPP}). Ambas tensiones cambian con las condiciones de temperatura, iluminación, envejecimiento, y otros factores, por lo que el SAR debe basarse en el valor V_{SAOC} máximo y el valor V_{SAMPP} mínimo.

Por diseño y características de sus componentes, El SAR tiene una tensión de entrada mínima a la cual puede entregar su potencia nominal (P_{nom}), definida a través de la máxima corriente media de entrada en operación continua ($I_{SARmáx}$). Esta tensión debe ser igual o menor a la mínima tensión V_{SAMPP} de cualquier panel solar conectado al SAR (de manera directa o a través de la etapa TE), y se denotará como V_{SARMPP} . De esta forma, se asegura que el SAR es capaz de alcanzar el MPP del panel solar.

A partir de la ecuación (3. 1) se puede relacionar los niveles de tensión V_{SAMPP} y V_{SARMPP} , considerando que existe un TE entre ambos realizando la adaptación de tensiones:

$$\frac{V_{SAMPP}}{m_s} \cdot G_v > V_{SARMPP} = \frac{P_{nom}}{I_{SARmáx}} \quad (A.1)$$

De la misma manera, el SAR tendrá una tensión de entrada máxima definida a través de sus características constructivas y su diseño optimizado. Esta tensión ha de ajustarse en relación con la máxima tensión de circuito abierto que pueda llegar a tener el panel solar (a través del TE). De esta forma, este nivel de tensión se denotará como $V_{SAR_OC_máx}$:

$$\frac{V_{SAOC}}{m_s} \cdot G_v < V_{SAR_OC_m\acute{a}x} \quad (A. 2)$$

Los paneles solares tienen una ratio comprendida entre $V_{SAMP P}$ y V_{SAOC} , la cual puede experimentar pequeñas variaciones entre diferentes configuraciones de paneles o entre celdas solares que presenten características distintas. Esta ratio suele estar alrededor del 80 % [3.15]. De esta forma, siempre se ha de asegurar que el intervalo $[V_{SARMPP}, V_{SAR_OC_m\acute{a}x}]$ es siempre mayor que el intervalo $[V_{SAMP P} \cdot G_v/m_s, V_{SAOC} \cdot G_v/m_s]$ dentro las condiciones establecidas en el diseño. Es posible adaptar los límites inferiores de ambos intervalos de acuerdo con la expresión (A.1):

$$\frac{V_{SAMP P}}{m_s} \cdot G_v < V_{SARMPP} \quad (A. 3)$$

De esta forma, se tendrá un valor $V_{SAR_OC_min}$ menor que $V_{SAR_OC_m\acute{a}x}$, que satisface la expresión (A. 4):

$$V_{SAR_OC_min} = \frac{V_{SAOC}}{m_s} \cdot G_v < V_{SAR_OC_max} \quad (A. 4)$$

Empleando (A. 3) y (A. 4), se puede llegar a obtener la expresión (A. 5) que relaciona $V_{SAR_OC_min}$, con V_{SAOC} , $V_{SAMP P}$ y V_{SARMPP} .

$$V_{SAR_OC_min} = \frac{V_{SAOC}}{V_{SAMP P}} \cdot V_{SARMPP} \quad (A. 5)$$

El aspecto clave en el procedimiento de diseño del TE, es que el nivel de tensión ($V_{SAOC} \cdot G_v/m_s$) está situado dentro del rango $[V_{SAR_OC_min}, V_{SAR_OC_m\acute{a}x}]$, lo cual asegura que el nivel $V_{SAMP P}$ puede alcanzarse sin comprometer el área de operación segura (*Secure Operation Area*, SOA) del SAR. Por lo tanto, el proceso de diseño del TE puede basarse en situar la tensión de circuito abierto del panel

solar, adaptada a través del propio TE, dentro del rango $[V_{SAR_OC_min}, V_{SAR_OC_máx}]$, de tal manera que el panel solar estará correctamente controlado a través del SAR.

Teniendo en cuenta esta adaptación de niveles entre el panel solar y el SAR, los distintos módulos que forman el TE, estarán diseñados y optimizados en función de una tensión de entada máxima (V_{inmax}). Esta tensión V_{inmax} se selecciona en función de la máxima tensión de ruptura soportada por los MOSFET que forman el puente completo en la topología de DCX seleccionada. Con el objetivo de minimizar el número de módulos conectados en serie, el nivel de tensión máxima a la entrada del SAR ($V_{SAR_OC_máx}$) debe establecerse acorde al valor máxima de tensión nominal de los bloques DCX.

De esta manera, en base a la expresión (3. 1) se puede establecer la ecuación (A. 6), que relacionará el nivel de tensión máxima en la entrada de los bloques DCX (V_{inmax}) con el nivel máximo de tensión en la entrada del bloque SAR ($V_{SAR_OC_máx}$).

$$n_{ref} = \frac{V_{SAR_OC_máx}}{V_{inmáx}} \quad (A. 6)$$

El rango válido para el nivel de tensión V_{SAOC} cuando se emplea un solo módulo en el DCX (V_{SAref_1}) con la relación n_{ref} descrita en la ecuación (A. 6), se puede obtener en base a las expresiones (3. 1) y (A. 4).

$$\begin{aligned} V_{SAref_1} &= \left[\frac{V_{SAR_OC_min}}{n_{ref}}, \frac{V_{SAR_OC_máx}}{n_{ref}} \right] \\ &= \left[V_{SAR_OC_min} \cdot \frac{V_{inmáx}}{V_{SAR_OC_máx}}, V_{inmáx} \right] \end{aligned} \quad (A. 7)$$

Este rango de tensiones V_{SAref_1} está representado de manera esquemática en la Fig. A.1. El eje ‘x’ representa la tensión de circuito abierto del panel solar, mientras que el eje ‘y’ representa el nivel de

tensión de entrada del SAR. De esta forma, cada una de las líneas trazadas en la Fig. A. 1 representa la adaptación de tensión llevada a cabo por la etapa TE entre el panel solar y el SAR. Las pendientes en las distintas gráficas dependen del número de módulos DCX conectados en serie con su respectiva ganancia estática. Como se puede ver, la línea roja, relacionada con n_{ref} , permite relacionar el rango V_{SAref_1} con el rango de operación de la tensión de entrada del SAR., de acuerdo con lo establecido en la expresión (A. 7).

El hecho de incrementar el número de módulos conectados en serie permitirá dividir equitativamente la tensión de salida del panel solar entre los distintos módulos. Esto trae consigo una reducción de la ganancia total de la etapa TE (como se puede ver si se comparan las líneas en rojo $n_{ref}/2$ y n_{ref}/m_s de la Fig. A.1), creando de esta manera, nuevos rangos en la tensión de salida del panel solar que a su vez tendrán que asociarse con los correspondientes rangos válidos de tensión del SAR. Como se puede ver en la Fig. A.1, V_{SAref_2} y V_{SAref_ms} tienen su correspondencia en el rango $[V_{SAR_OC_min}, V_{SAR_OC_máx}]$. Como se ha explicado anteriormente, si la tensión de circuito abierto del panel solar está situada dentro de este rango de tensiones, el SAR puede seguir el nivel de tensión en el panel solar, desde circuito abierto hasta el punto de máxima potencia (MPP).

Estos nuevos rangos pueden expresarse en función de m_s de acuerdo con la establecido en la expresión (A. 8):

$$\left[V_{SAR_OC_min} \cdot \frac{V_{inmáx}}{V_{SAR_OCmáx}} \cdot m_s, V_{inmáx} \cdot m_s \right] \quad (A. 8)$$

Estos nuevos rangos de tensión representan la forma básica de adaptación de tensiones llevada a cabo por el TE, sin embargo, no están cubiertos todos los posibles niveles de tensión del panel solar. Como se puede ver en la Fig. A.1, los rangos V_{SAOC} cubiertos por el TE, cuyos módulos DCX presentan una ratio de vueltas en el transformador magnético igual a n_{ref} (líneas rojas $n_{ref}/2$ y n_{ref}/m_s),

presentan huecos, cuando el número de módulos conectados en serie cambia ($V_{SAR_{ref_1}}, V_{SAR_{ref_2}}, V_{SAR_{ref_ms}}$).

De esta manera, se hace necesario analizar cuántas ratios de vueltas distintas (transformadores magnéticos) son necesarios para asegurar que cualquier posible valor de tensión en el panel solar (tensión de entrada) puede ser adaptado al rango válido de tensión de entrada del SAR.

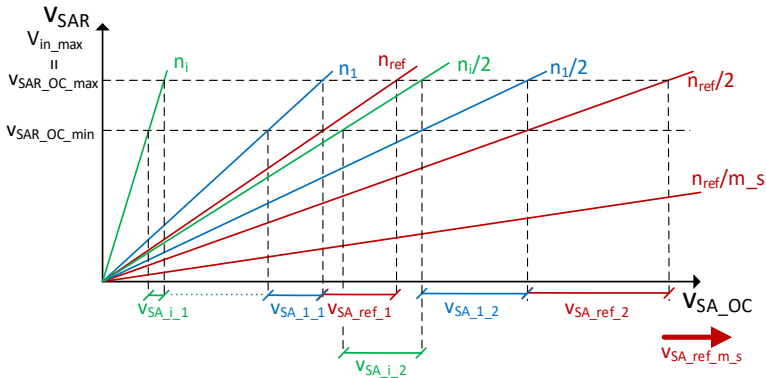


Fig. A.1. Adaptación del rango de tensiones del panel solar mediante la conexión en serie de varios módulos DCX en el TE, y mediante cambios en la ratio de vueltas del transformador magnético

Considerando un único módulo DCX con ratio de vueltas “ n_{ref} ” (Fig. A.1), es posible calcular la ratio “ n_1 ” requerida para cubrir el rango de tensiones ($V_{SA_{1_1}}$) del panel solar, siendo inmediatamente menor que el rango $V_{SA_{ref_1}}$. Para obtener esta ratio de vueltas, es necesario imponer la condición de que el límite inferior de $V_{SA_{ref_1}}$ es menor (igual) que el límite superior del rango $V_{SA_{1_1}}$ creado por el nuevo transformador. De esta forma, se puede establecer a través de la expresión (A. 9) el valor de la ratio ‘ n_1 ’ para el nuevo transformador magnético del bloque DCX.

$$\frac{V_{SAR_{OC_min}}}{n_{ref}} \leq \frac{V_{SAR_{OC_m\acute{a}x}}}{n_1} \rightarrow n_1 \leq n_{ref} \cdot \left(\frac{V_{SAR_{OC_m\acute{a}x}}}{V_{SAR_{OC_min}}} \right) \quad (A. 9)$$

Desde un punto de vista más general, si se quieren añadir nuevos rangos de tensión, se puede llegar a obtener una expresión general de la ratio de vueltas “ n_i ” del transformador i-adicional (ver (A. 10)).

$$n_i \leq n_{ref} \cdot \left(\frac{V_{SAR_OC_m\acute{a}x}}{V_{SAR_OC_min}} \right)^i \quad (A. 10)$$

Como se puede observar analizando la expresión (A. 10), cada nuevo transformador magnético es una versión escalada del transformador magnético original (“ n_{ref} ”), siendo el factor de escala dependiente del rango de tensiones de cortocircuito del panel solar. Por lo tanto, en caso de querer alcanzar tensiones mayores del panel solar, los cambios en el transformador magnético y en la ratio de vueltas no serían la solución más adecuada, puesto que ello llevaría a trabajar con niveles de tensión de entrada por encima de $V_{inm\acute{a}x}$, y eso acabaría provocando el rediseño en el primario de la topología DCX. El alcanzar mayores tensiones de panel solar pasa por la conexión de varios módulos DCX en serie a la entrada, de forma que la tensión del panel solar se reparta equitativamente entre ellos, tal y como se planteó en la sección 3.3.2.- Lógicamente, el número de módulos vendrá marcado por la tensión máxima que estos son capaces de soportar.

En la Fig. A.2 se puede encontrar un ejemplo de diseño modular para la adaptación de rangos de tensión mayores. Se trata de una representación simplificada de la Fig. A.1. En este caso, las líneas que representan la ganancia estática han sido omitidas; sin embargo, el código de colores empleado en la Fig.A.2 permite diferenciar los distintos transformadores magnéticos con las distintas ratios de vueltas (2, 1,6 y 1,25), la cuales se muestran dentro de los bloques representados en dicha figura. El eje “x” sigue representando la tensión de circuito abierto del panel solar, mientras que el eje “y” representa el número de módulos conectados en serie, y no la tensión de entrada del SAR como ocurría en la Fig.A.1.

$$V_{SAR_min}=24,5 \text{ V}; V_{SAR_max}=31,5 \text{ V}; V_{SAR_nom}= 28\text{V}; V_{in_max}=25 \text{ V}$$

Módulos en

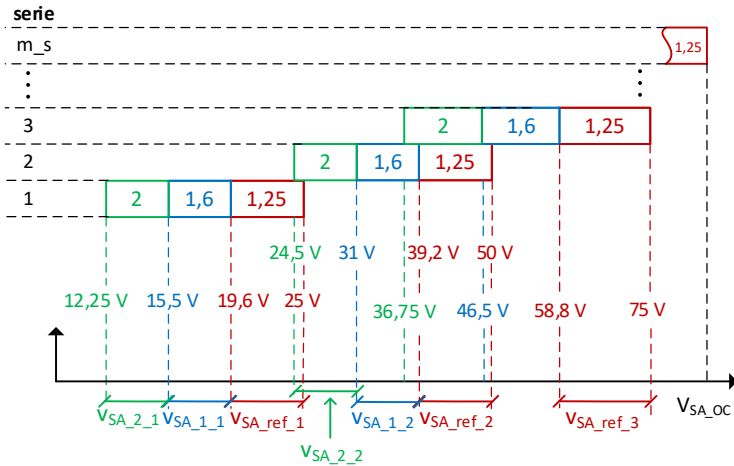


Fig. A.2. Ejemplo del número mínimo de transformadores magnéticos prediseñados para cubrir cualquier posible tensión de circuito abierto en el panel solar

En todos los casos, el objetivo es lograr que el rango de tensión de panel solar cubierto por cada configuración sea adapte, a la salida del TE, al rango de tensiones de entrada del SAR [$V_{SAR_OC_min}$, $V_{SAR_OC_máx}$], como ya se había explicado en la Fig. A.1. Por lo tanto, la longitud de cada uno de los bloques mostrados en el eje “x” representa un rango válido de tensiones de circuito-abierto para el panel solar.

La Fig.A.2 permite entender mejor el proceso de cálculo del máximo número de transformadores magnéticos adicionales. Como se puede comprobar, siempre se ha de asegurar que el máximo valor de la tensión de circuito abierto del panel solar, cubierta por un número determinado de módulos DCX en serie (m_x), debe solaparse con el valor mínimo de la tensión de circuito abierto, en dicho panel solar, con un módulo más (m_x+1). Es decir, ha de cumplirse la condición: $V_{OC_max} \cdot m_x \leq V_{OC_min} \cdot (m_x + 1)$ A modo de ejemplo, en la

Fig.A.2 se puede ver cómo el rango $V_{SA_2_2}$ (obtenido con dos módulos DCX conectados en serie con transformadores magnéticos de ganancia 2) es el de tensión más baja dentro de las configuraciones con dos módulos serializados. Dicho rango se solapa con $V_{SA_ref_1}$ (rango obtenido con un solo módulo DCX con transformador de ratio 1,25), que es el más alto que se puede obtener con sólo un módulo y los transformadores magnéticos considerados. Este aspecto se puede expresar matemáticamente, a partir de la ecuación (A. 11).

$$V_{inm\acute{a}x} \cdot m_x \geq \frac{V_{SAR_OC_min}}{n_i} \cdot (m_x + 1) \quad (A. 11)$$

Considerando (A. 6) y (A. 10), se pueden obtener las expresiones (A. 12) y (A. 13):

$$\frac{V_{SAR_OC_m\acute{a}x}}{n_{ref}} \cdot m_x \geq \frac{V_{SAR_OC_min}}{n_{ref} \cdot \left(\frac{V_{SAR_OC_m\acute{a}x}}{V_{SAR_OC_min}}\right)^i} \cdot (m_x + 1) \quad (A. 12)$$

$$\left(\frac{V_{SAR_OC_m\acute{a}x}}{V_{SAR_OC_min}}\right)^{i+1} \geq \frac{(m_x + 1)}{m_x} \quad (A. 13)$$

Analizando la expresión (A. 13), el peor caso se dará cuando m_x es igual a 1, dando lugar a la expresión (A. 14).

$$i \geq \frac{\ln(2)}{\ln\left(\frac{V_{SAR_OC_m\acute{a}x}}{V_{SAR_OC_min}}\right)} - 1 \quad (A. 14)$$

La ecuación (A. 14) representa el número adicional de transformadores magnéticos (i) requeridos para asegurar que cualquier tensión de panel solar puede ser adaptada al rango válido aceptado por la entrada del SAR escogiendo adecuadamente el número de módulos serializados y el transformador magnético montado.

Considerando el ejemplo de la Fig.A.2, ante un nivel V_{inmax} para un solo módulo DCX de 25 V, el transformador magnético de referencia necesitaría una ratio de vueltas (n_{ref}) de 1,25 (mostrado en rojo en la Fig.A.2), obtenido a partir de la expresión (A. 6). A partir de la ecuación (A. 14) se obtiene que serían necesarios dos transformadores magnéticos adicionales para cubrir todo el rango de tensiones de circuito abierto del panel solar (se asumen como valor mínimo de tensión de circuito abierto 12,25 V). Mediante la expresión (A. 10) se puede obtener que el valor de las ratios (n_i) para cada uno de estos transformadores magnéticos es 1,6 y 2,0 (mostradas en azul y verde en la Fig.A.2, respectivamente).

El valor máximo de tensión de circuito abierto en el panel solar que puede ser adaptado dentro del rango de tensiones de entrada del SAR no está limitado, ya que se trataría únicamente de ir añadiendo módulos conectados en serie (con tres módulos conectados en serie, la máxima tensión sería de 75 V).

Como se ha comentado, existe un solapamiento entre los niveles de tensión de circuito abierto en el panel solar que se pueden adaptar una vez que se añaden varios módulos conectados en serie, siendo el peor caso (es decir, el solapamiento más estrecho), el que se produce entre usar un solo módulo, y dos módulos DCX conectados en serie. A medida que el número de módulos aumenta, el solapamiento lo hace de igual forma. Este aspecto se puede visualizar mejor en la Fig.A.2, donde el nivel de tensión $V_{SA2,2}$ se solapa ligeramente con el nivel $V_{SAref,1}$ (desde 24,5 V hasta 25 V), mientras que el solapamiento entre el rango de tensiones cubierto por dos módulos, y el cubierto por tres módulos es claramente mayor (desde 36,75 V hasta 50 V).

De hecho, hay ciertos transformadores magnéticos que no sería necesario utilizar ante cierto número de módulos DCX conectados en serie, debido al solapamiento que se produce entre los niveles de tensión. En este ejemplo, el transformador magnético con $n = 2$, no

tiene porqué usarse en configuraciones donde el número de módulos serializados sea mayor de dos.

A medida que el número de módulos conectados en serie se incrementa, el nivel de tensión de circuito abierto cubierto por la etapa del transformador electrónico también se hace más grande. En el ejemplo descrito en la Fig.A.2, cuando se emplea un solo módulo DCX el rango de tensión de circuito abierto cubierto por la etapa TE es de 12,75 V (desde 12,25 V hasta 25 V), mientras que, si el sistema TE está formado por tres módulos DCX conectados en serie, el rango de tensión de circuito abierta es de 38,25 V (desde 36,75 V hasta 75 V). De esta forma, el número de módulos DCX conectados en serie ha de ser un número razonable, dentro de las configuraciones realistas de paneles solares existentes, sin necesidad de llegar a tener un número demasiado elevado de módulos conectados en serie, que únicamente implicaría el tener una etapa de TE demasiado voluminosa.

En relación con este último aspecto, resulta interesante evaluar cual sería el número de transformadores magnéticos necesarios para conseguir un sistema completamente modular y capaz de adaptar la tensión de cualquier panel solar al rango aceptado por la entrada del SAR. Este número de transformadores magnéticos depende de cómo de grande sea este rango, de tal manera que, cuanto mayor sea, menor será el número de transformadores magnéticos adicionales. Si este número es demasiado grande, la implementación puede derivar en un sistema muy voluminoso y complejo desde el punto de vista de su implementación práctica.

Definiendo el parámetro 'r' como aparece en (A. 15) - (A. 16), es posible representar la expresión (A. 14) independiente de los niveles de tensión y dependiente únicamente de dicho parámetro. Obviamente, el resultado ha de ser redondeado al alza a un valor entero. Como se puede ver en la Fig.A.3, el número de transformadores magnéticos adicionales pasa a ser muy elevado para un nivel de 'r' inferior al 5%. Sin embargo, para valores de 'r'

comprendidos entre el 5% y el 15% el número de transformadores magnéticos adicionales se mantiene razonable (entre cinco y dos). Esto significa que el alcanzar un ajuste fino de la tensión de salida del panel solar es posible con un catálogo de transformadores magnéticos prediseñados reducido, siempre y cuando el SAR tenga un rango de tensiones de entrada razonable.

$$V_{SAR_OC_nom} = \frac{V_{SAR_OC_m\acute{a}x} + V_{SAR_OC_min}}{2} \quad (A. 15)$$

$$r = \frac{V_{SAR_OC_m\acute{a}x} - V_{SAR_OC_nom}}{V_{SAR_OC_nom}} \quad (A. 16)$$

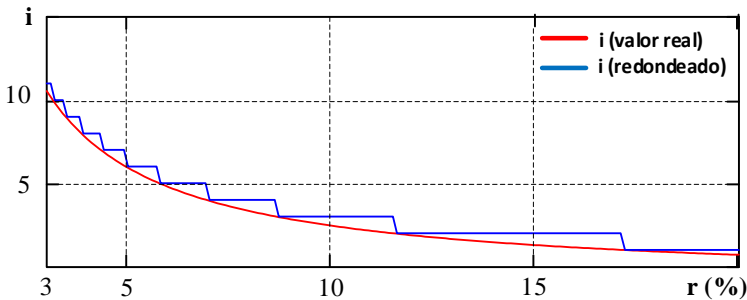


Fig.A.3. Representación del número de transformadores magnéticos necesarios (i) para cubrir el rango de tensiones del panel solar, en función del rango de tensión de entrada nominal del SAR

Otro aspecto importante en el diseño de los transformadores magnéticos es su implementación. Como la potencia nominal de todos ellos es la misma (ya que se trata de la propia potencia nominal del módulo DCX), pueden implementarse usando el mismo núcleo magnético, independiente de la ratio de vueltas que pueda tener cada uno de ellos. De esta manera, el proceso de diseño para cada módulo DCX es relativamente sencillo. Dadas las condiciones de diseño y los requisitos impuestos, la mejor opción es emplear núcleos planares, de tal manera que sus parámetros característicos, incluyendo el propio valor de la inductancia de dispersión, presentan una gran

reproducibilidad. Además, los devanados se basan en PCBs, lo que facilita enormemente su construcción y redundancia en su reproducibilidad. La ganancia estática de los distintos módulos DCX puede ser fácilmente ajustable durante el proceso de construcción, mediante la adición de diferentes devanados con la ratio de vueltas seleccionada. A modo de ejemplo, en base a los transformadores magnéticos que se han diseñado, con una ratio de vueltas 2:4 es posible obtener un n_i de 2, con una ratio 5:8, es posible obtener un n_i de 1,6, y finalmente, con una ratio 4:5, se puede obtener un n_i de 1,25.

La influencia de las tolerancias en el valor de las inductancias de dispersión (inductancias resonantes) será analizada en la sección 3.3.4.- Sin embargo, el tener diferentes ratios de vueltas implica tener distintas disposiciones en los devanados del transformador magnético, y presumiblemente, diferentes valores de las inductancias de dispersión en dicho transformador. Esto significa que, o bien el valor del condensador de salida en los distintos módulos DCX, o bien el valor de la frecuencia de conmutación, tendrán que ser ajustados dependiendo del transformador magnético seleccionado para cada misión (ver (3. 4)). Asumiendo que estos ajustes se realizan durante el proceso de implementación de los módulos DCX, y que todos los módulos del TE presentan la misma ratio de vueltas, el ajuste de la frecuencia de conmutación se puede realizar de una manera muy sencilla, sin comprometer la modularidad y evitando el rediseño de los distintos módulos.

A todo esto, habría que añadir que, en un transformador magnético normal, el hecho de cambiar la ratio de vueltas supone, en muchas ocasiones, cambios en los valores de las inductancias de dispersión. Sin embargo, la tecnología planar es más flexible y permite ajustar distancias entre devanados de una forma más sencilla (al emplear PCBs en el propio proceso de construcción). De esta forma, en muchas ocasiones será posible cambiar el número de vueltas, manteniendo el valor de la inductancia de dispersión, lo que permite a su vez mantener los valores de la frecuencia de conmutación de la de

capacidad de salida. No obstante, si esto no fuera posible, conviene recordar que los transformadores se seleccionan durante la fase de construcción del módulo. Por ello, si la inductancia de dispersión del transformador magnético empleado no es la misma, siempre es posible cambiar, bien la frecuencia de conmutación, bien la capacidad de salida para mantener el funcionamiento resonante deseado.

3.6.- Bibliografía

- [3.1] Patel, Spacecraft Power Systems, Boca Raton (FL) 2005.
- [3.2] Henry Louie and Peter Dauenhauer “Effects of Load Estimation Error on Small-Scale Off-Grid Photovoltaic System Design, Cost and Reliability”, 2016 in Energy for suitable development, DOI: 10.1016/j.esd.2016.08.002.
- [3.3] <https://www.weforum.org/agenda/2020/10/visualizing-earth-satellites-sapce-spacex>. Último acceso: June /14/2021
- [3.4] S. A. Asundi and N. G. Fitz-Coy, "CubeSat mission design based on a systems engineering approach," 2013 IEEE Aerospace Conference, 2013, pp. 1-9, doi: 10.1109/AERO.2013.6496900.
- [3.5] F. Bonnet, L. Rivière, C. Elisabelar, J. Chirat, S. Brun, H. Gras and J. Domingo-Salvany “Modular and decentralized PCU” European Space Power Conference 2016.
- [3.6] Mohamed H. Ahmed, Fred C. Lee and Qiang Li. “Two-Stage 48-V VRM with intermediate bus voltage optimization for data centers”, Published in: IEEE Journal of Emerging and Selected Topics in Power Electronics, February 2020, doi: 10.1109/JESTPE.2020.2976107
- [3.7] Y. Chen, P. Wang, Y. Elasser and M. Chen, "LEGO-MIMO Architecture: A Universal Multi-Input Multi-Output (MIMO) Power Converter with Linear Extendable Group Operated (LEGO) Power Bricks," 2019 IEEE Energy Conversion Congress and Exposition (ECCE), Baltimore, MD, USA, 2019, pp. 5156-5163, doi: 10.1109/ECCE.2019.8912965.
- [3.8] Piotr Czyz, Thomas Guillod, Florian Krismer, Jones Huber and Johann Kolar, “Design and experimental analysis of 166 kW medium-voltage medium frequency air-core transformer for 1:1- DCX applications”, Published in: IEEE Journal of Emerging and Selected Topics in Power Electronics, February 2021, doi: 10.1109/JESTPE.2021.3060506

[3.9] V. Vorperian, "Synthesis of Medium Voltage dc-to-dc Converters From Low-Voltage, High-Frequency PWM Switching Converters," in IEEE Transactions on Power Electronics, vol. 22, no. 5, pp. 1619-1635, Sept. 2007, doi: 10.1109/TPEL.2007.904170.

[3.10] Yuancheng Ren, Ming Xu, Julu Sun and F. C. Lee, "A family of high power density unregulated bus converters," in IEEE Transactions on Power Electronics, vol. 20, no. 5, pp. 1045-1054, Sept. 2005. doi: 10.1109/TPEL.2005.854025.

[3.11] M. Barry, "Design issues in regulated and unregulated intermediate bus converters" in: Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC '04. DOI: 10.1109/APEC.2004.1296045

[3.12] Sumit Dutta ,Sudhin Roy ,Subhashish Bhattacharya "A multi-terminal DC to DC converter topology with power accumulation from renewable energy sources with unregulated DC voltages" in 2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC). DOI: 10.1109/APEC.2013.6520440

[3.13] M. H. Ahmed, F. C. Lee, Q. Li and M. d. Rooij, "Design Optimization of Unregulated LLC Converter with Integrated Magnetics for Two-Stage 48V VRM," 2019 IEEE Energy Conversion Congress and Exposition (ECCE), Baltimore, MD, USA, 2019, pp. 521-528, doi: 10.1109/ECCE.2019.8912785.

[3.14] K. Yu, J. Du and H. Ma, "A novel current sharing method for multi-module LLC resonant converters," IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society, Beijing, 2017, pp. 613-618. doi: 10.1109/IECON.2017.8216107

[3.15] V. Salas, E. Olías, A. Barrado, A. Lázaro, "Review of the maximum power point tracking algorithms for stand-alone photovoltaic systems, Solar Energy Materials and Solar Cells, olume 90, Issue 11, 2006, Pages 1555-1578.

[3.16] ECSS-Q-ST-30-02C, "Space Product Assurance. Failure modes, effects (and criticality) analysis (FMEA/FMECA)", ECSS Secretariat, ESA-ESTEC, Requirements & Standard division, march 2009, accessed on jun2 2020, <http://everyspec.com/ESA/download.php?spec=ECSS-Q-ST-30-02C.048273.pdf>

[3.17] <https://www.keysight.com/en/pc-1367756/e4360-modular-solar-array-simulators?cc=US&lc=eng> / Last access: February /01/2020.

Capítulo 4:

Diseño de un limitador de corriente de enclavamiento basado en N-MOS de SiC

El sistema de distribución es el encargado de conectar las cargas, de forma segura, al bus de potencia. Dentro de este sistema se incluyen los limitadores de corriente de enclavamiento (LCLs). Estos circuitos se emplean habitualmente en el control de cargas de satélites, con el objetivo de proteger al bus de potencia principal frente a sobrecargas. De esta forma, si la corriente demandada por una carga está dentro un rango de operación normal, el LCL permitirá el paso de dicha corriente. Si por el contrario se detecta una sobrecorriente, el LCL se abre y aísla el fallo del resto del sistema, a modo de fusible. Entre la detección del fallo y la apertura, hay un tiempo durante el cual el LCL limita la corriente suministrada a la carga, lo que permite afrontar sobrecargas puntuales sin provocar el aislamiento del equipo.

Los esquemas clásicos de los LCLs están basados en el uso de transistores P-MOS como dispositivos limitadores de la corriente. Sin embargo, el desarrollo de nuevos materiales semiconductores de banda prohibida ancha (WBG) abre la posibilidad de poder llegar a operar, presumiblemente, a temperaturas más altas, permitiendo reducir el número de semiconductores conectados en paralelo, ante una determinada corriente nominal.

De esta forma, este capítulo presente el análisis y diseño de una arquitectura de LCL basada en el uso de transistores N-MOS de SiC

como dispositivo limitador de corriente. Se presentarán las distintas partes que forman la arquitectura del LCL propuesta, junto con las líneas básicas de diseño para su implementación. Finalmente, se mostrarán una serie de resultados experimentales que validan el correcto funcionamiento, como LCL, de la arquitectura planteada.

4.1.- Introducción

Como mostró en el Capítulo 2 a la hora de detallar el esquema del bus de potencia regulado en los satélites, entre el bus de potencia principal y el bus de potencia secundario, se encuentra el sistema de distribución, formado por los limitadores de corriente de enclavamiento (*Latching Current Limiters*, LCLs). En un contexto más general, los interruptores limitadores de corriente de estado sólido (*Solid-state Current Limiting Switches*) se utilizan en satélites con el objetivo de distribuir la potencia eléctrica de una manera segura. Es en el contexto europeo donde estos interruptores reciben la denominación de limitadores de corriente de enclavamiento (LCLs), cuya función se basa en proteger al bus de potencia, en los satélites, frente a sobrecorrientes.

La Fig.4.1 muestra de manera esquemática la localización de los LCLs en el bus de potencia de un satélite. El diseño de dichos limitadores de corriente está determinado por las guías y los parámetros establecidos en los documentos ECCS [4.1]-[4.3]. La estructura tradicional de un LCL es la mostrada en la Fig.4.2. Dicha estructura está basada en un MOSFET canal P (P-MOS) [4.4]-[4.6], como dispositivo limitador de corriente, conectado en serie con la carga. De esta forma, si la corriente demanda por la carga a través del P-MOS es menor que una corriente fijada como referencia, dentro de una banda de corriente, (i.e. corriente de limitación), el P-MOS permitirá el paso de dicha corriente a la carga (i.e. P-MOS trabajando en zona óhmica). Sin embargo, si la corriente demanda por la carga es mayor que la corriente de referencia, establecida dentro de la banda de

limitación, el P-MOS pasará a trabajar en saturación, regulando el valor de la corriente al valor fijado en la referencia. En este punto de operación, el P-MOS estará soportando, en el peor caso (i.e. cortocircuito), el valor de la tensión de bus, aumentando el valor de su potencia disipada. De esta manera, el valor de su temperatura de unión también se verá incrementado. Este funcionamiento del LLC descrito se muestra de manera esquemática en la Fig.4.3.

Esta situación de limitación de corriente por parte del P-MOS no se puede prolongar indefinidamente en el tiempo; por lo tanto, cuando el P-MOS entra en la zona de saturación se activa un circuito de temporización. De esta forma, si la corriente medida por el LCL sigue siendo mayor que el valor de referencia tras un determinado tiempo predefinido (tiempo de *trip-off*), el LCL desconecta la carga del bus de potencia principal del satélite. Dicha carga puede reconectarse al bus nuevamente a través de telecomando. Finalmente, la estructura del LCL cuenta con una protección de infratensión (*undervoltage*) que se encarga de evitar la activación del LCL para niveles de tensión de bus por debajo de un determinado valor.

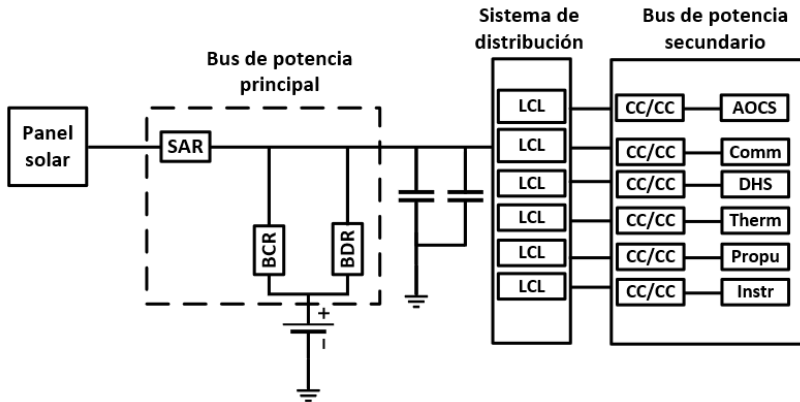


Fig.4.1. Esquema del bus de potencia regulado de un satélite

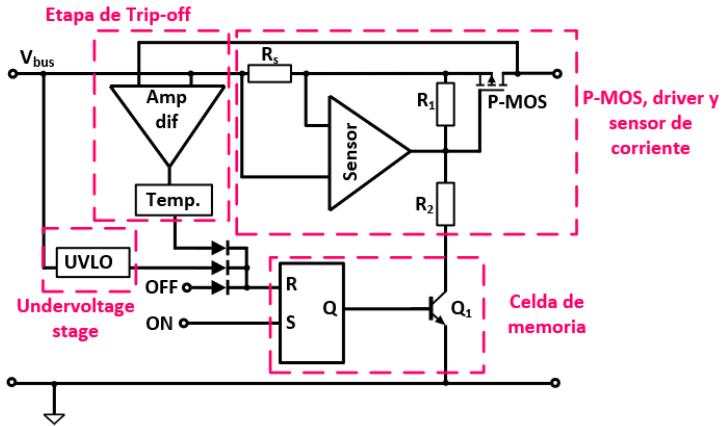


Fig.4.2. Arquitectura tradicional de un LCL basado en P-MOS

Además del funcionamiento y la estructura tradicional de los LCLs descritos anteriormente, existen otros tipos de limitadores de corriente presentes en los sistemas de distribución de los satélites [4.1], tales como los limitadores de corriente reactivables (*Retriggerable Latching Current Limiter*, RLCL) y aquellos LCLs que se encargan de controlar cargas puramente resistivas (*Heater Latching Current Limiter*, HLCL).

Los RLCLs presentan una estructura muy similar a los LCLs clásicos, pero con ciertas particularidades en su funcionamiento. Al igual que los LCLs clásicos, una vez que transcurre el tiempo de *trip-off*, el RLCL se apaga. Sin embargo, transcurrido un cierto tiempo, los RLCLs se reconectan solos. En el caso de que la sobrecorriente haya desaparecido, la carga se alimenta de manera normal. Sin embargo, si el fallo que ha derivado en la sobrecorriente se mantiene, el RLCL vuelve a limitar la corriente, vuelve a desconectarse transcurrido el tiempo de *trip-off* y vuelve a reconectarse. Si, tras un número de intentos de reconexión predefinidos, la situación de sobrecorriente se mantiene, los RLCLs desconectan la carga de forma permanente. Este tipo de protección se emplean en equipos críticos, dentro de los satélites, como pueden ser los sistemas de comunicaciones.

Los HLCLs, por su parte, serían aquellos limitadores de corriente encargados de controlar la alimentación y protección de cargas puramente resistivas (i.e. calentadores). Su funcionamiento es el mismo que el explicado en el caso de los LCLs genéricos, pero con unas especificaciones más relajadas en cuanto a diseño [4.1] debido a la naturaleza, resistiva, de las cargas a controlar.

Volviendo al caso de los LCLs genéricos, sus corrientes están definidas y clasificadas solo para tensiones de bus de 28 V a 50 V, en función de la máxima corriente que pueden llegar a limitar (Tabla 3.1 en [4.1]). En el caso de los buses de tensión de 100 V – 120 V, también emplean LCLs como elementos de protección. En este caso, al estar trabajando con niveles de potencia por encima de 8 kW, las pérdidas en conducción, asociadas a los altos valores de resistencia en conducción (R_{DS}) en los dispositivos P-MOS, se incrementan notablemente.

Con el objetivo de solventar estos problemas y de mejorar el rendimiento del sistema, se plantea la posibilidad de sustituir los dispositivos P-MOS tradicionales por MOSFETS de canal N (N-MOS), los cuales, para los mismos niveles de tensión y corriente, presentan valores más pequeños de R_{DS} . El empleo de dispositivos N-MOS fuerza a un rediseño desde cero de la etapa de control del LCL (incluyendo la alimentación de dicha etapa de control), siendo necesario el poder contar con una señal de control analógica y aislada para el control del dispositivo de canal N, en comparación con la arquitectura clásica del LCL basado en P-MOS.

El uso de materiales de banda prohibida ancha (*Wide Bandgap Materials*, WBG), tales como el carburo de silicio (SiC) o el nitruro de galio (GaN), proporcionan la posibilidad de trabajar con tensiones más altas y, presumiblemente, a temperaturas más altas. Ya se han presentado algunos trabajos previos [4.7],[4.8], donde se plantea el uso de dispositivos N-MOS basados en SiC como limitadores de corriente en LCLs. En estos trabajos se plantean aspectos importantes

en relación con la etapa de control del dispositivo N-MOS, la selección del semiconductor, etc. De esta forma, lo que se plantea en este capítulo de tesis es el presentar una arquitectura completa de LCL empleando como dispositivo limitador de corriente un N-MOS de SiC, pensado para rangos de tensiones de bus de 100 V a 120 V. Esta arquitectura incluye una fuente de alimentación auxiliar, una implementación del lazo de control de corriente en el LCL, una etapa llamada aislador analógico (DCX), que será la encargada de proporcionar el nivel de tensión puerta-fuente al N-MOS, una sección de temporización encargada de apagar el LCL una vez que se alcance el tiempo de *trip-off* establecido, y finalmente, una etapa de *undervoltage*, encargada de evitar la activación del LCL cuando la tensión de bus se encuentra por debajo de un valor fijado.

4.2.- Selección de semiconductores

En este apartado se detalla el proceso de selección de los dispositivos de SiC (i.e. JFET o MOSFET), bajo los requisitos para espacio fijados en [4.1] y [4.2], con el objetivo de ser empleados en los LCLs. Se han seleccionado varios dispositivos semiconductores de los principales fabricantes (i.e. Wolfspeed, ROHM, ST, United SiC, etc.) con el objetivo de evaluar, mediante modelo teórico, la variación de la temperatura de la unión durante la fase de limitación de corriente. De esta manera, es posible evaluar si la temperatura en la unión permanece dentro de los límites del dispositivo, en relación con los márgenes establecidos en [4.2], para las distintas clases de LCLs establecidas en [4.1].

En este sentido, cabe destacar que los LCLs para tensiones de bus de 28 V y 50 V se dividen en clases. Estas clases se establecen en función de la máxima corriente que el LCL puede limitar y de la corriente nominal que pueden llegar a conducir en condiciones de funcionamiento normal. A modo de ejemplo, un LCL clase 10 puede conducir 10 A siendo su máxima corriente de limitación de 14 A. Este

límite de corriente se establece entre 110% y 140% de la corriente nominal, de acuerdo con lo establecido en [4.1]. La Tabla 4. 1 proporcionada por [4.1] muestra las principales características de las distintas clases de LCLs en relación con los niveles de corriente, y con los tiempos máximo y mínimo (*trip-off máx*, *trip-off mín*) que el LCL puede estar limitando la corriente.

La Fig.4.3 muestra el perfil de la corriente en un LCL cuando se produce una sobrecarga debida a cortocircuito. Este tipo de perfiles se pueden emplear para obtener las pérdidas disipadas en el semiconductor. Inicialmente, el LCL conduce la corriente de clase (i.e. corriente nominal). Cuando se produce el cortocircuito aparece una sobrecorriente debida al tiempo de reacción de la circuitería que forma el LCL. Esta sobrecorriente no debe superar los 50 A, independientemente de la corriente de clase, tal y como viene recogido en [4.1]. Finalmente, el LCL limitará la corriente durante el tiempo máximo establecido por el tiempo de *trip-off*. Este tiempo de *trip-off* depende de la clase, siendo de 20 ms para un LCL clase 1 y de 3 ms para un LCL clase 10. Como se ha mencionado anteriormente, los niveles de tensión de bus para el diseño del LCL propuesto están fijados entre 100 V y 120 V. Como ocurre en el caso de los buses de tensión de 28 V y 50 V (Tabla 4. 1), se han mantenido los valores de tiempo de *trip-off* máximo y mínimo para los buses de 100 V – 120 V.

En el proceso de selección de los distintos semiconductores se ha considerado la disponibilidad de estos por parte de los principales fabricantes, así como también la potencia que son capaces de disipar. Los dispositivos de SiC más comunes en el mercado están pensados para tensiones de 1200 V y para corrientes nominales de decenas de amperios. Estos rangos de tensiones y corrientes son mucho mayores que los usados habitualmente en aplicaciones espaciales. Sin embargo, los dispositivos MOS seleccionados tendrán que operar en modo de saturación (altas pérdidas en conducción) durante varios milisegundos (*trip-off*). Por lo tanto, se han seleccionados aquellos transistores que permiten la mayor disipación de potencia.

Tabla 4. 1. Clases de LCLs con sus principales características para tensión de bus de:
a) 28 V y b) 50 V [4.1]

Características	Clase LCL							
	1	2	3	4	5	5	8	10
Tensión de bus regulado (V)	28							
Tensión de bus no regulado (V)	22 - 38							
Corriente de clase (A)	1	2	3	4	5	6	8	10
Mínima corriente limitante (A)	1,1	2,2	3,3	4,4	5,5	6,6	8,8	11
Máxima corriente limitante (A)	1,4	2,8	4,2	5,6	7	8,4	11,2	14
<i>Trip-off</i> mínimo (ms)	10	10	6	6	4	2	2	1,5
<i>Trip-off</i> máximo (ms)	20	20	12	12	8	4	4	3

a)

Características	Clase LCL								
	1	2	3	4A	4B	5	6	8	10
Tensión de bus regulado (V)	50								
Tensión de bus no regulado (V)	32 - 52								
Corriente de clase (A)	1	2	3	4	4	5	6	8	10
Mínima corriente limitante (A)	1,1	2,2	3,3	4,4	4,4	5,5	6,6	8,8	11
Máxima corriente limitante (A)	1,4	2,8	4,2	5,6	5,6	7	8,4	11,2	14
<i>Trip-off</i> mínimo (ms)	10	6	4	2	4	2	2	2	1,5
<i>Trip-off</i> máximo (ms)	20	12	8	4	8	4	4	4	3

b)

Desde el punto de vista de la máxima temperatura en la unión, la gran mayoría de los dispositivos seleccionados presentan una temperatura máxima de 150°C, con algunas excepciones de algunos semiconductores que llegan hasta los 175°C o los 200°C. En lo que respecta a los JFETs, podría pensarse en que representan la mejor opción para trabajar como dispositivos limitadores de corriente en los LCLs frente a los MOSFETs [4.9], debido sobre todo a su gran capacidad para trabajar como fuente de corriente. Sin embargo, los JFETs son dispositivos normalmente cerrados, lo que significa que, sin ningún nivel de tensión en puerta, son capaces de conducir

corriente. Este aspecto resulta ser una desventaja dentro del ámbito de los LCLs, ya que durante el encendido todas las cargas protegidas por los LCLs estarían demandando potencia del bus. Este aspecto compromete la puesta en marcha del sistema, y no es eficaz en términos de fiabilidad y robustez ante fallos.

Para seleccionar entre los distintos semiconductores, se han utilizado dos criterios diferentes. En primer lugar, se analiza la evolución de la temperatura en la unión del dispositivo en función de tiempo de *trip-off* para cada clase. Este aspecto depende de la potencia disipada, en la zona de saturación, por parte del semiconductor, así como también de la impedancia térmica transitoria. El segundo criterio está basado en la disipación del dispositivo en operación nominal (dispositivo conduciendo la corriente nominal, en modo óhmico). Por lo tanto, en base a estos dos criterios, el mejor dispositivo será aquel que presente las menores pérdidas en operación normal y que, al mismo tiempo, no alcance su límite máximo de temperatura cuando se encuentre limitando la corriente.

En este sentido, el peor caso será aquel en el que se produce un cortocircuito a la salida del LCL, haciendo que el dispositivo limitador de corriente tenga que soportar la tensión de bus. A partir del perfil de corriente descrito en la Fig.4.3, se puede llegar a obtener el perfil de la potencia disipada en el semiconductor a través del siguiente procedimiento:

1. Antes de que se produzca el cortocircuito y la sobrecorriente, el semiconductor estará trabajando en modo óhmico, permitiendo la circulación de la corriente de clase (i.e. corriente nominal). En este punto, el transistor estará disipando un nivel de potencia determinado por la expresión (4.1), donde R_{DS} representa el valor de la resistencia de canal del semiconductor, y donde I_N representa el valor de la corriente nominal. Este nivel de disipación, junto con el valor de la impedancia térmica del

dispositivo, serán empleadas para estimar el valor de la temperatura inicial en la unión T_{j_start} .

$$P_{dis_nom} = R_{DS} \cdot I_N^2 \quad (4.1)$$

2. Durante el tiempo en el que se produce el cortocircuito, el dispositivo estará soportando el máximo nivel de sobrecorriente, [4.1], y se asume que dicho dispositivo continúa en modo óhmico. De esta forma la potencia disipada será la determinada por la expresión (4.2).

$$P_{dis_overshoot} = R_{DS} \cdot 50^2 \quad (4.2)$$

3. Durante el máximo tiempo de *trip-off* el transistor estará trabajando en saturación soportando la tensión de bus (al ver un cortocircuito puro a su salida). De esta forma, la potencia disipada por el semiconductor en este punto se podrá obtener en base a la expresión (4.3), donde I_{lim} es la máxima corriente de limitación.

$$P_{dis_linear} = V_{bus} \cdot I_{lim} \quad (4.3)$$

A través de este proceso, descrito por las expresiones (4.1) - (4.3), se puede obtener el perfil de la potencia disipada por parte del semiconductor ante un cortocircuito a la salida del LCL. La Fig.4.4 muestra dicho perfil de potencia (no representado a escala).

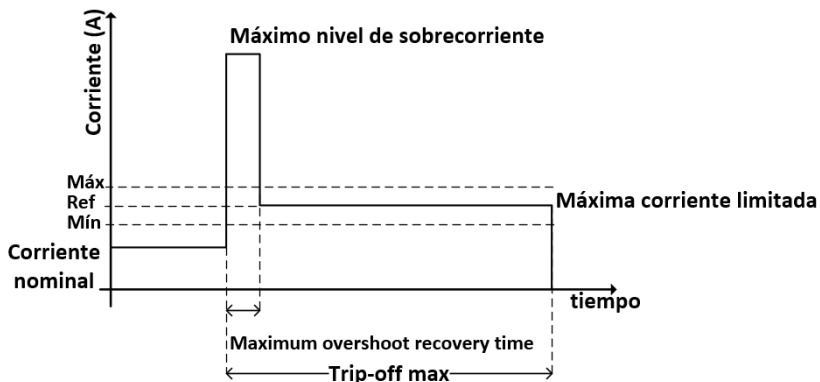


Fig.4.3. Perfil de corriente en el LCL ante cortocircuito a la salida

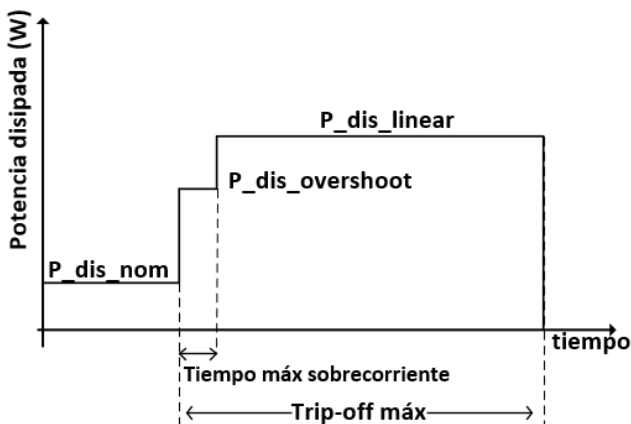


Fig.4.4. Perfil de la potencia disipada por el semiconductor ante cortocircuito a la salida del LCL

Para todos los transistores de SiC seleccionados se ha analizado la evolución de la respuesta térmica transitoria. Para la obtención de estos gráficos, se ha aproximado la impedancia térmica transitoria de los distintos semiconductores a través de una red de Foster de cuarto orden. Esta red de Foster se transforma posteriormente en una red de Cauer (ver Fig.4.7) mediante métodos de síntesis de impedancias [4.10]. Este modelo de Cauer emplea un conjunto de redes RC, cada

una de ellas equivalente a filtro paso bajo, siendo este el modelo más próximo a la realidad. De esta forma, la tensión en el primero de los condensadores representa la temperatura en la unión, y la tensión en los siguientes representaría la tensión en puntos intermedios del encapsulado. Las resistencias representarían las resistencias térmicas presentes entre las distintas secciones del encapsulado. En contraposición con el modelo Foster, el modelo de Cauer permite obtener el gradiente de temperaturas internas del semiconductor, analizando la tensión en cada uno de los condensadores presentes en el modelo térmico. Esto no sería posible a través de un modelo de Foster, ya que, en este tipo de redes, las tensiones intermedias carecen de sentido físico alguno.

De la misma manera, una vez obtenidos los parámetros (R_{thi} y C_{thi}) presentes en el modelo de Cauer, es posible añadir más elementos al modelo, como una resistencia (R_{tp}) o una capacidad térmica extra, sin necesidad de modificar el valor de los parámetros ya obtenidos. Eso no sería posible empleando un modelo de Foster, ya que llevaría a recalcular el valor de todos los parámetros desde cero.

Sin embargo, el procedimiento de diseño parte en el empleo de un modelo de Foster, ya que el cálculo de sus parámetros es extremadamente sencillo [4.11]. La respuesta transitoria del modelo de Foster se puede expresar como:

$$r(t) \cdot R_{th} = \sum_{i=1}^n R_{th_i} \cdot \left(1 - e^{\frac{-t}{R_{th_i} \cdot C_{th_i}}} \right) \quad (4.4)$$

donde 'n' es el número de redes RC empleadas.

A partir de la expresión (4.4) es posible determinar los parámetros para que el modelo de ajuste a la respuesta térmica transitoria aportada en las hojas de características del MOSFET seleccionado.

Para la obtención del modelo de Foster es recomendable emplear no menos de cuatro rede RC, tomando como mínimo trece puntos de

la respuesta térmica transitoria al escalón ($R_{th}r(t)$) de la hoja de características del MOSFET seleccionado [4.11]. De esta forma a través de *software* matemático y haciendo uso de la expresión (4.4) es posible obtener el valor de los condensadores y resistencias que forman la red de Foster. La Tabla 4. 2 muestra los coeficientes del modelo de Foster para el MOSFET SCT3022AL de SiC.

Tabla 4. 2. Coeficientes del modelo de Foster para el MOSFET SCT3022AL

R_{th1}	C_{th1}	R_{th2}	C_{th2}	R_{th3}	C_{th3}	R_{th4}	C_{th4}
0,106	0,083	0,106	0,083	0,033	0,012	0,106	0,082

En la Fig.4. 5 se ha representado la respuesta térmica transitoria del modelo de Foster con los valores calculados, junto con los datos suministrados por las hojas de características del SCT3022AL. Como se puede comprobar, el grado de aproximación entre los datos obtenidos y el modelo de Foster presenta una gran similitud. De esta manera, se puede comprobar cómo a través de este tipo de simulaciones, se puede conocer la evolución de la temperatura de la unión de un semiconductor ante cualquier tipo de forma de onda.

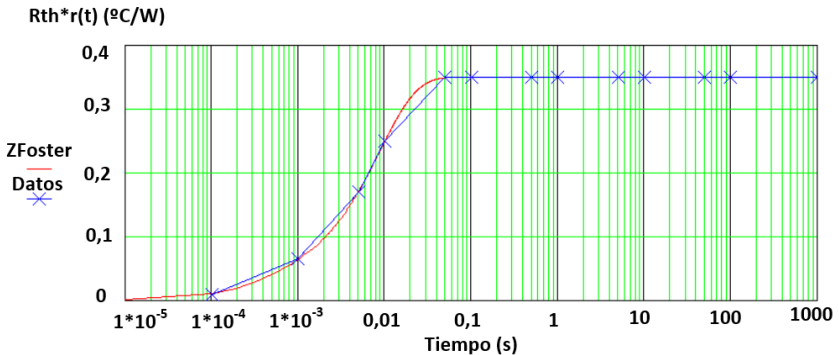


Fig.4. 5. Respuesta térmica transitoria del modelo de Foster para el MOSFET SCT3022AL, junto con la respuesta térmica transitoria real según sus hojas de características

Como se comentado anteriormente, el problema de este modelo de Foster viene cuando se quiere añadir un elemento nuevo a la red, lo

cual obliga a recalcular todos los parámetros desde cero. En este caso, se quiere conocer la respuesta térmica transitoria considerando una resistencia extra, denotada por R_{tp} en la Fig.4.7. Esta resistencia se sitúa entre el punto de referencia de temperatura y el propio dispositivo. En este análisis térmico se ha considerado una temperatura inicial de 40°C. Esta nueva resistencia obligaría a rediseñar la red de Foster desde cero, ya que los coeficientes calculados dejarían de tener validez.

En este punto es donde se hace necesario emplear una red de Cauer, la cual permite añadir elementos adicionales sin alterar el valor de los ya calculados. El modelo Cauer en el tiempo resulta muy complicado de obtener [4.11], sin embargo, en el dominio de la frecuencia resulta bastante sencillo. La expresión que lo define es:

$$R(s) \cdot R_{th} = \frac{1}{s \cdot C_{th1} + \frac{1}{R_{th1} + \frac{1}{s \cdot C_{th2} + \dots + \frac{1}{R_{thn}}}}} \quad (4.5)$$

En este caso, las hojas de características de los semiconductores no proporcionan información sobre la respuesta térmica transitoria en el dominio de la frecuencia. No obstante, el modelo de Foster (ya calculado) sí puede pasarse fácilmente al dominio de la frecuencia sin necesidad de recalcular sus coeficientes a través de la expresión (4.6):

$$R(s) \cdot R_{th} = \sum_{i=1}^n \frac{R_{thi}}{1 + s \cdot R_{thi} \cdot C_{thi}} \quad (4.6)$$

De este modo, es posible obtener la respuesta en frecuencia de la impedancia térmica del MOSFET que se esté analizando (mediante el modelo de Foster), obtener una serie de puntos a distintas frecuencias, y mediante el uso de herramientas matemáticas, obtener los coeficientes del modelo de Cauer [4.11]. Una vez calculados estos coeficientes es posible simular el modelo en el dominio del tiempo mediante herramientas de simulación (PSIM, LTSpice), con el

objetivo de obtener la respuesta a escalón por parte de los semiconductores de SiC seleccionados.

Mediante el uso de la expresión (4.6) es posible obtener una serie de valores de la impedancia térmica transitoria a diferentes frecuencias de acuerdo con el modelo de Foster. Con estos valores y haciendo uso de la expresión (4.5) se puede estimar los parámetros del modelo de Cauer. La Tabla 4.3 muestra los coeficientes del modelo de Cauer para el MOSFET SCT3022AL.

Tabla 4.3. Coeficientes del modelo de Cauer para el MOSFET SCT3022AL

R_{th1}	C_{th1}	R_{th2}	C_{th2}	R_{th3}	C_{th3}	R_{th4}	C_{th4}
0,068	0,008565	0,104	0,022	0,093	0,0001067	0,086	0

Finalmente, la Fig.4.6 muestra una comparativa de la respuesta en frecuencia entre el modelo de Foster y el modelo de Cauer para el SCT3022AL, donde se puede analizar la gran similitud entre ellas.

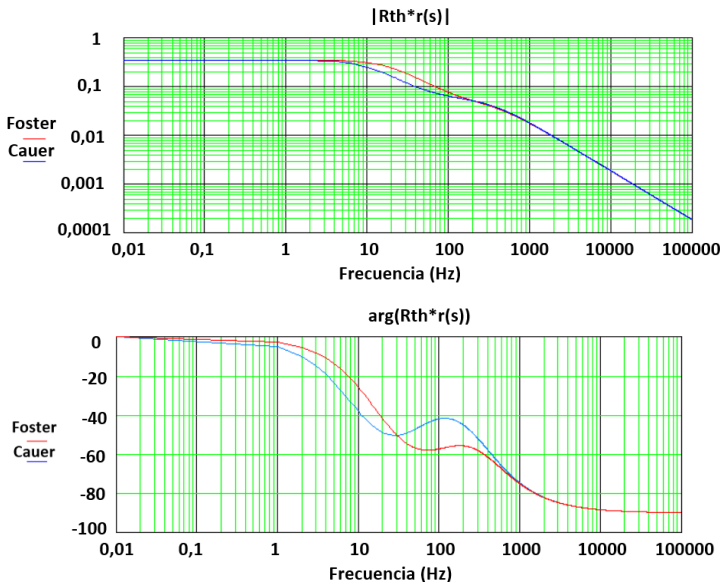


Fig.4.6. Respuesta en frecuencia de los modelos de Foster y Cauer para el SCT3022AL

Mediante la red de Cauer y el perfil de potencia disipada por el semiconductor, mostrado en la Fig.4.4, se puede estimar el valor del incremento de temperatura (T_{j_rise}) que se produce en la unión del dispositivo cuando se encuentra limitando la corriente durante el tiempo de *trip-off*. Finalmente, los valores T_{j_start} y T_{j_rise} , permiten obtener el valor final de la máxima temperatura alcanzada en el semiconductor ($T_{j_máx}$), tras el tiempo de limitación de corriente, de acuerdo con la expresión (4.7).

$$T_{j_max} = T_{j_start} + T_{j_rise} \quad (4.7)$$

De acuerdo con las distintas clases de LCLs definidas en [4.1], el peor caso será el que se tiene en las clases 8 y 10, ya que son aquellas que presentan los mayores niveles de corriente nominal (8 A y 10 A, respectivamente) y de corriente de limitación (11,2 A y 14 A, respectivamente). La máxima temperatura permitida en un semiconductor en aplicaciones espaciales es de 110°C [4.2], o la máxima temperatura alcanzable por el semiconductor menos 40°C. De entre estas dos posibilidades se elegiría aquella que sea menor [4.2]. Sin embargo, para poder explorar las ventajas que aporta el SiC, se va a considerar que se permite llegar a la temperatura máxima permitida. Esto permite explotar las ventajas de los dispositivos de 175°C y 200°C de temperatura máxima de la unión. Como margen de seguridad se usará dicha temperatura de unión máxima menos 40°C.

Para establecer cuál será el mejor dispositivo, se ha analizado la disipación, trabajando en condiciones nominales, de todos los dispositivos seleccionados. Este análisis muestra que los dispositivos que presentan las menores pérdidas son el SCT3022AL [4.12], el SCTW90N65G2V [4.13], el C2M0040120D [4.14] y el C2M00455170P [4.15]. Estos dispositivos presentan unas pérdidas en conducción de 2,2 W, 2,4 W, 4 W y 4,5 W, respectivamente, al conducir los 10 A de la corriente nominal en un LCL clase 10. La Fig.4. 8 a) muestra la representación de la respuesta térmica transitoria para los dispositivos que presentan una temperatura máxima de la

unión de 150°C, cuando se produce un fallo. La Fig.4. 8 b) muestra la misma representación para aquellos dispositivos de 175°C de temperatura máxima en la unión, y finalmente, en la Fig.4. 8 c) se muestra dicha representación para los dispositivos de 200°C. El límite de seguridad establecido en la temperatura [i.e. $(T_{\text{junction_máx}} - 40^\circ\text{C})$] se muestra representado en todos los casos.

En lo que respecta a este análisis, es importante destacar que no debe sobrepasarse el límite de temperatura de seguridad establecido durante el tiempo de *trip-off* especificado en cada clase. Para una clase 10 el tiempo de *trip-off* mínimo es de 1,5 ms y el de *trip-off* máximo es de 3 ms. De esta manera, solo el SCTW90N65G2V cumple con el límite de seguridad en los 3 ms. Sin embargo, el SCT3022AL cumple con el límite de temperatura en el tiempo de *trip-off* mínimo, siendo además el que presenta las menores pérdidas en conducción (i.e. 2,2W).

Por estas razones, los resultados experimentales que se presentarán al final de este capítulo se han obtenido usando dos prototipos implementados con la misma arquitectura, pero usando como dispositivo limitador de corriente los semiconductores que presentan el mejor comportamiento térmico. La validación de la evolución de la temperatura de la unión no se ha realizado de forma experimental ya que requeriría del empleo de técnicas, como las citadas en [4.16] y [4.17], donde se hace necesario desencapsular el semiconductor.

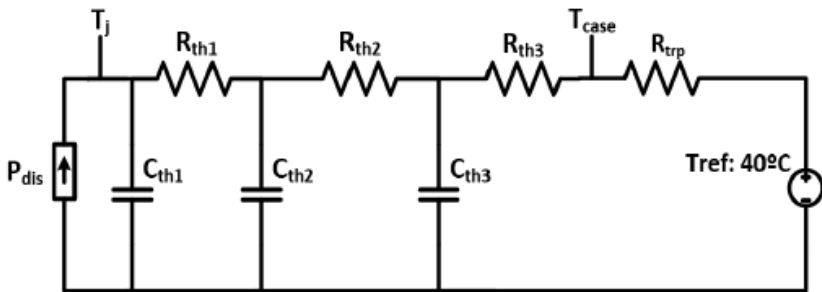


Fig.4.7. Red de Cauer con resistencia R_{trip} extra

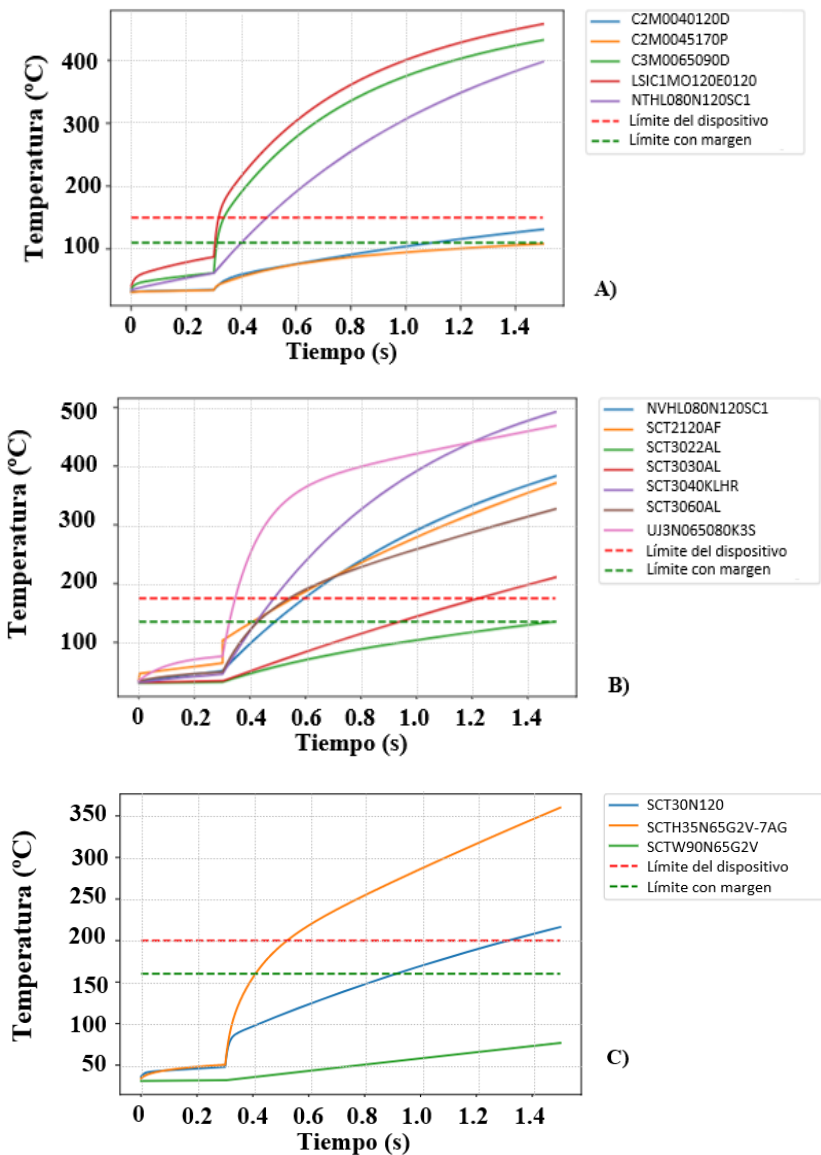


Fig.4. 8. Respuesta térmica a) 150°C, b) 175°C y c) 200°C

4.3.- Arquitectura del LCL basado en N-MOS de SiC

La Fig.4.9 muestra la arquitectura del LCL propuesta, basada en el uso de un N-MOS de SiC como dispositivo limitador de corriente. Al tratarse de una aplicación de espacio, todos los bloques que forman dicha arquitectura están implementados de manera analógica usando elementos discretos, equivalentes a aquellos calificados para espacio. Toda la circuitería que compone el LCL (sensor de corriente, lazo de control de corriente, etapa DCX, sección de temporización y de *undervoltage*) está alimentada con un nivel de tensión auxiliar (V_{supply}) obtenido a partir de la propia tensión de bus. La razón de llevar a cabo esta implementación tiene que ver con el funcionamiento del sensor de corriente [4.18]. Esta alimentación (V_{supply}) permite cumplir con la máxima tensión permitida entre los terminales de alimentación y medida de la corriente, en relación con la tensión de bus. Con un nivel de tensión de bus de 100 V y midiendo respecto a la masa del bus, este aspecto no se cumpliría en el sensor de corriente. De esta forma, con el esquema propuesto en esta sección, basada en el uso de un nivel de tensión V_{supply} , es posible cumplir con este requisito. De esta forma, el diseño del LCL se ha fijado para tensiones de bus comprendidas entre 100 V y 150 V.

El diseño está basado en [4.8] y [4.19]. La principal desventaja, desde el punto de vista de la alimentación de la circuitería auxiliar, y de las distintas etapas que forman el LCL, es que la referencia de tensión no es la propia del bus de potencia del satélite, sino el terminal de fuente de un P-MOS que forma la fuente auxiliar, y que de aquí en adelante se hará referencia a él como “masa del control”. De esta forma, se ha tener especial cuidado con aquellas etapas que interaccionan directamente con el bus de potencia, como las secciones de temporización y de *undervoltage*, las cuales están referidas directamente a la referencia del bus principal.

Seguidamente, se irán detallando las distintas etapas que forman la arquitectura del LCL presentada.

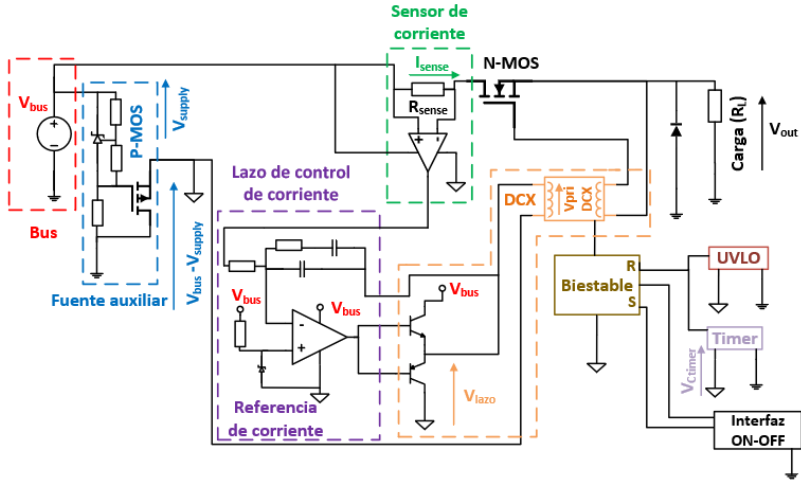


Fig.4.9. Arquitectura del LCL basada en dispositivo N-MOS

4.3.1.- Fuente de alimentación auxiliar

La alimentación de la circuitería encargada del control del N-MOS se realiza a través de una fuente auxiliar formada por un dispositivo P-MOS, un integrado TL431 (i.e. diodo Zéner programable) [4.20], y una resistencia. El nivel de tensión proporcionado por esta fuente (i.e. V_{supply}), se selecciona a través del TL431 que fija la tensión puerta-fuente del P-MOS. Este MOSFET permite la circulación de la corriente demandada por toda la circuitería del LCL, disipando la potencia derivada de la diferencia de tensión entre la tensión de bus (V_{bus}) y V_{supply} y la corriente demandada por la circuitería de control. La selección de este P-MOS debe llevarse a cabo con especial cuidado, ya que a medida que la tensión de bus aumenta, la potencia disipada en este transistor se incrementa de igual forma. De esta manera, con el dispositivo seleccionado en este trabajo, para una V_{bus} de 100 V y un nivel V_{supply} de 15 V, la tensión drenador-fuente del

dispositivo P-MOS será de 85 V, y la potencia disipada en dicho transistor estará alrededor de 0,5 W.

4.3.2.- Aislador analógico (DCX)

El concepto de aislador analógico se muestra en la Fig.4.10. De modo genérico, la idea se basa en trasladar la señal V_{in} al secundario del aislador proporcionando aislamiento galvánico. De esta forma, el primario del aislador estará formado por un modulador de amplitud encargado de generar una señal con la amplitud proporcionada por V_{in} . Esta señal modulada en amplitud será transferida al secundario del aislador a través de un transformador magnético. Una vez en el secundario, dicha señal modulada en amplitud será demodulada través de un rectificador, obteniendo la señal V_{out} , la cual será una versión escalada de V_{in} , conservando, por tanto, la información de la amplitud.

Este mismo concepto de aislador analógico se presenta en [4.21] y en [4.22]. En ambos casos, la etapa de modulación se implementa a través de un convertidor CC/CC. En [4.22], el aislador está basado en un convertidor directo (*Forward*) operando a frecuencia de conmutación y ciclo de trabajo fijos. En [4.21], se emplea el concepto de modulador de amplitud, pero su implementación es distinta. El aislamiento se consigue a través de un convertidor de retroceso (*Flyback*) controlado a través de una fuente de corriente pulsada.

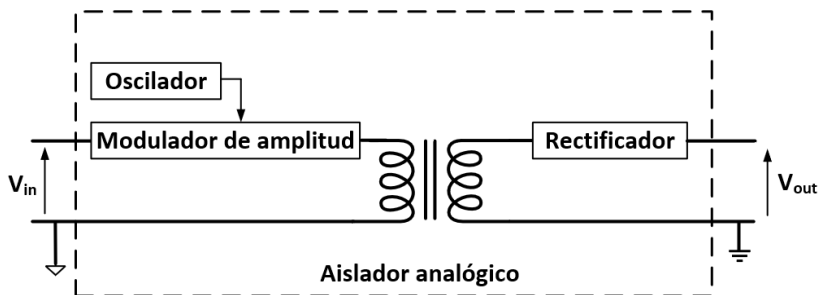


Fig.4.10. Concepto de aislador analógico

Este concepto de aislamiento magnético también ha sido incorporado a circuitos integrados como el UC1901 [4.23], el cual emplea un transformador externo, o el ADUM3190S [4.24], el cual cuenta con el propio transformador magnético ya integrado. Ambos integrados están disponibles a nivel comercial y cuentan con la calificación de espacio, sin embargo, para algunas aplicaciones presentan ciertas limitaciones desde el punto de vista de la implementación. Por ejemplo, el ADUM3190S necesita una fuente de alimentación aislada en el secundario del transformador.

Por estas razones se ha optado por implementar esta etapa DCX empleando componentes discretos, y pensando en una implementación que pueda ser adaptable a distintos rangos de tensiones de entrada y salida. Desde el punto de vista de su uso dentro de la arquitectura del LCL propuesta, esta etapa DCX es la encargada de trasladar la señal de control desde la salida del lazo de control de corriente hasta los terminales puerta-fuente del dispositivo N-MOS. Es necesario destacar que esta etapa es la que se encarga de fijar el punto de trabajo del N-MOS, no solo dentro de las zonas óhmica y de corte, sino también en la zona de saturación. Este aislador analógico está implementado a través de un convertidor CC/CC aislado, trabajando en lazo abierto. El diseño de esta etapa se realiza de manera que su dinámica interfiera lo menos posible con la dinámica del lazo de control de corriente. Esta es la razón por la que la frecuencia de conmutación del convertidor que forma la etapa DCX esté en el orden de los MHz (i.e. 4 MHz). De la misma manera, con el objetivo de minimizar la resistencia en conducción del MOSFET, el DCX debe proporcionar a su salida un nivel de tensión cercano a la máxima tensión puerta-fuente requerida por parte del dispositivo limitador, junto con la potencia necesaria para el control del terminal de puerta. De esta forma, el nivel de tensión a la salida del DCX será cercano a los 15 V.

La implementación de la etapa DCX se ha realizado empleando una topología LLC. La Fig.4. 11 muestra la implementación del oscilador empleado en la topología DCX, mientras que la Fig.4.12 muestra la topología DCX completa formada por un inversor en medio-puente y un rectificador de onda completa. El diseño detallado de esta topología se puede ver en [4.26]. A continuación, se indicarán los elementos y aspectos más importantes en el diseño de esta arquitectura LLC-DCX. Se trata de una topología resonante donde es posible conseguir integración magnética, de tal manera que la propia inductancia de dispersión del transformador (L_{lk}) será, al mismo tiempo, la inductancia resonante del convertidor LLC.

El diseño del oscilador se muestra en la Fig.4. 11. La forma de onda cuadrada con frecuencia del orden de 4 MHz se genera a través de una puerta lógica tipo NAND con entradas en *Schmidt-Trigger*, y una red de realimentación formada por R_{osc} y C_{osc} . La otra entrada de la puerta NAND puede estar siempre a nivel lógico alto (i.e. V_{supply}) o a una señal de control para encender y apagar el oscilador dependiendo del funcionamiento del LCL. Cuando esta entrada está a nivel alto la puerta NAND se comporta como un inversor, de tal manera que cuando el nivel de tensión en C_{osc} está a nivel alto, su salida pasa a nivel bajo descargando C_{osc} , y cuando está a nivel bajo, la salida pasa a nivel alto, cargando el mismo condensador. Por lo tanto, los parámetros R_{osc} y C_{osc} son los que controlan la frecuencia del oscilador.

En este diseño, se han conectado varias puertas NAND configuradas como inversores con el objetivo de proporcionar más corriente a la etapa del modular de amplitud (implementado con un medio puente). Para ello, se ha empleado un único integrado (CD4093B [4.25]) el cual cuenta con cuatro puertas NAND con las que se llevará a cabo el montaje de este oscilador.

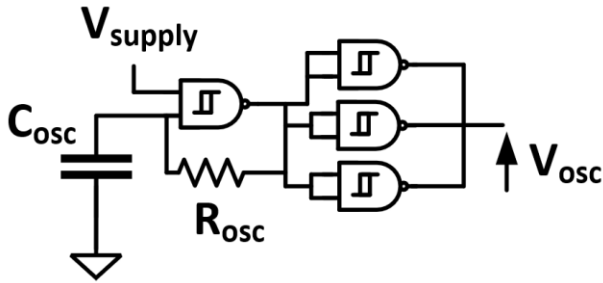


Fig.4. 11. Implementación del oscilador en la etapa DCX

El diseño del modulador de amplitud se basa en el uso de la aproximación del primer armónico (*First Harmonic Approximation-FHA*) [4.27]. En la topología LLC utilizada, la tensión de salida del puente completo (V_{puente}) presenta una forma de onda cuadrada con un ciclo de trabajo D cercano al 50%, un nivel mínimo de tensión de 0 V y un nivel máximo igual a V_{in} . De esta forma, el desarrollo en serie de Fourier para la tensión V_{puente} es la mostrada en (4.8):

$$V_{\text{PUENTE}} = V_{\text{in}} \cdot D + \sum_{k=1}^{\infty} \frac{2}{k \cdot \pi} \cdot V_{\text{in}} \cdot \sin(k\pi D) \cdot \cos(kD\omega_s t) \quad (4.8)$$

Por lo tanto, a partir de la expresión (4.8) se puede obtener que la amplitud del primer armónico (A_{FH}) será la descrita en la expresión (4.9), siendo el valor máximo, para un D de 0,5, planteado en la expresión (4.10).

$$A_{\text{FH}} = \frac{2}{\pi} V_{\text{in}} \cdot \sin(\pi D) \quad (4.9)$$

$$A_{\text{FH}} = \frac{2}{\pi} V_{\text{in}} \quad (4.10)$$

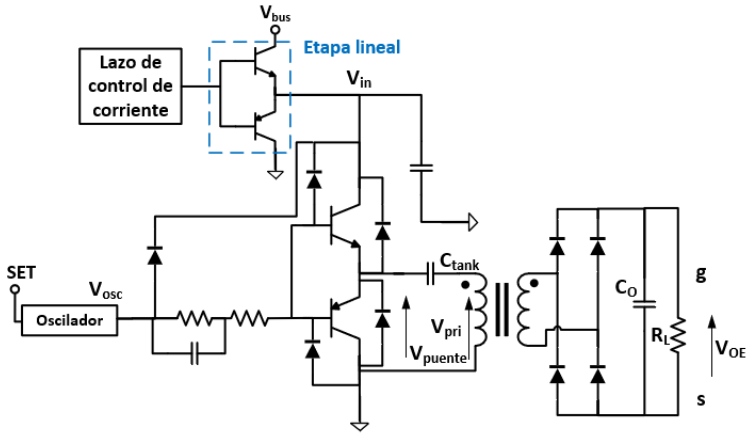


Fig.4.12. Representación del esquemático del LLC

La Fig.4.13 muestra el circuito equivalente de la topología LLC-DCX bajo el análisis del primer armónico, con el objetivo de analizar en comportamiento de la red resonante (Z_{tank}) ante una señal de entrada sinusoidal. Las resistencias R_{p1} y R_{p2} se emplean para modelar las resistencias de pérdidas en ambos devanados del transformador. Como además se puede conseguir integración magnética, la inductancia resonante del inversor clase D será la propia inductancia de dispersión del transformador (i.e. L_{lk}). De esta forma, el proceso de diseño estará basado en escoger el valor de la frecuencia de resonancia de la red formada por C_{tank} y L_{lk1} .

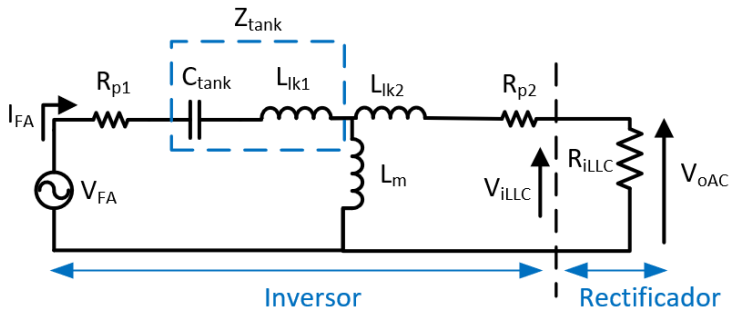


Fig.4.13. Circuito equivalente para la topología LLC-DCX usando la FHA

La expresión (4.11) determina el valor de la impedancia equivalente (Z_{tank}) de la red resonante:

$$Z_{tank} = j \cdot \left(\omega_s \cdot L_{lk1} - \frac{1}{\omega_s \cdot C_{tank}} \right) \quad (4.11)$$

Donde $\omega_s = 2\pi \cdot F_{SW}$ es la pulsación asociada a la frecuencia de conmutación (F_{SW}). En relación con el rectificador de onda completa, su impedancia de entrada equivalente está descrita en [4.28], y su uso aparece de forma abundante en la literatura (e.g.[4.28], [4.29]). De manera resumida, teniendo un condensador de salida (C_o) lo suficientemente grande como para eliminar el rizado de la frecuencia de conmutación, el comportamiento de este rectificador se puede modelar como una resistencia (R_{iLLC}), cuyo valor está descrito en (4.12).

$$R_{iLLC} = \frac{8}{\pi^2} \cdot R_L \quad (4.12)$$

Donde R_L es el valor de la resistencia de carga de la topología LLC-DCX. La ganancia en tensión de este aislador analógico está definida a través de la ganancia de la red resonante ($G_{tankLLC}$). A través de la resistencia R_{iLLC} se puede determinar el valor del factor de calidad (Q_{tank}) de la red resonante a la frecuencia de conmutación. La expresión (4.13) determina el valor de dicho factor Q_{tank} .

$$Q_{tank} = \frac{\left(\frac{F_R}{F_{SW}} \right) \cdot \omega_s \cdot L_{lk1}}{R_e} \quad (4.13)$$

$$R_e = R_{iLLC} + Rp_2 + Rp_1$$

Donde F_R/F_{SW} es la ratio entre la frecuencia de resonancia (de C_{tank} y L_{lk1}), y la frecuencia de conmutación. La expresión de la $G_{tankLLC}$ se puede obtener a partir del circuito equivalente de la Fig.4.13 y a través de las expresiones (4.14)-(4.16):

$$Z_1 = R_{iLLC} + Rp_2 + (j \cdot \omega_s \cdot L_{lk2}) \quad (4.14)$$

$$Z_{eq} = \frac{j \cdot \omega_s \cdot Lm \cdot Z_1}{j \cdot \omega_s \cdot Lm + Z_1} \quad (4.15)$$

$$G_{tank_{LLC}} = \frac{V_{iLLC}}{V_{FA}} = \left| \frac{Z_{eq}}{Rp_1 + Z_{tank} + Z_{eq}} \cdot \frac{R_{iLLC}}{Z_1} \right| \quad (4.16)$$

De esta manera, conociendo el valor de la $G_{tank_{LLC}}$, es posible llegar a obtener la expresión final que determina la ganancia de la etapa LLC-DCX (ver (4.17)), la cual dependerá de la ganancia del circuito resonante ($G_{tank_{LLC}}$) y de la amplitud del primer armónico (A_{FH}):

$$G_{aisolator_{LLC}} = \frac{V_o}{V_{in}} = \frac{2}{\pi} \cdot \sin(\pi \cdot D) \cdot G_{tank_{LLC}} \quad (4.17)$$

Además de la amplitud, el ancho de banda de la etapa DCX es otro factor clave a considerar en el proceso de diseño de la etapa LLC-DCX. El valor del ancho de banda debe cumplir con los requisitos establecidos en el documento ECSS [4.1], en relación con la velocidad que ha de tener el lazo de control a la hora de regular el valor de la corriente. El ancho de banda obtenido está en el orden de las centenas de kHz, dando lugar a un nivel de ganancia lo suficientemente grande como para cumplir con dichos requisitos. Desde el punto de vista del diseño de la etapa LLC-DCX, es posible establecer una relación entre el ancho de banda, el factor Q_{tank} y la ratio F_R/F_{SW} .

De esta manera, se puede plantear un análisis de la variación del ancho de banda para un valor fijo de Q_{tank} o para un valor fijo en la ratio F_R/F_{SW} . Este análisis se ha llevado a cabo a través de simulaciones del circuito LLC-DCX, considerando los interruptores como transistores MOSFET ideales.

El primer análisis se basa en considerar un valor de Q_{tank} fijo, modificando la ratio F_R/F_{SW} . De esta manera, es posible obtener una serie de diagramas de Bode que relacionan la tensión de salida del LLC-DCX (V_{OLL}) con su tensión de entrada (V_{in}).

Los pasos principales para este primer análisis son los que se detallan a continuación:

1. Para un valor fijo del factor Q_{tank} , es posible establecer un rango de valores de la inductancia resonante (L_{lk1}).
2. Para cada uno de esos valores de L_{lk1} , se puede obtener el valor de la ratio F_R/F_{SW} , usando la expresión (4.13), como se muestra en (4.18):

$$\frac{F_R}{F_{SW}} = \frac{Q_{\text{tank}} \cdot R_e}{\omega_s \cdot L_{lk1}} \quad (4.18)$$

3. Con el rango de valores de L_{lk1} y con las ratios F_R/F_{SW} , se puede obtener el rango de valores correspondientes a los condensadores resonantes (C_{tank}), a través de la expresión (4.19), junto con (4.18):

$$C_{\text{tank}} = \frac{1}{\left[\left(\frac{F_R}{F_{SW}}\right) \cdot \omega_s\right]^2 \cdot L_{lk1}} = \frac{L_{lk1}}{(Q_{\text{tank}} \cdot R_e)^2} \quad (4.19)$$

Por lo tanto, para cada ratio F_R/F_{SW} hay una pareja de valores que forman la red resonante (L_{lk1} y C_{tank}). De esta manera, es posible obtener un diagrama de Bode para cada ganancia del circuito resonante (G_{tankLLC}). La Fig.4.14 muestra los diferentes diagramas de Bode, sin la ganancia de continua, para un Q_{tank} fijo de 0,1818 y para una variación de la ratio F_R/F_{SW} comprendida entre 0,63 y 2,53. El trazo de la línea discontinua de la Fig.4.14 representa la caída de ganancia a -3dB. De esta manera, el mayor ancho de banda se consigue a medida que la ratio F_R/F_{SW} se mueve en el entorno de la unidad. Sin embargo, si esa ratio se acaba haciendo mucho mayor, el ancho de banda empieza a caer. En este ejemplo en concreto, el mayor ancho de banda conseguido es de 224,57 kHz ante una ratio F_R/F_{SW} de 1,27, mientras que el valor el menor valor de ancho de banda conseguido es de 73,26 kHz para una ratio F_R/F_{SW} de 2,53. Para estos resultados se han tomado como valores fijos el de la F_{SW} entorno a 4 MHz, las resistencias de pérdidas de ambos devanados R_{p1} y R_{p2} en 1.5 Ω , el valor de R_L en 2,2 k Ω y, por lo tanto, el valor de R_e en 1,8 k Ω .

El segundo análisis consiste en tener un valor fijo de la ratio F_R/F_{SW} modificando el valor del Q_{tank} . De nuevo, la idea principal es tratar de analizar el ancho de banda, en este caso, debido a una variación del factor Q_{tank} . El procedimiento a seguir para este segundo análisis es muy similar a los detallados en el análisis previo:

4. Para un valor fijo de la ratio F_R/F_{SW} , es posible establecer un rango de valores de la inductancia resonante (L_{lk1}).
5. Para cada valor de L_{lk1} , y usando el valor fijo de la ratio F_R/F_{SW} , se puede obtener el valor del C_{tank} correspondiente mediante el uso de la expresión (4.19). A través de la expresión (4.13), también es posible obtener el rango de valores del parámetro Q_{tank} .
6. Finalmente, para cada Q_{tank} es posible obtener la pareja de valores (L_{lk1} , y C_{tank}) que forman la red resonante. De esta manera, se puede representar un diagrama de Bode para cada nueva G_{tank} .

La Fig.4.15 muestra los distintos diagramas de Bode, sin el nivel de continua, para un valor fijo en la ratio F_R/F_{SW} de 1,27 y ante una variación del parámetro Q_{tank} comprendida entre 0,0912 y 0,3650. La línea discontinua que se muestra en la Fig.4.15 representa la caída de ganancia a 3-dB. Por lo tanto, el mayor ancho de banda aparece ante el menor valor del parámetro Q_{tank} .

En este ejemplo, el mayor ancho de banda es de 224,57 kHz para un Q_{tank} de 0,0912, mientras que el valor más pequeño de ancho de banda es de 186,32 kHz para un Q_{tank} de 0,3650.

A través de estos dos análisis realizados, es posible establecer una conexión entre la ratio F_R/F_{SW} , el parámetro Q_{tank} , la G_{tank} y el ancho de banda de la etapa LLC-DCX. Al final, cuanto mayor es el parámetro Q_{tank} , menor será el valor del ancho de banda a 3dB y de la ganancia de la etapa DCX (G_{tank}). Por lo tanto, con el objetivo de tener un ancho de banda alto, combinado con una alta ganancia, se hace necesario diseñar la etapa LLC-DCX con una ratio F_R/F_{SW} en el

entorno de la unidad, y con un valor de Q_{tank} bajo. En el caso del LLC-DCX implementado en este trabajo, el parámetro Q_{tank} es de 0,092 mientras que la ratio F_R/F_{SW} es de 0,896. De esta manera, se consigue tener una ganancia G_{tank} de 1,53. Este valor de ganancia en el circuito resonante es suficiente para tener el nivel de tensión puerta-fuente máximo permitido cuando el nivel de control está a nivel alto. De la misma manera que para el primero de análisis basado en mantener constante el valor de Q_{tank} , en este caso, se han mantenido como valores fijos el de la F_{SW} entorno a 4 MHz, las resistencias de pérdidas de ambos devanados R_{p1} y R_{p2} en 1.5Ω , el valor de R_L en $2,2 \text{ k}\Omega$ y el valor de R_e en $1,8 \text{ k}\Omega$.

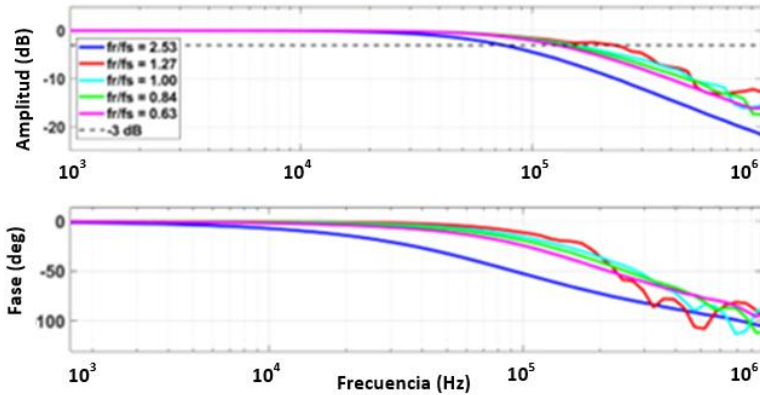


Fig.4.14. Diagramas de Bode para un valor de Q_{tank} fijo de 0,1818 variando la ratio F_R/F_{SW}

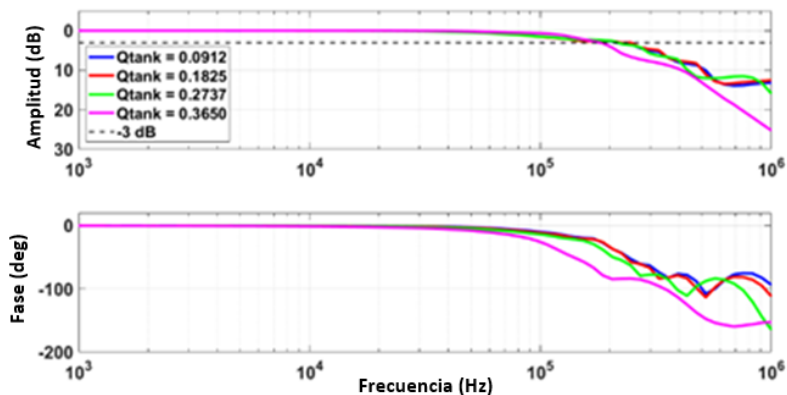


Fig.4.15. Diagramas de Bode para un valor de la ratio F_R/F_{sw} fijo de 1,27 variando el parámetro Q_{tank}

4.3.3.- Lazo de control de corriente

Este apartado explica el diseño del lazo de control de corriente, que será el encargado de regular dicho valor cuando el LCL esté limitando la corriente. Este lazo de control está basado en un regulador tipo II [4.30], cuya implementación es la representada en la Fig.4.16. Usando el integrador que forma parte del regulador, cuando el nivel de corriente medida en el LCL es menor que la corriente de limitación (i.e. valor de la corriente de referencia en el lazo de corriente), la señal de control se saturaría a positivo, forzando al valor máximo en el nivel de tensión puerta-fuente en el dispositivo N-MOS, teniendo de esta manera el menor valor de la resistencia de canal (R_{DS}). Si, por el contrario, la corriente medida está por encima de la corriente de referencia, el lazo de corriente disminuirá el valor de la tensión puerta-fuente en el dispositivo N-MOS. Esto hace que dicho semiconductor trabaje en saturación, limitando el valor de la corriente al valor de la corriente de referencia fijado en el lazo.

Para el correcto ajuste de este regulador se han de tener en cuenta la dinámica del sensor de corriente empleado, el comportamiento como fuente de corriente del dispositivo N-MOS, y finalmente las

variaciones de tensión entre la tensión de entrada y la tensión de salida en la etapa DCX, conocido como audio-susceptibilidad ($G_{vin_vo_DCX}$).

La dinámica del sensor de corriente empleado se ha obtenido mediante simulación SPICE, junto con el modelo proporcionado por el fabricante, empleando para ello un análisis de AC para frecuencias de hasta 1 MHz. A continuación, se ha realizado una aproximación matemática de los datos obtenidos con el objetivo de obtener una función de transferencia que modele su comportamiento dinámico (G_{sensor}). Dicha función de transferencia está formada por tres polos y dos ceros. La audio-susceptibilidad de la etapa DCX ($G_{vin_vo_DCX}$) se ha obtenido directamente de manera experimental, tomando medidas sobre los prototipos LLC-DCX realizados mediante un analizador de respuesta en frecuencia [4.31]. A continuación, se ha llevado a cabo una aproximación matemática de los datos obtenidos con el objetivo de implementar una función de transferencia que modele su dinámica.

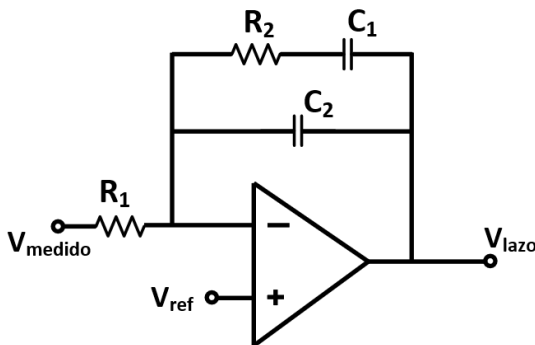


Fig.4.16. Implementación práctica de un regulador tipo II con un amplificador operacional

La Fig.4.17 muestra los resultados obtenidos para frecuencias por encima de 100 kHz, con una tensión de entrada (V_{in}) en la etapa DCX de 10 V. Se puede ver cómo el ancho de banda a -3 dB está alrededor de los 145 kHz. El salto que se produce en la fase medida es debido a la representación de esta entre -180° y 180° . Este resultado está en línea con el ancho de banda predicho en simulación, a través de la

Fig.4.14, en relación con el trazo verde, para una F_R/F_{SW} de 0,84. En el diseño presentado en este trabajo, para la etapa LLC-DCX, la ratio F_R/F_{SW} es de 0,896.

Finalmente, también se ha de analizar el comportamiento del N-MOS como fuente de corriente cuando está trabajando en saturación, y las impedancias vistas por el LCL. De esta manera, se puede modelar la función de transferencia que relaciona la corriente medida por el sensor de corriente (i), con la tensión de salida de la etapa DCX. (u_c). La Fig.4.18 muestra el circuito equivalente del modelo de pequeña señal para el LCL, y la Fig.4.19 muestra el modelo de pequeña señal entre la etapa DCX y el dispositivo N-MOS. El transistor se modela a través de sus capacidades parásitas, su transconductancia (g_m) y la influencia que la tensión drenador-fuente (u_{ds}) puede tener en la corriente medida.

De esta manera, la corriente medida se puede obtener a partir de la expresión (4.20). El valor de la transconductancia ha sido tomado directamente de simulaciones SPICE con el N-MOS conduciendo en modo de saturación la corriente de limitación. Las capacidades parásitas se han tomado directamente de las curvas mostradas en la hoja de características del N-MOS seleccionado.

$$\hat{i} = g_m \cdot \hat{u}_{gs} + \hat{u}_{ds} \cdot (1/R_{ds} + s \cdot C_{ds}) \quad (4.20)$$

Como la V_{bus} en el modelo de pequeña señal se puede considerar un cortocircuito, la tensión u_{ds} se puede definir a partir de la expresión (4.21).

$$\hat{u}_{ds} = -\hat{i} \cdot (R_{sense} + Z_{load}) \quad (4.21)$$

Donde Z_{load} modela la impedancia que el LCL ve como carga. Por ello, se han seleccionado diferencias impedancias con el objetivo de establecer cuál será el peor caso. Este parámetro Z_{load} será cero cuando modele un comportamiento de cortocircuito. El nivel de tensión

puerta-fuente del dispositivo N-MOS (u_{gs}) se puede expresar como se muestra en (4.22), donde $C_{in} = C_{dg} + C_{gs}$.

$$\widehat{u_{gs}} = \widehat{u_c} \cdot \left[\frac{1}{(Z_{o_{DCX}} + R_{gate}) \cdot C_{in} \cdot s + 1} \right] + \widehat{u_{ds}} \cdot \left(\frac{Z_{o_{DCX}} \cdot C_{dg} \cdot s}{Z_{o_{DCX}} \cdot C_{dg} \cdot s + 1} \right) \quad (4.22)$$

Usando las expresiones (4.20) - (4.22), y dividiendo por ' u_c ', es posible obtener la expresión de la función de transferencia $G_{i_{uc}}$ (4.23), la cual relaciona el nivel de tensión de salida (u_c) de la etapa DCX, con la corriente medida (i).

$$G_{i_{uc}} = \frac{g_m}{(Z_{o_{DCX}} + R_{gate}) \cdot C_{in} \cdot s + 1} + \frac{1}{(R_{sense} + Z_{load})} \cdot \frac{g_m \cdot Z_{o_{DCX}} \cdot C_{dg} \cdot s}{Z_{o_{DCX}} \cdot C_{dg} \cdot s + 1} + \frac{R_{ds} \cdot C_{gd} \cdot s + 1}{R_{ds}} \quad (4.23)$$

De esta manera, con la dinámica del sensor de corriente (G_{sensor}), la audio-susceptibilidad ($G_{vin_{vo_DCX}}$) y la dinámica de la fuente de corriente del N-MOS ($G_{i_{uc}}$), es posible definir el regulador del lazo de control de corriente del LCL. La planta del lazo de control de corriente se puede expresar a partir de la expresión (4.24).

$$G_{LCL} = G_{sensor} \cdot G_{vin_{vo_DCX}} \cdot G_{i_{uc}} \quad (4.24)$$

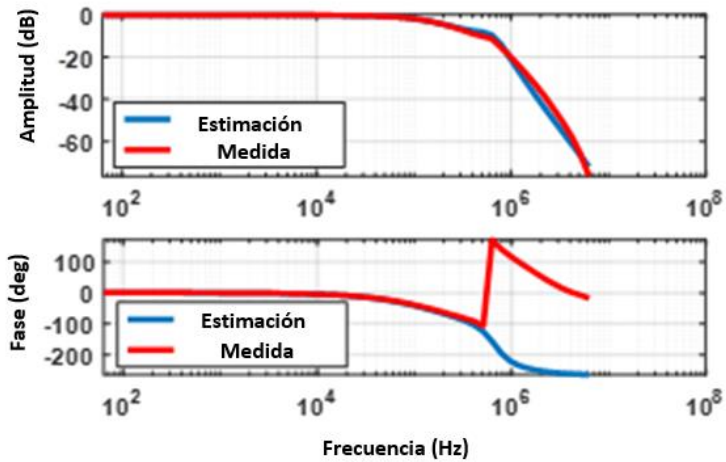


Fig.4.17. Audio-susceptibilidad de la etapa LLC-DCX para una V_{in} de 10 V

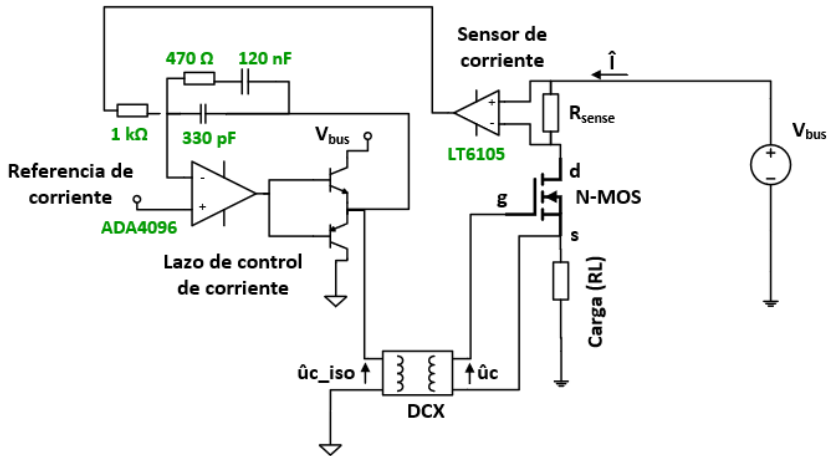


Fig.4.18. Circuito equivalente del LCL en el modelo de pequeña señal

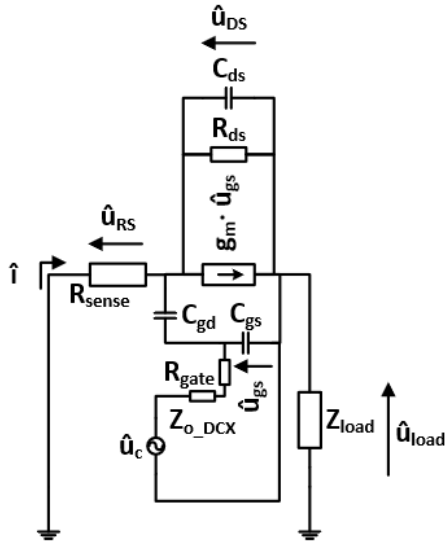


Fig.4.19. Circuito de pequeña señal entre la salida de la etapa DCX y el dispositivo N-MOS

De acuerdo con la expresión (4.23) la función de transferencia $G_{i_{uc}}$ depende de la impedancia vista por el LCL como carga (i.e. Z_{load}). Un valor elevado de Z_{load} va en detrimento de la respuesta dinámica del LCL. De esta forma, se han planteado diferentes Z_{load} , representando situaciones realistas, con el objetivo de determinar cuál es el peor caso:

1. Un cortocircuito puro.
2. Una resistencia, haciendo que, a la tensión de bus, el LCL lleve la corriente de limitación.
3. Una inductancia pura, en este caso de $30 \mu\text{H}$.
4. Una inductancia en serie con la resistencia antes mencionada.
5. Un filtro LC con un cortocircuito a la salida.
6. El mismo filtro LC con la resistencia antes mencionada.

El filtro LC representaría el filtro de entrada de un convertidor CC/CC conectado a la salida del LLC. El proceso de diseño del filtro se ha tomado de [4.32], y ha sido implementado siguiendo el esquema

de la Fig.4.20, con valores $L_f = 150 \mu\text{H}$, $C_f = 150 \mu\text{F}$, $C_b = 300 \mu\text{F}$ y $R_f = 1,2 \Omega$.

Los diagramas de Bode para la función de transferencia $G_{i_{uc}}$ se muestran en la Fig.4.21. Se puede ver cómo el caso más desfavorable ocurre en la combinación “filtro LC + resistencia”, fundamentalmente porque es el caso que presenta el máximo valor de carga a la salida del LCL. La Fig.4.22 muestra los diagramas de Bode de la planta completa del LCL (i.e. G_{LCL}) definida en la expresión (4.24).

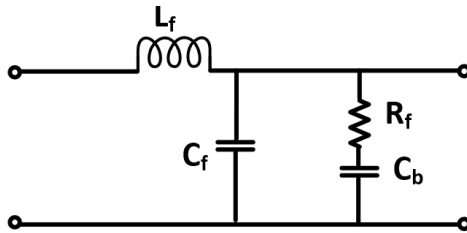


Fig.4.20. Diseño del filtro LC implementado

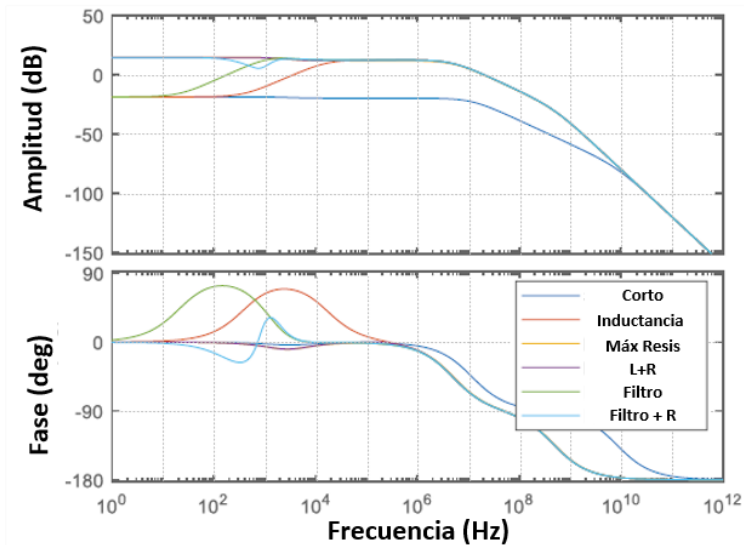


Fig.4.21. Diagramas de Bode la función de transferencia $G_{i_{uc}}$ para diferentes configuraciones de Z_{load}

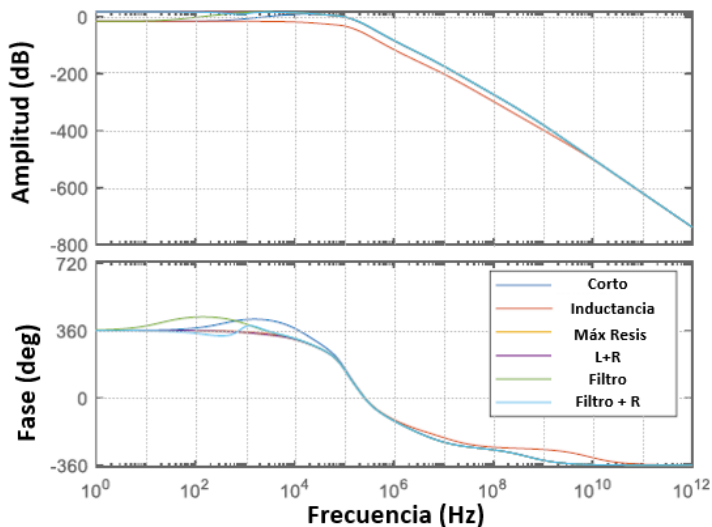


Fig.4.22. Diagramas de Bode la función de transferencia G_{LCL} para diferentes configuraciones de Z_{load}

Con el objetivo de controlar el lazo se implementa un regulador tipo II [4.30], denotado como $C(s)$ en la Fig.4. 23. De acuerdo con [4.1] y [4.3] se busca tener un margen de fase de 50° , un margen de ganancia de 10 dB y una frecuencia de corte de 30 kHz, estableciendo como peor caso a controlar la combinación “filtro LC + resistencia”. De esta forma, conociendo la expresión que modela la planta del lazo de control de corriente, vista en (4.24), y los valores fijados para el margen de fase, margen de ganancia y la frecuencia de corte, es posible obtener una función de transferencia (i.e. $C(s)$) del regulador a implementar. Una vez obtenida la expresión de $C(s)$, se plantea su implementación de manera analógica empleando un amplificador operacional tal y como se muestra en la Fig.4.16. La expresión (4.25) determina la función de transferencia del regulador $C(s)$ en función de los componentes que forman la implementación práctica basada en amplificador operacional.

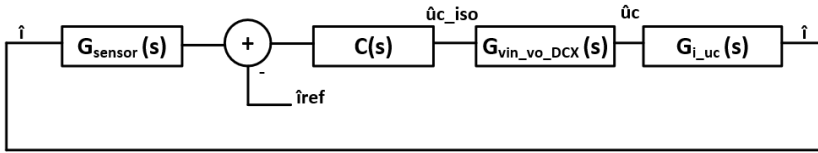


Fig.4. 23. Diagrama de bloques del lazo de control implementado

Se vuelve a mostrar, a continuación, la Fig.4.16, para facilitar la lectura de la implementación del regulador tipo II.

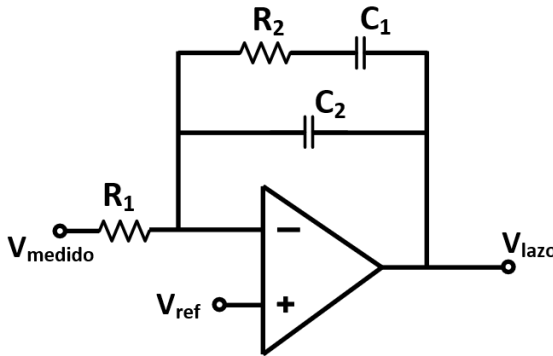


Fig.4.16. Implementación práctica de un regulador tipo II con un amplificador operacional

$$C(s) = - \frac{(1 + s \cdot R_2 \cdot C_1)}{s \cdot R_1 (C_1 + C_2) \cdot \left[1 + s \cdot R_2 \cdot \left(\frac{C_1 \cdot C_2}{C_1 + C_2} \right) \right]} \quad (4.25)$$

La Fig.4.24 muestra el diagrama de Bode del regulador tipo II implementado ($C(s)$) tanto a nivel teórico, como a través de la implementación práctica a través de amplificador operacional. De esta forma, se puede ver cómo la implementación práctica es idéntica al modelo teórico del regulador buscado.

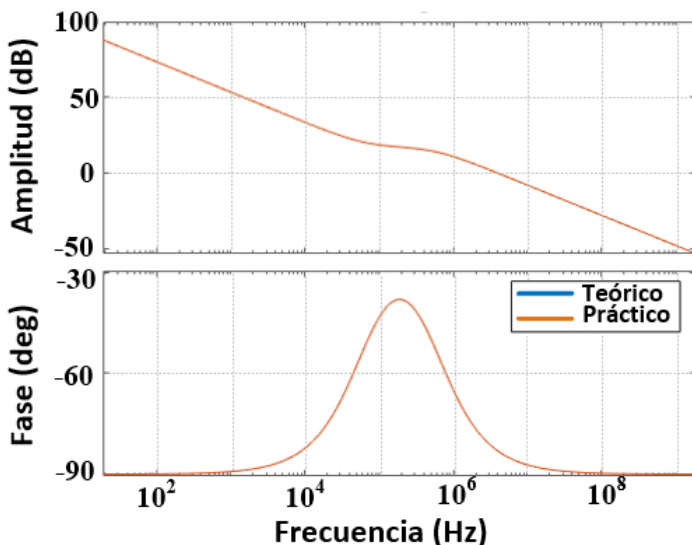


Fig.4.24. Comparativa de los diagramas de Bode del regulador implementado a nivel teórico y práctico

4.3.4.- Sección de protección contra infratensión (UVLO)

La sección de *undervoltage* es la encargada de evitar la activación del LCL cuando la tensión de bus está por debajo de un determinado nivel. Siguiendo las recomendaciones descritas en [4.1], dicha sección se ha de implementar a través de un sistema de histéresis. El principal problema a la hora de implementar dicha sección en la arquitectura de LCL presentada viene como consecuencia de que la medida se toma directamente sobre la tensión de bus. Sin embargo, dicha información ha de pasarse referenciada a la masa de control.

La solución implementada es la que se puede ver en la Fig.4.25, y se basa en el uso de un espejo de corriente. De esta forma, el transistor PNP I está conectado entre la tensión de bus y la referencia del mismo bus a través de la resistencia $R_{\text{mirror_UVLO}}$, dando lugar a la corriente

$I_{ref_mirror_UVLO}$. Esta corriente, proporcional a la tensión de bus, será reflejada a la corriente de colector del transistor PNP II, dando lugar a la corriente I_{UVLO} . Como se muestra en la Fig.4.25, tanto la sección de UVLO como la sección de temporización están conectadas a las entradas de RESET y SET de un biestable. De esta forma, en función del estado del transistor NPN_{ref} , la corriente I_{UVLO} circulará a través de la resistencia R_2 ó del paralelo entre R_1 y R_2 llegando a un comparador implementado a través del integrado TL431 [4.20].

Esta implementación permite realizar la histéresis deseada, ya que, cuando la tensión a la entrada del TL431 es mayor que su tensión de referencia interna (2,5V), su tensión de salida satura a nivel bajo apagando el transistor NPN_{set} conectado al terminal SET del biestable. Si, por el contrario, la tensión es menor que la tensión de referencia, dicho transistor se activa conectado el terminal SET del biestable con la masa de control. Esta señal de SET es la encargada de activar el funcionamiento de la etapa LLC-DCX. De esta forma, cuando esta señal esté a nivel bajo, la etapa DCX estará apagada haciendo que el nivel de tensión puerta-fuente del dispositivo N-MOS sea cero. Esto implica que, si la etapa DCX está apagada, el dispositivo N-MOS estará abierto y por lo tanto el LCL estará desactivado.

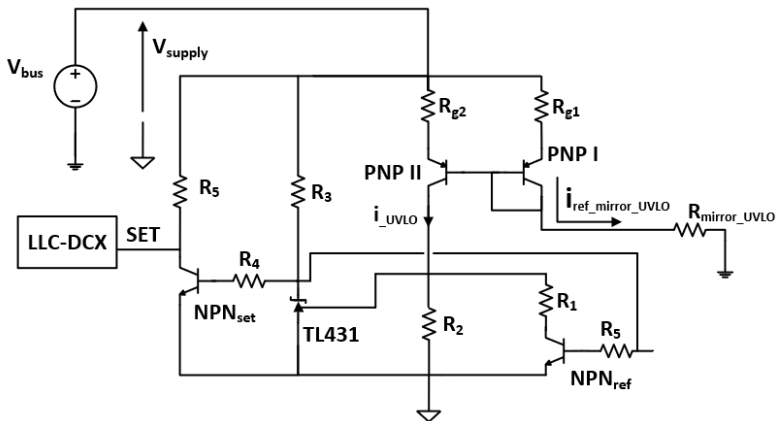


Fig.4.25. Implementación del circuito de *undervoltage*

4.3.5.- Sección de temporización

Una de las principales características que determinan el funcionamiento de un LCL es que, cuando se produce el paso de zona óhmica (i.e. conduciendo la corriente de clase) a zona activa para limitar corriente, debe empezar una temporización. De esta forma, cuando se alcanza un tiempo prefijado (tiempo de *trip-off*) el LCL debe apagarse. Mientras que el dispositivo N-MOS está en modo de limitación de corriente, está disipando una gran cantidad de potencia (i.e. está soportando la tensión de bus), de tal forma que este tiempo de *trip-off* se encarga de evitar que la temperatura del dispositivo alcance su límite máximo permitido. Los LCLs tradicionales cuentan con tiempos fijos de temporización, independientes del nivel de tensión drenador-fuente (V_{diff}) en el dispositivo limitador, y, por tanto, de la potencia disipada en el mismo.

En esta ocasión se ha optado por implementar una sección de temporización dependiente de la tensión drenador-fuente del dispositivo N-MOS. La Fig.4.26 muestra el esquema del temporizador implementado. Su funcionamiento se basa en el uso de espejos de corriente. De esta manera, el transistor PNP_{tempI} está conectado al bus a través de la resistencia R_{g1} y a la fuente del N-MOS a través de la resistencia R_{mirror} . Cuando V_{diff} es mayor que la caída de tensión base-emisor, el transistor conduce la corriente denotada como I_{ref_mirror} , que será proporcional a la tensión V_{diff} .

La corriente I_{ref_mirror} será reflejada en el transistor PNP_{tempII} generando la corriente I_{timer} . Esta corriente será integrada a través de la red RC formada por C_{timer} , y el divisor resistivo compuesto por las resistencias R_1 y R_2 . Este divisor resistivo está conectado al terminal de referencia del integrado TL431, configurado como comparador. Una vez que el valor de la tensión en este divisor resistivo sea mayor que la tensión de referencia del TL431 (2,5 V) este integrado saturará a nivel bajo activando el transistor PNP_{set} , que llevará la señal de SET

del biestable a la masa de control. La puesta a nivel bajo de esta señal de SET hará que se apague la etapa LLC-DCX, y por lo tanto hará que se apague el LCL.

Mientras el LCL está apagado, la tensión V_{diff} será igual a la V_{bus} . Esto hace que la corriente I_{timer} tienda a cargar el condensador C_{timer} , lo que evitaría que el LCL pudiera reconectar la carga. Para asegurarse de que esto no ocurre, y que la tensión en C_{timer} permanece a cero voltios, se conecta un transistor (NPN_{reset}) en paralelo con C_{timer} que se activa cuando el LCL se apaga, y se encarga de cortocircuitar dicho condensador hasta que el LCL vuelva a encenderse. Como I_{ref_mirror} es proporcional a V_{diff} , el tiempo de carga del condensador C_{timer} (i.e. tiempo *trip-off*) también será proporcional a V_{diff} (es decir, a la tensión drenador-fuente del N-MOS). El peor caso se dará cuando el LCL presente un cortocircuito puro en su salida, y por lo tanto, la tensión V_{diff} sea igual a la tensión de bus. El condensador C_{timer} se dimensiona para que el LCL se abra dentro del rango de tiempos especificado en [4.1], que garantiza que el dispositivo N-MOS no llega a su límite máximo de temperatura.

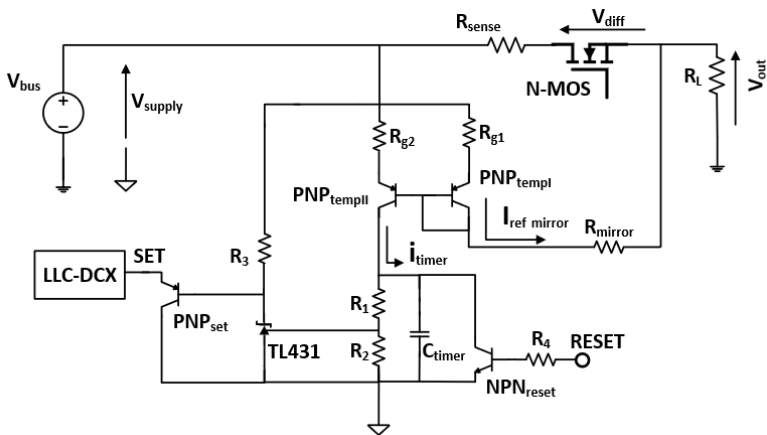


Fig.4.26. Implementación del circuito de temporización

4.3.6.- Sección de arranque suave

Durante el proceso en el que el dispositivo N-MOS está limitando corriente, especialmente, cuando el LCL trata de limitar la corriente al activarse directamente desde cortocircuito, hay una primera etapa en la que se produce una gran sobrecorriente en la corriente medida (I_{sense}). Con el objetivo de evitar esta etapa de sobrecorriente se ha implementado, dentro de la arquitectura de LCL propuesta, una etapa de arranque suave (*Soft-Start*, SS). Este circuito se conecta directamente en la referencia de corriente fijada en el lazo de control. La Fig.4.27 muestra el circuito empleado para fijar la referencia de corriente, en negro, y la circuitería adicional para el arranque suave, en rojo.

Para la implementación se emplea un integrado TL431, quien será el encargado de fijar el nivel de corriente de referencia dentro del lazo de control de corriente. Usando el transistor PNP_{SS} es posible controlar el valor de dicha referencia de corriente, a través del terminal de SET del biestable. De esta manera, cuando el terminal de SET esté a nivel bajo el condensador C_{SS} estará cortocircuitado, haciendo que la referencia de corriente esté fijada a cero. Sin embargo, cuando el terminal de SET esté a nivel alto (i.e. cuando está funcionando la etapa LLC-DCX), la referencia de corriente, dentro del lazo de control, irá incrementado su valor de manera progresiva, en función de la dinámica de la red RC, formada por el condensador C_{SS} y la resistencia R_{bias} (i.e. resistencia de polarización del integrado TL431). De esta manera, es posible reducir el valor de la sobrecorriente que se produce cuando el LCL arranque directamente desde cortocircuito.

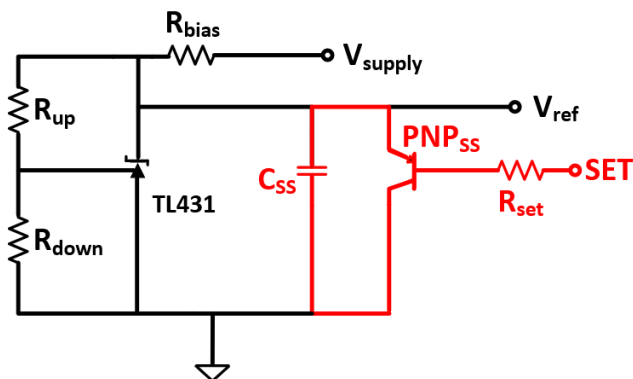
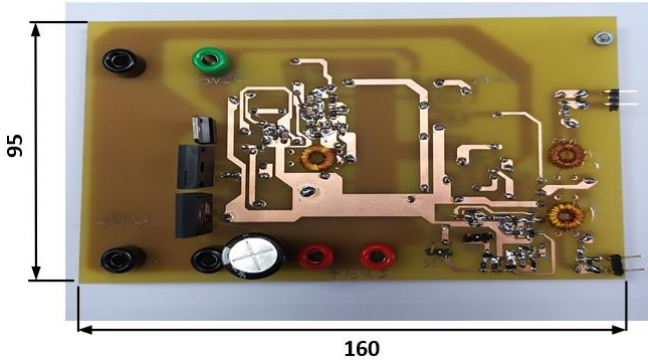


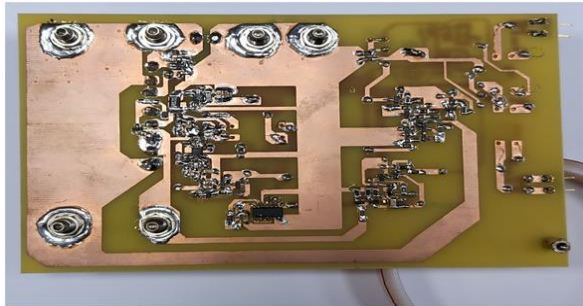
Fig.4.27. Implementación del circuito de arranque suave (en rojo) en la referencia de corriente del lazo de control

4.4.- Resultados experimentales

Para llevar a cabo la obtención de los resultados experimentales en relación con los LCLs, se han elaborado dos prototipos siguiendo la arquitectura descrita en la Sección 4.3.- En uno de ellos se usaba como dispositivo limitador de corriente el SCT3022AL (ROHM) mientras que en el otro se empleaba el SCTW90N65G2V (ST). Ambos prototipos son idénticos en cuanto a su implementación, salvo por los componentes pasivos empleados para implementar el regulador del lazo de control de corriente. Estos componentes se ajustan en relación con los modelos de pequeña señal, diferentes para cada dispositivo N-MOS empleado. Para las distintas pruebas detalladas a continuación, el valor de la resistencia de medida (R_{sense}) se ha mantenido en $0,02 \Omega$. La Fig.4.28 muestra las capas *top* y *bottom* de los prototipos implementados.



a)



b)

Fig.4.28. Prototipo del LCL diseñado, a) capa *top*, b) capa *bottom*

4.4.1.- Funcionamiento del LCL con cortocircuito a su salida

La Fig.4.29 muestra las principales formas de onda de un LCL clase 10 limitando la corriente, ante un cortocircuito a la salida, y para una V_{bus} de 100 V. Se puede ver cómo el LCL conduce una corriente nominal (I_N) de 10 A. En este punto, el nivel de la tensión de control del lazo de corriente (V_{lazo}) está saturado a positivo. La etapa DCX se encarga de trasladar este nivel de tensión a la puerta del dispositivo N-MOS. En la Fig.4.29, el nivel de tensión a la salida del medio-puente

que forma la topología LLC-DCX, se presenta como V_{puente} . Se puede ver cómo el comportamiento de este nivel de tensión, V_{puente} , reacciona al nivel V_{lazo} . De esta forma, después de que se produzca el cortocircuito, se produce una sobrecorriente de 37 A, y posteriormente, el LCL reacciona, limitando la corriente medida al máximo valor de corriente de limitación (I_{lim}) fijado en la referencia del lazo (i.e. 12 A). Esto se consigue a través del control del lazo de corriente mediante el ajuste de su nivel de tensión.

Tras producirse el cortocircuito, se iniciará la etapa de temporización, apagando el LCL transcurridos 1,5 ms (i.e. tiempo de *trip-off* mínimo para un LCL clase 10). Esto se consigue apagando la etapa DCX a través de la puesta a nivel bajo de la señal de SET del biestable. En la Fig.4.29 se muestra el nivel de tensión sobre el condensador del circuito de temporización (V_{Ctimer}). De esta manera, se puede ver cómo el nivel de tensión V_{puente} , y por lo tanto la tensión puerta-fuente del N-MOS se hacen cero, apagando el dispositivo limitador de corriente. Consecuentemente, la corriente medida (I_{medida}) se hace cero y, por lo tanto, el lazo de control se satura de nuevo a nivel alto.

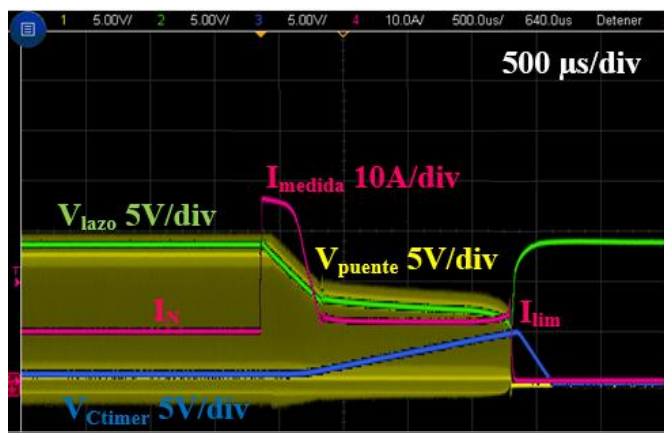


Fig.4.29. Principales formas de onda del funcionamiento del LCL clase 10 ante cortocircuito a su salida, para una V_{bus} de 100 V

4.4.2.- Funcionamiento del LCL activándose desde cortocircuito

La segunda prueba se basa en verificar el funcionamiento del LCL trabajando en un punto más desfavorable. La Fig.4.30 muestra el funcionamiento del LCL clase 10 diseñado, activándose directamente desde cortocircuito. Se puede ver cómo, tras la sobrecorriente, la etapa DCX se activa, y cómo el lazo de control regula el valor de la corriente, haciendo que el nivel de tensión a la salida del lazo disminuya, de la misma manera que el nivel de tensión puerta-fuente del N-MOS. De esta manera, el valor de la corriente se regula al valor de referencia establecido en el lazo de control (i.e. 12 A). Tras la activación de la etapa DCX, se inicia el funcionamiento de la etapa de temporización, apagando el LCL transcurridos los 1,5 ms correspondiente al tiempo de *trip-off* mínimo para un LCL clase 10.

Este proceso de limitación de corriente, activando el LCL directamente desde cortocircuito, mostrado en la Fig.4.30, se ha llevado a cabo sin el uso de ningún circuito de arranque suave. Esto explica el elevado valor del pico inicial de corriente, cercano a los 70 A, que se observa en la Fig.4.30 en el momento de su activación. Esta situación se puede corregir mediante el uso de dicha etapa de arranque suave, explicada en la sección 4.3.6.- De esta manera, la Fig.4.31 muestra el proceso de activación del LCL, arrancando directamente desde cortocircuito, empleando la circuitería de arranque suave descrita en la sección 4.3.6.- Comparando la Fig.4.30 con la Fig.4.31 es posible verificar cómo el nivel de sobrecorriente es menor cuando se emplea la etapa de arranque suave, y cómo la corriente medida va incrementando su valor hasta alcanzar el valor de referencia, establecido en el lazo de control de corriente.



Fig.4.30. Activación del LCL directamente desde cortocircuito para una V_{bus} de 100 V



Fig.4.31. Activación del LCL directamente desde cortocircuito para una V_{bus} de 100 V, usando el circuito de arranque suave

4.4.3.- Funcionamiento del LCL variando su impedancia de salida

Esta tercera prueba se basa en analizar el funcionamiento del LCL ante la variación de su impedancia de salida. Como se mencionaba en la sección 4.3.3.-, una impedancia alta conectada a la salida del LCL puede ir en detrimento de su respuesta dinámica, debido a la dependencia del parámetro Z_{load} por parte de la función de transferencia $G_{i_{uc}}$. La Fig.4.32 muestra el comportamiento del LCL tras producirse un cortocircuito, cuando se conecta el filtro LC representado en la Fig.4.20, entre el LCL y la carga. Este caso era el que presentaba la mayor impedancia a la salida del LCL, en base al análisis realizado en la sección 4.3.3.-

Esta prueba se ha realizado tanto para el N-MOS de ROHM (i.e. SCT3022AL) como para el de ST (i.e. SCTW90N65G2V), ante un V_{bus} de 100 V, una corriente I_N de 2,3 A y para una I_{lim} de 12 A. Como se puede ver en la Fig.4.32, el LCL permite la conducción de la corriente nominal de tal manera que, tras producirse el cortocircuito el LCL reacciona limitando la corriente al valor fijado en la referencia, de manera adecuada, a pesar de la presencia de una pequeña oscilación justo cuando va a limitar la corriente. Esta oscilación queda completamente mitigada, tan pronto como, el LCL regula la corriente al valor preestablecido.

En el caso de emplear el N-MOS de ST, se puede ver en la Fig.4.33 que el comportamiento es muy similar. De hecho, en este caso no se aprecia esa oscilación a la hora de limitar la corriente, como sí ocurría en la Fig.4.32 con el N-MOS de ROHM. De esta manera, es posible verificar el correcto funcionamiento del LCL para el peor caso de Z_{load} .

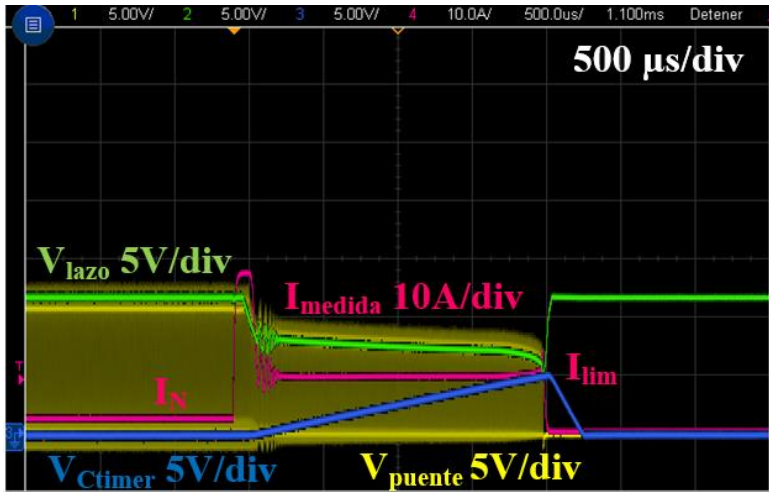


Fig.4.32. Funcionamiento del LCL, ante cortocircuito a su salida, usando un filtro LC entre el LCL y la carga, para una V_{bus} de 100 V y empleando el N-MOS de ROHM



Fig.4.33. Funcionamiento del LCL, ante cortocircuito a su salida, usando un filtro LC entre el LCL y la carga, para una V_{bus} de 100 V y empleando el N-MOS de ST

4.4.4.- Proceso de carga de un condensador a través del LCL

La última prueba realizada se basa en conectar un condensador entre el LCL y la carga. El objetivo de esta prueba es el de verificar el proceso de carga de un condensador a través de la corriente I_N del LCL. Este proceso emularía el encendido de un equipo, alimentado directamente a través del LCL. La Fig.4.34 muestra el nivel de tensión de carga (V_C) de un condensador de $470 \mu\text{F}$, usando una carga de 44Ω , simulando la potencia demanda, y empleando una V_{bus} de 100 V . En este caso, tanto cuando se emplea el N-MOS de ROHM como el de ST, el proceso de carga del condensador tiene una duración aproximada de 5 ms .

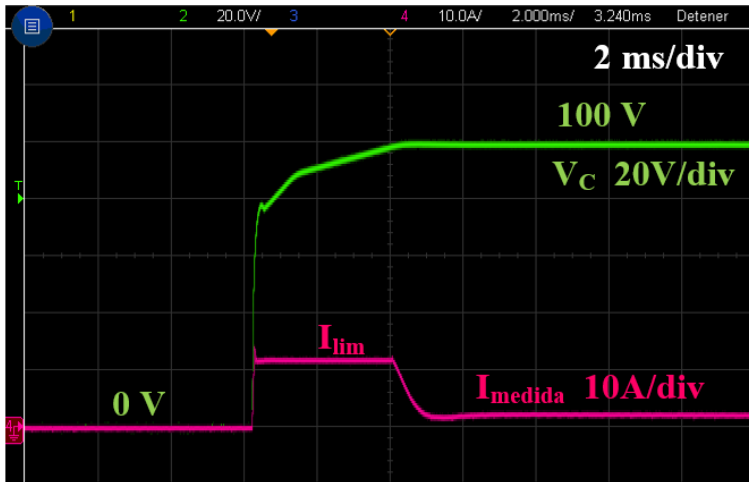


Fig.4.34. Proceso de carga de un condensador conectado entre el LCL y la carga, para una V_{bus} de 100 V

4.4.5.- Análisis de las pérdidas en el LCL basado en N-MOS de SiC

La potencia disipada es un factor muy importante en las aplicaciones espaciales. La Fig.4.35 muestra un desglose de las pérdidas obtenidas en la arquitectura LCL basada en N-MOS de SiC, en comparación con las arquitecturas tradicionales basadas en dispositivos P-MOS. El análisis se ha realizado para un LCL clase 10 con una tensión de bus de 100 V. De acuerdo con lo representado en la Fig.4.35, la suma de todas las pérdidas, debidas a la fuente de alimentación auxiliar, conducción del N-MOS, la etapa DCX, el sensor de corriente junto con el lazo de control y aquellas asociadas a la resistencia R_{sense} , estaría alrededor de los 5 W. Por otro lado, en una arquitectura de LCL basada en dispositivo P-MOS, solo la potencia disipada, usando el dispositivo IRHNA5S97260 [4.33], (i.e. MOSFET de canal P calificado para espacio) se sitúa alrededor de los 10 W.

Para la misma tensión de bus, una arquitectura de LCL clásica, basada en dispositivo P-MOS, contará prácticamente con la misma circuitería, con la excepción de la etapa DCX, que en este caso no sería necesaria. De esta forma, la potencia consumida por el sensor de corriente, la fuente auxiliar, etc, serán similares en ambos casos. Lo cual implica que, a pesar de tener una etapa más en el diseño, el LCL basado en N-MOS de SiC, presenta una reducción muy significativa de potencia disipada frente a un LCL tradicional basado en dispositivos P-MOS.

En esta ocasión, las pérdidas debidas a la conducción del dispositivo N-MOS (i.e. 2,2W) se han representado para el semiconductor de ROHM. En el caso de emplear el dispositivo de ST, este valor estaría alrededor de 2,4 W, manteniéndose idénticas el resto de las pérdidas debidas a las otras etapas que forman la arquitectura propuesta.

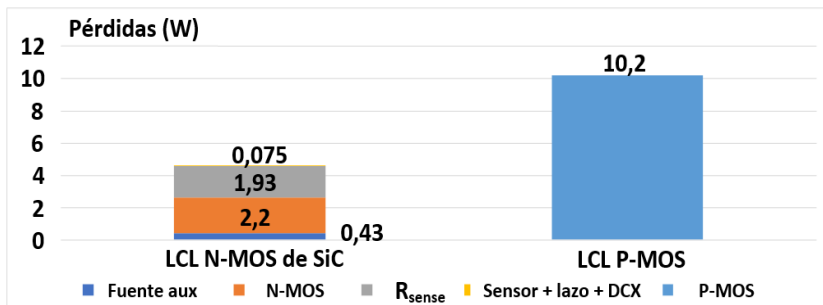


Fig.4.35. Desglose de pérdidas para la arquitectura propuesta de LCL basada en N-MOS de SiC, en comparación con un P-MOS calificado para espacio, para un LCL clase 10 y con una V_{bus} de 100 V

4.5.- Conclusiones

En este capítulo se ha presentado una arquitectura de limitador de corriente de enclavamiento (LCL), para aplicaciones de espacio, basada en utilizar como dispositivo limitador un N-MOS de SiC. El proceso de diseño ha sido verificado mediante simulación y a través de resultados experimentales.

Se ha desarrollado un prototipo de LCL clase 10, siguiendo la arquitectura propuesta, para tensiones de bus de 100 V. Se ha verificado de manera experimental que el LCL propuesto limita la corriente en caso de fallo, apagándose en el tiempo fijado por el temporizador. La implementación del LCL se ha llevado a cabo mediante componentes discretos, equivalentes a los calificados para espacio.

Teniendo en cuenta la implementación y las distintas etapas que forman la arquitectura, junto con el diseño del lazo de control de control, este diseño es lo suficientemente flexible como para ser adaptado a mayores niveles de tensión de bus, pensando, por ejemplo, entre 120 V – 150 V. Cabe destacar la relación obtenida entre el ancho de banda, el factor Q_{tank} y la ratio F_R/F_{SW} en la etapa DCX. De esta manera, se pueden plantear diseños de esta etapa con altas ganancias y

anchos de banda considerables para valores de Q_{tank} pequeños, y para ratios F_R/F_{SW} en el entorno de la unidad. Esta interdependencia hace que a medida que Q_{tank} aumenta, el ancho de banda disminuya. De esta forma, con el objetivo de conseguir etapas DCX con alta ganancia se debe de trabajar con ratios F_R/F_{SW} alrededor de la unidad, y con parámetros Q_{tank} menores de 0,3.

En comparación con las arquitecturas clásicas de LCLs basados en dispositivos P-MOS, el diseño propuesto presenta una menor disipación, de toda la arquitectura frente a la disipación presentada única por el propio P-MOS. Esto supone un aspecto muy importante, ya que los satélites pueden llegar a tener alrededor de 100 LCLs, de modo que el diseño propuesto en este capítulo puede suponer una disminución, muy significativa, de las pérdidas en el sistema de distribución del satélite.

4.6.- Bibliografía

[4.1] “Space engineering - Electrical design and interface requirements for power supply, ECSS-E-ST-20-20C”. ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands, 15 April 2016.

[4.2] ‘Space product assurance - Derating - EEE components. ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands.

[4.3] Space engineering - Guidelines for electrical design and interface requirements for power supply’. ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands, 15-Apr-2016.

[4.4] A. Soto, L. Jimenez, E. Lapeña, C. Delepaut, “Stability analysis for the LCL of GEO-PCDU product,” 10th ESPC, 13 –17 April 2014 Noordwijkerhout, The Netherlands.

[4.5] C. Delepaut, T. Kuremyr, M. Martin, F. Tonicello, “LCL current control loop stability design,” 10th ESPC, 13 –17 April 2014 Noordwijkerhout, The Netherlands.

- [4.6] S. Pappalardo, C. Ribellino, I. Mirabella et al. “Integrated Current Limiter: Applications tests,” 10th ESPC, 13 –17 April 2014 Noordwijkerhout, The Netherlands.
- [4.7] D. Marroquí, A. Garrigos, J.M. Blanes, R. Gutiérrez and E. Maset, ‘Circuit proposals for high-voltage latching current limiters’, in European Space Power Conference (ESPC), Oct. 2019.
- [4.8] D. Marroquí, J. M. Blanes, A. Garrigós, and R. Gutiérrez, ‘Self-Powered 380 V DC SiC Solid-State Circuit Breaker and Fault Current Limiter’, IEEE Trans. Power Electron., vol. 34, pp. 9600–9608, Oct. 2019’.
- [4.9] W. Konrad, K. Leong, K. Krischan, and A. Muetze, ‘A simple SiC JFET based AC variable current limiter’, in 16th EPE, Finland, 2014, pp. 17.
- [4.10] G. C. Temes and J. W. LaPatra, Introduction to circuit synthesis and design. New York: McGraw-Hill, 1977.
- [4.11] M. März y P.Nance, “Thermal modelling of power-electronic systems” Fraunhofer Institute for Integrated circuits IIS-B,Erlangen.
- [4.12] SCT3022AL, N-Channel SiC power MOSFET, ST, datasheet.
- [4.13] SCTW90N65G2V, N-Channel SiC power MOSFET, ST, datasheet.
- [4.14] C2M0040120D, N-Channel SiC power MOSFET, ST, datasheet.
- [4.15] C2M0045170P, N-Channel SiC power MOSFET, ST, datasheet.
- [4.16] Martin Kuball, James W. Pomeroy, Richard Simms, Gernot J. Riedel, Hangfeng Ji, Andrei Sarua, Michael J. Uren, Trevor Martin, ‘Thermal Properties and Reliability of GaN Microelectronics: Sub-Micron Spatial and Nanosecond Time Resolution Thermography’ in IEEE Compound Semiconductor Integrated Circuits Symposium, 14-17 Oct. 2007.
- [4.17] Antonio Griffo, Jiabin Wang, Kalhana Colombage and Tamer Kamel, ‘Real time measurement of temperature sensitive electrical parameters in SiC power MOSFETs’ in IEEE Transactions on Industrial Electronics (Volume: 65, Issue: 3, March 2018).
- [4.18] LT6105, “Precision, Current Sense Amplifier”, Linear technology datasheet
- [4.19] High-voltage, high-side floating current sensing circuit using current output, current sense amplifier’, Texas instruments Application note, 2018.
- [4.20] TL431, Precision Programmable Reference, Texas Instruments datasheet.

- [4.21] Irving, B.T.; Jovanovic, M.M. Analysis and Design Optimization of Magnetic-Feedback Control Using Amplitude Modulation. *IEEE Trans. Power Electron.* 2009, 24, 426–433.
- [4.22] Sayani, M.; White, R.; Nason, D.; Taylor, W. Isolated feedback for offline switching power supplies with primary-side control. En *Proceedings of the APEC '88 Third Annual IEEE Applied Power Electronics Conference and Exposition*, New Orleans, LA, USA, 1–5 February 1988; pp. 203–211
- [4.23] Texas Instruments. UC1901 Datasheet; Texas Instruments: Dallas, TX, USA, 2010.
- [4.24] Analog Devices. ADUM3190S Datasheet; Analog Devices: Norwood, MA, USA, 2019.
- [4.25] Texas Instruments. CD4093B Datasheet; Texas Instruments: Dallas, TX, USA, 2003.
- [4.26] Pablo F. Miaja, Abraham Lopez and Manuel Arias, “An analog magnetic isolator for space power applications”, *Energies* 2020, 13, 4504.
- [4.27] M. K. Kazimierczuk and D. Czarkowski, *Resonant power converters*, 2nd ed. Hoboken, N.J: Wiley, 2011.
- [4.28] R. L. Steigerwald, ‘A comparison of half-bridge resonant converter topologies’, *IEEE Trans. Power Electron.*, vol. 3, no. 2, pp. 174–182, Apr. 1988.
- [4.29] S. Abdel-Rahman, ‘Resonant LLC Converter: Operation and Design’. 2012.
- [4.30] Basso, Christophe, *Designing Control Loops for Linear and Switching Power Supplies: A Tutorial Guide*.
- [4.31] Frequency Response Analyzer, Model 6320, Venable Instruments, datasheet.
- [4.32] R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics*. New York: Springer, 2012.
- [4.33] IRHNA5S97260, Radiation hardened, P-Channel power MOSFET, IR HiRel technologies, datasheet.

Capítulo 5: Conclusiones y trabajo futuro

En este capítulo se resumen las conclusiones obtenidas durante este trabajo de tesis doctoral. Se presentarán, nuevamente, las conclusiones más relevantes, descritas en los capítulos anteriores, junto con las principales contribuciones derivadas de este trabajo. Finalmente, se detalla la financiación obtenida para la realización de este proyecto, y se proponen líneas futuras de trabajo

5.1.- Conclusiones

Este trabajo plantea la adaptación de diseños aeroespaciales del subsistema de potencia de los satélites a la tendencia actual del mundo aeroespacial, englobada en el concepto “*new space*”, donde se busca la modularidad, el empleo de nuevas tecnologías, más fiabilidad, menor coste y tiempo de desarrollo del producto. Dada la proliferación y el uso masivo de satélites hoy en día, se hace necesario contar con implementaciones que permitan reutilizar ciertos bloques funcionales presentes en los mismos, entre las distintas misiones espaciales. De esta forma, se podrían reducir costes y tiempos de desarrollo.

El **Capítulo 2** se centra en el bus de potencia regulado de los satélites. Se aborda la posibilidad de replantear dicho subsistema a nivel de convertidor, con el objetivo de desarrollar una única topología válida para implementar los distintos bloques que lo forman: el regulador de panel solar (SAR) encargado de extraer energía del panel solar, el regulador de carga de batería (BCR) y el regulador de descarga de batería (BDR), encargados, respectivamente, de extraer e inyectar energía de las baterías, en función del balance neto de potencia en el bus de potencia principal del satélite. En base a lo comentado en este capítulo, se pueden hacer las siguientes consideraciones:

- En lo que respecta a las topologías básicas, desde el punto de vista del rendimiento alcanzado, se destacarían el LLC resonante en puente completo con rectificación síncrona, así como también el DAB, el cual, al tratarse de una topología bidireccional, podría actuar como BCR y BDR al mismo tiempo.
- Se puede plantar una solución modular, basada en tener un convertidor CC/CC, trabajando como transformador de continua, que se encargue de independizar el diseño del SAR del panel solar empleado. En este caso la adaptabilidad entre los distintos puntos

de trabajo pasaría por la interconexión de varios de estos convertidores en serie/paralelo.

En el **Capítulo 3** se aborda el diseño de la etapa del transformador electrónico a nivel de convertidor. Dicha etapa estará formada por varios convertidores CC/CC que, a través de la conexión en serie/paralelo de sus entradas, y fijando la conexión en paralelo de sus respectivas salidas, serán los encargados de adaptar los distintos niveles de tensión y potencia en función de panel solar empleado. De las pruebas realizadas se extraen los siguientes aspectos a destacar:

- La topología seleccionada para la implementación de los distintos módulos DCX, está basada en una topología resonante, cuya ganancia estática es fija y depende únicamente de la ratio de vueltas en el transformador magnético. Esto, unido al hecho de que los distintos módulos comparten el circuito resonante, permite un reparto adecuado de la tensión y potencia de entrada, entre todos los módulos, sin la necesidad de emplear un sistema de control complejo.
- El condensador de salida de los módulos DCX es el propio condensador resonante. Esto hace que el rizado de alta frecuencia en la tensión de salida del módulo DCX no sea despreciable. Sin embargo, este rizado puede filtrarse mediante el propio filtro EMI situado a la entrada del SAR. Esto hace que el diseño del SAR pueda seguir manteniéndose inalterado, ya que no se vería afectado por la presencia del transformador electrónico.
- El hecho de que la ganancia estática de cada módulo solo dependa de la ratio de vueltas del transformador magnético, unido a la estructura matricial escogida, facilita una correcta equalización de las tensiones y corrientes entre los distintos módulos.
- El rendimiento obtenido para cada módulo DCX es muy alto a plena carga (alrededor del 98 %). Este es un aspecto relevante ya que la evacuación de calor supone un hito muy importante en el

diseño de satélites. De esta manera, teniendo en cuenta los altos rendimientos que se consiguen con la topología seleccionada, el subsistema térmico de los satélites no se vería afectado.

El **Capítulo 4** se centra en el diseño de un limitador de corriente de enclavamiento (LCL) basado en un dispositivo N-MOS de SiC, en contraposición con las topologías clásicas basadas en el uso de semiconductores P-MOS como dispositivos limitadores de corriente. Estos dispositivos de canal P presentan mayores pérdidas en conducción debido sobre todo a que sus resistencias de canal presentan valores más altos. Del análisis e implementación de esta nueva arquitectura del LCL basada en N-MOS, se obtienen las siguientes conclusiones:

- El prototipo desarrollado para un LCL clase 10, y una tensión de bus de 100 V, ha sido verificado de manera experimental, y cumple con el funcionamiento esperado. Dicho prototipo conduce la corriente de clase, ante una sobrecorriente el LCL limita el valor de la corriente, en función de la referencia, y finalmente se apaga en el tiempo establecido.
- Teniendo en cuenta la implementación y las distintas etapas que forman la arquitectura, junto con el diseño del lazo de control de control, este diseño es lo suficientemente flexible como para ser adaptado a mayores niveles de tensión de bus, pensando, por ejemplo, entre 120 V – 150 V.
- Cabe destacar la relación obtenida entre el factor Q_{tank} , el ancho de banda, y la ratio F_R/F_{SW} en la etapa DCX. Al final, cuando mayor es el parámetro Q_{tank} , menor será el valor del ancho de banda a 3dB y de la ganancia de la etapa DCX (G_{tank}). De esta manera, se pueden plantear diseños de esta etapa con altas ganancias y anchos de banda considerables para valores de Q_{tank} pequeños, y para ratios F_R/F_{SW} cercanas a la unidad.

- En comparación con las arquitecturas clásicas de LCLs basados en dispositivos P-MOS, el diseño propuesto presenta una menor disipación, de toda la arquitectura frente a la disipación presentada única por el propio P-MOS.

5.2.- Trabajo futuro

A raíz de las tareas realizadas en este trabajo, se identifican las siguientes líneas para continuar con la investigación:

Desde el punto de vista del sistema de potencia principal del satélite, cabe la posibilidad de plantear otras topologías que puedan usarse para adaptar los distintos niveles de tensión y potencia desde un punto de vista modular. En este sentido, cabe plantear una comparativa entre las distintas topologías seleccionadas, incluyendo la descrita en este trabajo, para establecer ventajas e inconvenientes desde el punto de vista de la modularidad, control, reparto de tensiones y potencias, análisis de fallos, emulación de panel solar, etc.

Considerando la topología DCX seleccionada, y al tratarse de una prueba de concepto, las señales de gobierno de los transistores se han implementado de manera digital, programados en una misma FPGA, ya que eso permitía cambios ágiles en los parámetros de control. Siguiendo con esta línea, cabe la posibilidad de plantear un control analógico de dichos transistores. En este sentido, la circuitería analógica a desarrollar deberá incluir aspectos habituales como la detección y aislamiento de fallos, la generación de tiempos muertos y, sobre todo, un sistema para implementar el desfase óptimo entre ramas.

Desde el punto de vista del sistema de distribución, se plantea la posibilidad de implementar un limitador de corriente de enclavamiento conmutado. En este caso, cuando el LCL tenga que estar trabajando en modo lineal, el dispositivo N-MOS no estaría en zona lineal disipando una gran cantidad de potencia, sino que estaría

trabajando en conmutación. De esta manera, se conseguiría reducir el estrés térmico del semiconductor cuando esté trabajando en zona lineal. La topología pensada para su implementación podría estar basada en un convertidor reductor (*buck*), donde la señal de gobierno del N-MOS se generaría a través de un control por histéresis. De este modo, se podría medir la corriente en la bobina del convertidor, compararla con los niveles de corriente máximo y mínimo para cada clase de LCL, y en función de dicha comparación, generar la señal de gobierno de N-MOS, que haría que dicho semiconductor estuviese trabajando en conmutación durante el período de limitación de corriente correspondiente. Esta aplicación plantea a su vez un diseño muy particular de la bobina presente en la topología de convertidor reductor, ya que para su diseño habrá que considerar, por un lado, una zona de funcionamiento nominal en la cual el nivel de corriente en el convertidor será la corriente nominal de cada clase de LCL, y por otro lado, una zona de funcionamiento, muy limitada en el tiempo, derivada de una sobrecorriente, en la que el convertidor trabajará con unos valores máximos y mínimos de corriente, por encima del nominal.

5.3.- Contribuciones

Las principales contribuciones de este trabajo de tesis se pueden resumir de la siguiente forma:

- **Análisis de topologías para la simplificación del bus de potencia en satélites.** El objetivo de este estudio se basa en poder presentar una serie de topologías, robustas y que puedan ser utilizadas para la implementación de los bloques SAR, BCR y BDR en el bus de potencia principal de los satélites. De la misma manera, se plantea una solución modular, basada en convertidores CC/CC, que permite la independencia del SAR del panel solar empleado.

✓ Véase la publicación I

- **Propuesta e implementación de etapa modular para independizar el SAR del panel solar empleado.** En este caso se desarrollan prototipos, siguiendo la topología seleccionada, que permite verificar de manera experimental el que se puede tener una etapa intermedia entre el panel solar y el SAR. El hecho de presentar conexiones serie/paralelo de la topología seleccionada, verificando que la ecualización y el reparto de tensiones y potencias es el adecuado, se considera una contribución nueva de este trabajo. De la misma manera, todo lo que tiene que ver con el análisis de las tolerancias, el ajuste fino del nivel de tensión, dependiente del número de transformador magnéticos, y su utilización como emulador de panel solar, se consideran aportaciones novedosas por parte de este trabajo de tesis.

✓ Véanse las publicaciones C y F

- **Propuesta e implementación de una arquitectura de LCL basada en dispositivo limitador de corriente N-MOS de SiC.** La arquitectura de LCL desarrollada, basada en N-MOS de SiC, ha sido probada para un LCL clase 10, verificando su correcto funcionamiento, tanto en modo de operación normal como en limitación. Dicha arquitectura, junto con la guía de diseño de sus principales etapas, se consideran una contribución de este trabajo.

Véanse las publicaciones A, B, D, G y H

5.4.- Publicaciones

El trabajo desarrollado en este documento de tesis ha dado lugar a las siguientes publicaciones en revista internacional, congreso internacional y congreso nacional.

5.4.1.- Publicaciones en revista internacional:

- A. **Título:** *Circuit proposal of a latching current limiter for space applications based on a SiC N-MOSFET*. **Revista:** IEEE Journal of Emerging and Selected Topics in Power Electronics (JESTPE), pp. 1-1, 2022. **Autores:** Abraham López, Pablo F. Miaja, Manuel Arias y Arturo Fernández. **DOI:** 10.1109/JESTPE.2022.3163585.
- B. **Título:** *An analog magnetic isolator for space power applications*. **Revista:** MDPI Energies, pp 13-17. 2020. **Autores:** Pablo F. Miaja, Abraham López, y Manuel Arias. **DOI:** 10.3390/en13174504.

5.4.2.- Publicaciones en congreso internacional:

- C. **Título:** *Analysis and design of a resonant DC/DC converter in modular operation*. **Congreso:** European Conference on Power Electronics and Applications (EPE), 2022. **Autores:** Abraham López, Pablo F. Miaja, Manuel Arias y Arturo Fernández. **DOI:** Aceptado pero no indexado.

- D. **Título:** *Analysis and design of a latching current limiter based on a SiC N-MOSFET*. **Congreso:** Energy Conversion Congress and Exposition (ECCE), 2021. **Autores:** Abraham López, Pablo F. Miaja, Manuel Arias y Arturo Fernández. **DOI:** 10.1109/ECCE47101.2021.9595074.
- E. **Título:** *High efficiency bus provider for VLC applications based on an asymmetrical half bridge converter with a resonant DCX auxiliary output*. **Congreso:** 47th Annual Conference of the IEEE Industrial Electronics Society (IECON), 2021. **Autores:** Theyllor H. Oliveira, Manuel Arias, Diego G. Lamar, Daniel G. Aller y Abraham López. **DOI:** 10.1109/IECON48115.2021.9589418.

5.4.3.- Publicaciones en congreso nacional:

- F. **Título:** *Análisis y diseño de convertidores modulares para la estandarización del bus de potencia en satélites*. **Congreso:** Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI), 2022. **Autores:** Abraham López, Manuel Arias, Pablo F. Miaja y Arturo Fernández.
- G. **Título:** *Análisis y diseño de un limitador de corriente de enclavamiento basado en un MOSFET tipo N de SiC*. **Congreso:** Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI), 2021. **Autores:** Abraham López, Pablo F. Miaja, Manuel Arias y Arturo Fernández.

- H. **Título:** *Análisis y diseño de un aislador analógico para el control de un MOSFET de canal N en un limitador de corriente de enclavamiento.* **Congreso:** Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI), 2020. **Autores:** Abraham López, Pablo F. Miaja, Manuel Arias y Arturo Fernández.
- I. **Título:** *Análisis de topologías para simplificación del bus de potencia en satélites.* **Congreso:** Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI), 2019. **Autores:** Abraham López, Manuel Arias, Pablo F. Miaja y Arturo Fernández.

5.5.- Financiación

Este trabajo de tesis ha sido financiado por el gobierno español a través del proyecto RTI2018-099682-A-I00, y a través de la beca predoctoral PRE2019-088425. De la misma manera, también se ha obtenido financiación de la Agencia Espacial Europea (ESA), a través del contrato “*SiC Latching Current Limiter Study*”. Otras fuentes de financiación han sido el gobierno de España a través del proyecto PID2021-127707OB-C21 y el gobierno del Principado de Asturias y la FICYT a través del proyecto SV-PA-21-AYUD/2021/51931.

Lista de símbolos

Capítulo 2:

$A_{\text{pierna_central}}$	Área de la sección transversal del núcleo magnético
A_w	Área de ventana del núcleo magnético
A_e	Área efectiva del núcleo empleado
A_c	Área del núcleo
B_{sat}	Nivel de saturación del campo magnético en el núcleo
$C_t (V)$	Valor de la capacidad parásita para un valor de tensión ‘V’
c	Valor obtenido del material magnético empleado
D	Porcentaje de tiempo durante el que se aplica V_{pri} en L_m
$D_{\text{núcleo}}$	Profundidad del núcleo magnético
F_{sw}	Frecuencia de conmutación
f_w	Factor de ventana
g	Valor del entrehierro empleado en el diseño magnético
H_{cobre}	Altura del cobre devanada sobre el núcleo
$H_{\text{núcleo}}$	Altura del núcleo
I_{rms}	Valor eficaz de corriente
I_{ds}	Valor de la corriente drenador-fuente en MOSFET
I_{dr}	Valor de la corriente proporcionada por el <i>driver</i>
I_{avg}	Valor medio de la corriente
I_{ac}	Valor pico-pico de la corriente en la inductancia
I_{mac}	Valor de pico de la corriente magnetizante
K_w	Factor de aprovechamiento del núcleo magnético
L_{ventana}	Longitud de la ventana del núcleo magnético

LISTA DE SÍMBOLOS

L	Valor de la inductancia
L_m	Valor de la inductancia magnetizante del transformador
l_m	Longitud media del cobre
l_e	Longitud equivalente del núcleo magnético
Q_g	Carga de puerta de un MOSFET
Q_{rr}	Carga de recuperación inversa en el diodo
N	Número de vueltas en componente magnético
N_{\min}	Número mínimo de vueltas en la bobina
P_{cond}	Pérdidas en conducción
P_{cobre}	Pérdidas en el cobre
$P_{\text{núcleo}}$	Pérdidas en el núcleo
P_{sw}	Pérdidas en conmutación
P_{gate}	Pérdidas de puerta en MOSFET
P_{cap}	Pérdidas debidas a la capacidad parásita en un semiconductor
P_{rr}	Pérdidas asociadas el efecto de recuperación inversa en diodo
R_{dson}	Valor de la resistencia de canal del MOSFET
R_d	Resistencia dinámica de un diodo
$R_{th\text{cobre}}$	Resistencia térmica de la capa de <i>solithane</i> en el cobre
$R_{th_núcleo}$	Resistencia térmica de la capa de <i>solithane</i> en el núcleo
T_{ref}	Temperatura de referencia en el diseño de los magnéticos
T_j	Temperatura de la unión de un semiconductor
T_{cobre}	Temperatura en el cobre
$T_{\text{núcleo}}$	Temperatura del núcleo magnético
V_{ds}	Tensión drenador-fuente en MOSFET
V_e	Volumen efectivo del núcleo magnético
V_{dr}	Tensión proporcionada por el <i>driver</i>
V_γ	Tensión de codo del diodo

V_r	Tensión inversa soportada por el diodo
V_{ol}	Volumen del núcleo magnético seleccionado
V_{pri}	Tensión aplicada en la inductancia magnetizante
x	Valor obtenido del material magnético empleado
y	Valor obtenido del material magnético empleado
α	Coefficiente de temperatura
$\alpha V\gamma$	Coefficiente de temperatura para la variación de $V\gamma$
α_{Rd}	Coefficiente de temperatura para la variación de R_d
ρ	Valor de la resistividad del cobre
λ_{cobre}	Valor de la conductividad del cobre
$\lambda_{solithane}$	Valor de la conductividad de la capa de <i>solithane</i>
η	Rendimiento
μ_0	Valor de la permeabilidad absoluta
μ_r	Valor de la permeabilidad relativa del material magnético

Capítulo 3:

A	Parámetro empleado en la simplificación de funciones
C_O	Condensador de salida del módulo DCX
C_{eq}	Condensador equivalente en la asociación de módulos DCX
d	Ciclo de trabajo del módulo
D_1 - D_2	Diodos rectificadores del módulo DCX
drL	Deriva en el valor de las inductancias de dispersión
drC	Deriva en el valor del condensador de salida
$+dr, -dr$	Valor positivo y negativo de la deriva
f_{sw}	Frecuencia de conmutación del módulo DCX
f_r	Frecuencia de resonancia

LISTA DE SÍMBOLOS

G_V	Ganancia estática de los módulos DCX
G_{VTE}	Ganancia de la etapa 'transformador electrónico'
I-V	Curva corriente (I)- tensión (V) de un panel solar
i	Número adicional de transformadores magnéticos
I_{SA}	Corriente a la salida del panel solar
I_{SC}	Corriente de cortocircuito
I_{LK}	Corriente instantánea a través de los diodos rectificadores
$\langle I_{LK} \rangle$	Valor medio de la corriente instantánea a través de los diodos rectificadores
$I_{SARmáx}$	Corriente máxima en el bloque SAR
$I_{SARmín}$	Corriente mínima en el bloque SAR
I_O	Corriente de salida del módulo DCX
I_O'	Corriente de salida del módulo DCX equivalente
I_{MP}	Corriente en el punto de máxima potencia del panel solar
L_{lki}	Valor de las inductancias de dispersión del módulo DCX i-esimo
L_{eq}	Valor de la inductancia equivalente de asociar los i módulos DCX
L_{nom}	Valor nominal de las inductancias de dispersión
m_s	Número de módulos DCX conectados en serie
m_p	Número de módulos DCX conectados en paralelo
M_1-M_4	MOSFETs del primario de los módulos DCX
n	Ratio de vueltas del transformador magnético
n_{ref}	Ratio de referencia en el transformador magnético, para el cálculo del número de transformadores magnéticos necesarios
P_O	Potencia nominal procesada por cada módulo DCX
P_{nom}	Potencia nominal del SAR
r	Ratio para definir el rango de tensiones de entrada, normalizado, en el SAR
$SN_{i,j}$	Nodos de conmutación de los circuitos equivalentes de los

LISTA DE SÍMBOLOS

	módulos DCX
T_{wait}	Tiempo de espera para el inicio de la nueva resonancia
$T_{\text{wait_máx}}$	Tiempo de espera máximo para el inicio de la nueva resonancia
T_{res}	Período de resonancia
T_{sw}	Período de conmutación
t_1	Intervalo de tiempo de la resonancia en el diodo D_1
$T_{\text{on_máx}}$	Intervalo de tiempo en el que la tensión en el secundario del transformador es positiva
V_O	Tensión de salida del módulo DCX
V_{in}	Tensión de entrada del módulo DCX
V_{SA}	Tensión de salida del panel solar
V_{sec}	Tensión en el secundario del transformador magnético
$V_{\text{inmáx}}$	Tensión de entrada máxima en la etapa TE
V_{SARref_i}	Tensión de referencia en el panel solar cuando se emplean i módulos
V_{SAOC}	Tensión de circuito abierto a la salida del panel solar
$V_{\text{SAR_OC_mín}}$	Tensión mínima de circuito abierto a la salida del SAR
$V_{\text{SAR_OC_máx}}$	Tensión máxima de circuitos abierto a la salida del SAR
V_{SAMMP}	Tensión en el punto de máxima potencia a la salida del panel solar
V_{SARMMP}	Tensión en el punto de máxima potencia a la salida del SAR
$V_O(T_{\text{res}})$	Tensión de salida al final del período de resonancia
$V_O(0)$	Tensión de salida en el punto inicial de la resonancia
V_{co}	Tensión en el condensador de salida C_o
V_{MP}	Tensión en el punto de máxima potencia del panel solar
V_{GS}	Tensión puerta-fuente en los MOSFETs del primario
V_{DS}	Tensión drenador-fuente en los MOSFETs del primario
V_{ini_j}	Tensión de entrada en los módulos DCX i,j
ω_i	Valor de la pulsación asociada a la resonancia entre C_o y L_{LKi}

ω_r	Pulsación equivalente para la asociación de varios módulos DCX
Z_c	Impedancia característica del circuito resonante
θ	Ángulo de conducción
Δi_{max}	Máximo desviación de corriente respecto de la distribución de corriente ideal
ΔI_v	Incremento de corriente
$\langle \Delta I_v \rangle$	Diferencia de corriente media entre diodos
ΔI_d	Corriente inicial conducida por los diodos
δ	Tolerancias en componentes del circuito resonante

Capítulo 4:

C_{tank}	Condensador del circuito resonante en el DCX
C_1	Condensador del regulador tipo II
C_2	Condensador del regulador tipo II
C_{in}	Capacidad parásita equivalente de entrada del N-MOS
C_{dg}	Capacidad parásita drenador-puerta del N-MOS
C_{gd}	Capacidad parásita puerta-drenador del N-MOS
C_{ds}	Capacidad parásita drenador-fuente del N-MOS
C_{timer}	Condensador del circuito de temporización
C_{SS}	Condensador del circuito de arranque suave
$C(s)$	Función de transferencia del regulador tipo II implementado
C_b	Condensador del filtro entre la salida del LCL y la carga
C_f	Condensador del filtro entre la salida del LCL y la carga
C_{th}	Valor de capacidad empleado en los modelos térmicos
C_{osc}	Condensador para la implementación el oscilador
d	Drenador del N-MOS

LISTA DE SÍMBOLOS

F_R	Frecuencia de resonancia de la topología LLC-DCX
F_{SW}	Frecuencia de conmutación de la topología LLC-DCX
G_{tankLLC}	Ganancia del circuito resonante en la topología LLC-DCX
G_{sensor}	Ganancia del sensor de corriente
$G_{\text{vin_vo_DCX}}$	Audiosusceptibilidad de la etapa LLC-DCX
g_m	Transconductancia del N-MOS
G_{i_uc}	Función de transferencia entre la corriente medida, y la tensión de salida de la etapa LLC-DCX
G_{LCL}	Función de transferencia que caracteriza la planta del lazo de control de corriente en el LCL
g	Terminal de puerta del N-MOS
i	Corriente medida, en el modelo de pequeña señal
I_N	Valor de la corriente de clase (nominal) en el LCL
I_{lim}	Valor de la corriente de limitación en el LCL
I_{UVLO}	Corriente en la sección de protección frente a infratensión
$I_{\text{ref_mirror}}$	Corriente de referencia en el espejo de corriente en la sección de temporización
$I_{\text{ref_mirror_UVLO}}$	Corriente de referencia en el espejo de corriente en la sección de protección frente a infratensión
I_{timer}	Corriente reflejada en el espejo de corriente de la sección de temporización
I_{sense}	Corriente medida en el LCL en los resultados experimentales
L_{Lk}	Inductancia de dispersión de transformador magnética de la etapa LLC-DCX
L_m	Inductancia magnetizante del transformador magnético de la etapa LLC-DCX
L_f	Valor de la inductancia del filtro entre la salida del LCL y la carga
NPN_{reset}	Transistor bipolar en la sección de temporización
NPN_{set}	Transistor bipolar de la sección de protección frente a infratensión

LISTA DE SÍMBOLOS

NPN_{ref}	Transistor bipolar de la sección de protección frente a infratensión
P_{dis_nom}	Potencia disipada por el N-MOS en modo óhmico
$P_{dis_overshoot}$	Potencia disipada por el N-MOS en la sobrecorriente
P_{dis_linear}	Potencia disipada por el N-MOS en modo lineal
$PNP I$	Transistor bipolar de la sección de protección frente a infratensión
$PNP II$	Transistor bipolar de la sección de protección frente a infratensión
PNP_{tempI}	Transistor bipolar de la sección de temporización
PNP_{tempII}	Transistor bipolar de la sección de temporización
PNP_{SS}	Transistor bipolar de la sección de arranque suave
Q_{tank}	Factor Q del circuito resonante en la etapa LLC-DCX
R_{DS}	Resistencia de canal del N-MOS
R_{p1}	Resistencia de pérdidas del primario de transformador magnético de la etapa LLC-DCX
R_{p2}	Resistencia de pérdidas del secundario de transformador magnético de la etapa LLC-DCX
R_{iLLC}	Resistencia equivalente del rectificador de onda completa de la etapa LLC-DCX
R_L	Resistencia de carga de la etapa LLC-DCX
R_e	Resistencia equivalente, a partir de la asociación en serie entre R_{iLLC} , R_{p1} y R_{p2}
R_1	Resistencia empleada en el divisor resistivo de la sección de temporización
R_2	Resistencia empleada en el divisor resistivo de la sección de temporización
R_{sense}	Resistencia empleada para la medida de la corriente en el LCL
R_f	Resistencia del filtro entre la salida del LCL y la carga
R_{mirror_UVLO}	Resistencia empleada en el espejo de corriente de la sección

	de protección contra infratensión
R_{g1}	Resistencia empleada en el espejo de corriente de la sección de temporización
R_{g2}	Resistencia empleada en el espejo de corriente de la sección de temporización
R_{mirror}	Resistencia empleada en el espejo de corriente de la sección de temporización
R_{bias}	Resistencia de polarización del integrado TL431
R_{th}	Valor de resistencia empleado en los modelos térmicos
R_{trp}	Resistencia térmica entre el punto de referencia de temperatura y el dispositivo
$R_{th} \cdot r(t)$	Respuesta térmica transitoria del dispositivo N-MOS
R_{osc}	Resistencia para la implementación del oscilador
s	Terminal de fuente del N-MOS
T_{j_start}	Temperatura inicial en la unión del N-MOS
T_{j_rise}	Incremento de temperatura en la unión del N-MOS
$T_{j_m\acute{a}x}$	Temperatura máxima alcanzada en la unión del N-MOS
u_c	Tensión de salida de la etapa LLC-DCX, en el modelo de pequeña señal
u_{ds}	Tensión drenador-fuente del N-MOS en el modelo de pequeña señal
u_{gs}	Tensión puerta-fuente del N-MOS en el modelo de pequeña señal
V_{bus}	Tensión del bus principal en el LCL
V_{supply}	Tensión de alimentación auxiliar en el LCL
V_{puente}	Tensión a la salida de la etapa diferencial del primario en el LLC-DCX
V_{in}	Tensión de entrada de la etapa LLC-DCX
V_{pri}	Tensión en el primario de la etapa LLC-DCX
V_{OE}	Tensión a la salida del LLC-DCX

LISTA DE SÍMBOLOS

V_{OAC}	Tensión de salida del rectificador de onda completa, en la etapa LLC-DCX bajo el análisis del primer armónico
V_{iLLC}	Tensión en la carga equivalente R_{iLLC} del análisis del primer armónico
V_{medido}	Tensión de entrada del regulador tipo II
V_{ref}	Tensión de referencia del regulador tipo II
V_{lazo}	Tensión de salida del regulador tipo II
V_{diff}	Tensión drenador-fuente en la etapa de temporización
V_{Ctimer}	Tensión en el condensador de la etapa de temporización
V_C	Tensión de carga del condensador situado entre la salida del LCL y la carga
V_{out}	Tensión genérica de salida del aislador analógico
ω_s	Pulsación asociada a la frecuencia de conmutación
Z_{tank}	Impedancia del circuito resonante de la etapa LLC-DCX
Z_1	Impedancia equivalente de la asociación en serie entre R_{iLLC} , R_{p2} y L_{lk2}
Z_{eq}	Impedancia equivalente de la asociación en paralelo entre Z_1 y L_m
Z_{load}	Impedancia de carga vista por el LCL
Z_{oDCX}	Impedancia de salida de la etapa LLC-DCX

Lista de acrónimos

Capítulo 1:

AOCS	Sistema de control de inclinación en órbita, del inglés <i>Attitude Orbital Control System</i>
BCR	Regulador de carga de batería, del inglés <i>Battery Charge Regulator</i>
BDR	Regulador de descarga de batería, del inglés <i>Battery Discharge Regulator</i>
CC	Corriente Continua
CDHS	Sistema de tratamiento de datos, del inglés <i>Command Data Handling System</i>
DCX	Transformador de continua
LCL	Limitador de corriente de enclavamiento, del inglés <i>Latching Current Limiter</i>
LEO	Órbita terrestre baja, del inglés <i>Low Earth Orbit</i>
MEA	Amplificador principal de error, del inglés <i>Mean Error Amplifier</i>
MOSFET	Transistor de efecto de campo metal-óxido-semiconductor, del inglés <i>Metal-oxide-Semiconductor field effect transistor</i>
SiC	Carburo de Silicio
SAR	Regulador de panel solar, del inglés <i>Solar Array Regulator</i>

Capítulo 2:

DAB	<i>Dual active bridge</i>
FMECA	<i>Failure modes, effects and criticality analysis</i>
FCC	Fallo por cortocircuito
FCA	Fallo por circuito abierto
LLC	Convertidor bobina (L), bobina (L), condensador (C)
OC	Circuito abierto, del inglés <i>Open-circuit</i>
RS	Rectificación síncrona
SC	Cortocircuito, del inglés <i>short-circuit</i>
TE	Transformador electrónico

Capítulo 3:

EMI	Interferencia electromagnética, del inglés <i>Electromagnetic Interference</i>
ISOP	Entrada-serie, salida paralelo, del inglés <i>Input series, output parallel</i>
IPOP	Entrada-paralelo, salida paralelo, del inglés <i>Input parallel, output parallel</i>
MPPT	Seguidor del máximo punto de potencia, del inglés <i>Maximum power point tracker</i>
PCB	Placa de circuito impreso, del inglés <i>Printed Circuit Board</i>
SOA	Área de operación segura, del inglés <i>Safe operating area</i>
ZCS	Conmutación a corriente cero, del inglés <i>Zero current switching</i>
ZVS	Conmutación a tensión cero, del inglés <i>Zero voltage switching</i>

Capítulo 4:

AFH	Amplitud del primer armónico, del inglés <i>First harmonic amplitude</i>
ECCS	Cooperación Europea para la estandarización espacial, del inglés <i>European cooperation for Space standardization</i>
FHA	Análisis del primer armónico, del inglés <i>First harmonic analysis</i>
GaN	Nitruro de galio
HLCL	Limitador de corriente de enclavamiento encargado de controlar cargas puramente resistivas, del inglés <i>Heater latching current limiter</i>
JFET	Transistor de efecto de campo de unión, del inglés <i>Junction field effect transistor</i>
NMOS	Transistor de efecto de campo metal-óxido-semiconductor de canal N, del inglés <i>Channel N, Metal-oxide-Semiconductor field effect transistor</i>
PMOS	Transistor de efecto de campo metal-óxido-semiconductor de canal P, del inglés <i>Channel P Metal-oxide-Semiconductor field effect transistor</i>
RLCL	Limitador de corriente de enclavamiento reactivable, del inglés <i>Retriggerable latching current limiter</i>
SS	Arranque suave, del inglés <i>Soft start</i>
UVLO	Sección de protección frente a infratensión, del inglés <i>Undervoltage lockout section</i>
WBG	Materiales de banda prohibida ancha, del inglés <i>Wide bandgap materials</i>

