



Universidad de Oviedo
Universidá d'Uviéu
University of Oviedo

Análisis, diseño y construcción de un
proveedor de bus para sistemas de
distribución en corriente continua
domésticos

Kevin Martín Díaz



Universidad de Oviedo
Universidá d'Uviéu
University of Oviedo

**Análisis, diseño y construcción de un
proveedor de bus para sistemas de
distribución en corriente continua
domésticos**

Kevin Martín Díaz

Tesis dirigida por:

Dr. Francisco Javier Sebastián Zúñiga

Dr. Aitor Vázquez Ardura

Programa de Doctorado en Ingeniería Eléctrica y Electrónica
Departamento de Ingeniería Eléctrica, Electrónica, de Computadores y Sistemas

2018



Universidad de Oviedo
Universidá d'Uviéu
University of Oviedo

Analysis, design and construction of a bus
provider for domestic direct current power
distribution systems

Kevin Martín Díaz

Thesis directed by:

Dr. Francisco Javier Sebastián Zúñiga

Dr. Aitor Vázquez Ardura

PhD Programme in Electrical and Electronic Engineering
Department of Electrical, Electronic, Computer and Systems Engineering

2018

Ai miei genitori

Resumen

El objetivo de este trabajo es proporcionar una guía de diseño para el convertidor que genera y regula el bus de baja tensión en un Sistema de Distribución de Energía en Corriente Continua (SDC) doméstico. El diseño de este Proveedor de Bus (PdB) se ha optimizado para operar con una alta eficiencia y una buena calidad de suministro eléctrico, gestionando flujos de potencia bidireccionales. Se estudia además la interacción entre el PdB y las cargas y fuentes de energía conectadas por el usuario a los buses de baja tensión, dando directrices para asegurar la estabilidad del sistema. Este trabajo se plantea con la mayor generalidad posible para poder aplicar los procedimientos descritos a otros convertidores del SDC.

Este trabajo de tesis comienza con una introducción a los sistemas de distribución de energía eléctrica, repasando su historia, características principales y diferentes aplicaciones en el **Capítulo 1**. En este se detallan, además, los objetivos, las contribuciones realizadas en este trabajo y las publicaciones asociadas.

En el **Capítulo 2** se realiza un análisis de los sistemas de distribución de energía que se utilizan actualmente en entornos domésticos y espacios ocupados. Puesto que no existe un estándar ampliamente aceptado que regule la distribución de energía eléctrica en corriente continua en el hogar, se propone una arquitectura para el SDC que se adapta a las necesidades del usuario a la vez que proporciona una solución sencilla, segura y eficiente. En base a las conclusiones alcanzadas tras el análisis, en este capítulo se escogen los parámetros eléctricos del sistema y el número de buses a utilizar, se dimensiona el PdB y se seleccionan los convertidores que lo integrarán.

En el **Capítulo 3** se aborda el diseño del convertidor reductor síncrono que se integra en el PdB. En primer lugar, se realiza un análisis sobre los requisitos de diseño en un SDC doméstico como interfaz con el usuario. Teniendo en cuenta las restricciones encontradas, se propone un procedimiento de diseño sencillo para minimizar las pérdidas cumpliendo con los requisitos impuestos.

Puesto que este procedimiento de diseño exige tomar un reducido número de decisiones de forma arbitraria, en este capítulo se realiza un estudio del efecto que tienen dichos parámetros de diseño sobre los resultados obtenidos. Se consideran además diferentes métodos de control, estudiando sus ventajas e inconvenientes con respecto al control en modo tensión. Finalmente se examina el efecto que estos métodos de control tienen sobre el algoritmo de diseño propuesto en el capítulo anterior para el convertidor reductor síncrono y se describe con detalle cómo adaptar su implementación tradicional a las necesidades impuestas por su integración en el PdB. Los resultados teóricos obtenidos en este capítulo se verifican con la construcción de varios prototipos de convertidor reductor síncrono, con diferentes etapas de potencia y controles, sobre los que se realizan medidas experimentales.

En el **Capítulo 4** se realiza un estudio del *Dual Active Bridge* (DAB) de forma análoga al que se hace para el convertidor reductor síncrono. En este capítulo se estudian en primer lugar las características del DAB y su mecanismo de conmutación suave. Se propone

una modificación del procedimiento de diseño propuesto para minimizar las pérdidas del DAB utilizando un único elemento magnético que integra la inductancia de dispersión y la inductancia magnetizante y asegura la conmutación suave en todo el rango de potencias. En este capítulo se realiza también un estudio del comportamiento dinámico del DAB y se compara con los modelos existentes. Finalmente, se construye un prototipo del DAB sobre el que se validan experimentalmente los resultados teóricos obtenidos.

En el **Capítulo 5** se integra el DAB dentro del del PdB y se estudia su comportamiento dinámico cuando este tiene que gestionar la energía procesada por los múltiples reductores síncronos que forman la interfaz con el usuario. De los resultados obtenidos de esta integración se extraen conclusiones sobre posibles mejoras del sistema para incrementar su robustez y fiabilidad. La verificación experimental se realiza colocando cinco reductores síncronos a la salida del DAB para proporcionar cinco canales independientes de 24 V y 100 W desde un bus de 380 V. Se utilizan además cargas pasivas y cargas activas para simular condiciones reales de funcionamiento del PdB.

Finalmente, el en **Capítulo 6** se extraen las conclusiones más relevantes de este trabajo así como líneas de investigación futuras en este campo.

Abstract

The main objective of this work is to provide design guidelines for the power converter which provides and manages the low voltage bus in a domestic Direct Current Power Distribution System (SDC). The design of this Bus Provider (PdB) has been optimized to be highly efficiency while providing a good power quality and managing bidirectional power flows. Additionally, the interaction of the PdB with the different loads and power sources that the user can connect to the low voltage bus is analysed, providing rules to ensure the system stability. This work is performed in a generalized manner in order to be able to apply the described procedures to different topologies or applications.

This work starts with an introduction to power distribution systems. **Chapter 1** provides an overview of their history, main features and different applications where they are commonly used. The objectives, contributions and publications associated with this work are also detailed in this chapter.

Chapter 2 analyses the power distribution systems which are currently used for domestic and occupied spaces. As there is no widely accepted standard for DC power distribution at home, an architecture for the SDC is proposed in order to fulfil the user needs and provide a simple, safe and efficient solution. Based on this proposal, the electrical characteristics of the system and the number of buses are defined, the PdB is sized and the topology of the converters which will be used are chosen.

Chapter 3 deals with the design of the synchronous buck converter which is part of the PdB. First of all, a thorough analysis of the design requirements of the domestic user interface is performed. Taking into account these findings, a design procedure is proposed in order to minimize the losses of the buck converter while complying with the imposed requirements.

As this design procedure requires the arbitrary selection of a small amount of parameters, this chapter analyses how each of them affects the procedure outcomes. Different control methods are also considered, discussing their advantages and disadvantages compared with the voltage mode control. Finally, the effect these controls have on the proposed design procedure is assessed, also describing how the practical implementation has to be adapted to account for the bidirectional operation modes and the PdB requirements. The theoretical results from this chapter are verified by building and testing several synchronous buck converter prototypes, with different power stages and control implementations. Thorough measurements are performed to validate the proposed design procedure.

Chapter 4 analyses the Dual Active Bridge (DAB) in a similar manner to the study performed in the previous chapter for the buck converter. In this chapter, the main features of the DAB are studied, as well as its soft switching mechanism. A modified design procedure is proposed for this topology, integrating the leakage and magnetizing inductances in a single magnetic core in order to ensure soft switching in the whole operating power range. In this chapter, the dynamic behaviour of the DAB is also studied and the ob-

tained results are compared with the existing models. A DAB prototype is built in order to experimentally validate the analysis performed in this chapter.

In **Chapter 5** the DAB is installed within the PdB and its dynamic behaviour is studied then it has to manage the power flows of the multiple buck converters which provide the PdB's user interface. Conclusions are drawn from the theoretical and experimental results, leading to suggestions about how to enhance the system increasing its robustness and reliability. The experimental verification is performed by assembling a PdB with the DAB prototype and five identical synchronous buck converters, providing five independent 24 V, 100 W channels from a single 380 V bus. Passive and active loads are used to simulate real operating conditions.

Finally, **Chapter 6** summarizes the outcomes of this work as well as future research lines in this field.

Agradecimientos

En primer lugar quiero agradecer a mis directores de tesis, Javier Sebastián y Aitor Vázquez, toda la ayuda prestada y las ingentes cantidades de tiempo que me han dedicado. A Javier podría darle las gracias por sus ideas, por echarme una mano cuando nada funciona y por las audiencias eternas en las que acabábamos resolviendo los problemas con un artículo del PESC'82. Sin embargo, lo que más le debo agradecer es su entusiasmo, su dedicación a la docencia y a la electrónica y haber estado ahí siempre que le necesitaba. A Aitor tengo que agradecerle su inestimable ayuda, trabajando conmigo en el laboratorio más como un compañero que un director de tesis. Y, como no, aquel Ferrero Rocher que le metió en este lío.

También me gustaría agradecer a Dragan Maksimović por acogerme en el CoPEC y tratarme como a uno más de sus estudiantes. Una experiencia muy enriquecedora, no sólo desde un punto de vista técnico sino también vital. Podríamos decir que todo fue *great...*

Diego, Manu y Pablo también se merecen un agradecimiento especial. Uno al principio, otro al final y otro telemáticamente, han ayudado con sus ideas, consejos y experiencia a que este proyecto haya llegado a buen puerto. Al final era verdad que el ANRI somos todos. *Zenkiu* pollos.

Igualmente, esto no hubiese sido lo mismo sin Marta, Alberto, María, Juan, Dani y Mariam. Cada uno a su manera me han ayudado estos cuatro años a seguir probando controles, rompiendo MOSFETS y tirando simulaciones sin tirar la toalla o los prototipos por la ventana.

A Nacho no solo le debo muchos favores sino también un párrafo. Y es que cuatro años de aventura, desde aquel COMPEL'14 en Santander hasta este COMPEL'18 en Padua, dan para mucho. Tengo que agradecerle muchas cosas y podría llenar varias páginas de anécdotas y aventuras, pero no tendría ni pies ni cabeza. Vamos a dejarlo en que seguiré felicitándote el cumpleaños y regando la planta para que crezca de forma descontrolada.

Obviamente, el apoyo técnico es importante para la realización de una tesis. Sin embargo, nada de esto hubiera sido posible sin el apoyo de aquellos que más me quieren. Sin el ánimo y el cariño de mi madre, de mi padre, de mis abuelos y de Naia, probablemente me hubiese quedado en el camino. Muchas gracias.

Finalmente, agradecer también a esos pocos que aún seguís ahí, para tomar un café, ponerse al día y echarse unas risas de vez en cuando. Probablemente ninguno leáis esto, pero siempre estaréis ahí.

Índice general

Resumen	v
Abstract	vii
Agradecimientos	ix
Índice de figuras	xv
Índice de tablas	xxi
1 Introducción	1
1.1 Sistemas de Distribución de Energía en Corriente Continua	1
1.2 Aplicaciones de los SDCs	3
1.2.1 Electrificación en el transporte	3
1.2.2 Equipamiento de telecomunicación	6
1.2.3 Electrificación de zonas rurales y remotas	9
1.3 SDCs para el hogar y espacios habitados	11
1.3.1 Uso de la energía eléctrica en el hogar y espacios habitados	11
1.3.2 Motivación para la distribución en CC	12
1.3.3 Propuestas actuales y tendencias	14
1.3.4 Retos de los SDCs en el hogar y espacios habitados	16
1.4 Objetivos y contribuciones originales de este trabajo	18
2 Definición de la arquitectura	21
2.1 Análisis de las necesidades del usuario doméstico	21
2.2 Selección de la arquitectura	23
2.3 Implementación del PdB	28
2.4 Modos de operación y control del PdB	32
2.5 Resumen de la arquitectura propuesta	39
3 Diseño del convertidor reductor síncrono	41
3.1 Revisión de la topología	41
3.2 Objetivos de diseño	43
3.2.1 Calidad del suministro eléctrico en los buses de 24 V	43
3.2.2 Caracterización de los elementos conectados a los buses de 24 V	45
3.2.3 Control de la tensión de salida en un reductor bidireccional	48
3.3 Procedimiento de diseño propuesto	50
3.3.1 Análisis de los grados de libertad en el diseño	50
3.3.2 Primera aproximación: mapas de diseño	53
3.3.3 Segunda aproximación: algoritmo de optimización	63
3.3.4 Descripción del algoritmo de diseño	70
3.4 Análisis de los parámetros de diseño	72

3.4.1	Ejemplo de diseño	73
3.4.2	Validación de la calidad de suministro	74
3.4.3	Validación de la optimización	76
3.4.4	Evaluación del núcleo magnético seleccionado	77
3.4.5	Evaluación de los transistores seleccionados	78
3.4.6	Evaluación del efecto de Δi_L	82
3.4.7	Estabilidad con elementos en el bus	87
3.5	Diseño con control en modo corriente de pico	92
3.5.1	Posibles alternativas al control en modo tensión	92
3.5.2	Estabilidad y control en modo corriente de pico	95
3.5.3	Respuesta dinámica frente a escalones de carga	99
3.5.4	Implementación práctica del control en modo corriente de pico	101
3.5.5	Comparativa y conclusiones	104
3.6	Diseño a frecuencia variable en modo QSW-ZVS	104
3.6.1	Propuesta de un control analógico sencillo	105
3.6.2	Comparación con el control en modo tensión	107
3.6.3	Implementación práctica y resultados experimentales	110
3.6.4	Comparativa y conclusiones	113
3.7	Conclusiones sobre las diferentes opciones	113
4	Diseño del convertidor Dual Active Bridge (DAB)	115
4.1	Revisión de la topología	115
4.2	Conmutación suave en el DAB	118
4.2.1	Requisitos para la conmutación suave en el DAB	118
4.2.2	Análisis de las técnicas para extender el rango de ZVS	119
4.2.3	Uso de L_m para la extensión del rango de ZVS	120
4.3	Integración de los elementos magnéticos	126
4.4	Procedimiento de diseño adaptado al DAB	128
4.4.1	Objetivos de diseño	128
4.4.2	Planteamiento del diseño	129
4.4.3	Descripción del algoritmo de diseño	135
4.5	Ejemplo de diseño	139
4.5.1	Primer diseño	139
4.5.2	Corrección del diseño	140
4.5.3	Resultados experimentales	141
4.6	Comportamiento dinámico del DAB	145
4.6.1	Modelado dinámico del DAB	145
4.6.2	Medidas de la planta	146
4.6.3	Ajuste de la planta	149
4.7	Conclusiones	152
5	Integración del PdB	155
5.1	Composición del PdB	155
5.2	Control del DAB integrado en el PdB	157
5.3	Escenarios de operación y resultados	160
5.4	Problemas, posibles soluciones e ideas	164
5.4.1	Control del DAB	164
5.4.2	Modelado del DAB	165
5.4.3	Implementación del PdBI	166
5.4.4	Interacción entre convertidores	168
5.5	Conclusiones	169

6 Conclusiones	171
6.1 Mejoras y posible trabajo futuro	174
6.2 Financiación	175
7 Conclusions	177
7.1 Enhancements and possible future work	180
7.2 Funding	181
A Diseño de POLs para el bus de 24 V	183
A.1 Diseño del POL 1	183
A.2 Diseño del POL 2	184
A.3 Diseño del POL 3	184
B Medida de impedancias con el Venable 6320	187
C Análisis estático del DAB con un modelo en T	191
Bibliografía	201
Lista de Símbolos	217
Lista de Acrónimos	223

Índice de figuras

1.1	Esquema simplificado del SDC y el sistema de propulsión de: (a) un Vehículo Más Eléctrico, (b) un Vehículo Híbrido Enchufable y (c) un Vehículo Eléctrico.	4
1.2	Esquema simplificado del SDC sectorizado de un buque con elementos de generación, SAE, propulsores y distintas zonas electrificadas.	5
1.3	Esquema simplificado del SDC tradicional de un sistema de telefonía.	7
1.4	Esquema simplificado del SDE tradicional de un CPD.	8
1.5	Esquema simplificado del SDE de un CPD con distribución en CC a nivel de armario.	8
1.6	Esquema simplificado del SDE de un CPD con distribución en CC a nivel de planta.	8
1.7	Esquema simplificado de una micro-red de CC básica para electrificación rural y remota.	10
1.8	Esquema simplificado de una micro-red de CC de altas prestaciones para electrificación rural y remota.	10
1.9	Esquema simplificado de una micro-red híbrida para electrificación rural y remota.	10
1.10	Ejemplos de modos de operación de una nano-red doméstica con los flujos de energía indicados con flechas: (a) consumo, generación, descarga de baterías y compra desde red; (b) consumo, generación, carga de baterías y venta a red; (c) consumo, descarga de baterías y compra desde red; (d) funcionamiento en modo isla por fallo de red.	13
1.11	Ejemplos de una nano-red doméstica de CA (a) y de CC (b), mostrando los convertidores necesarios en cada caso.	14
1.12	Esquemas simplificados de una nano-red doméstica: (a) con un SDC de bus único y (b) con múltiples buses de distintas tensiones.	16
2.1	Ejemplos de diseño de convertidores en función de la prioridad asignada a distintos factores: (a) diseño equilibrado, (b) diseño de bajo coste y (c) diseño compacto con muy alta eficiencia.	22
2.2	Esquema unifilar de la electrificación de una vivienda en CA.	23
2.3	Esquema unifilar de la electrificación de una vivienda con un único bus de CC.	25
2.4	Esquema unifilar de la electrificación de una vivienda con dos buses de CC.	26
2.5	Diferentes posibilidades de implementación de los PdBs: (a) con un circuito dedicado para cada PdB, (b) agrupando varios PdBs independientes en cada circuito, (c) utilizando una arquitectura de bus común para proporcionar varios canales independientes con un solo PdB.	29
2.6	Posible estructura de distribución a 24 V en un hogar con cuatro estancias y dos PdBs, detallando la asignación de cada canal independiente.	31
2.7	Diagrama de bloques de un bus regulado por dos convertidores con una carga genérica Z y circuito eléctrico equivalente.	32

2.8	Diagrama de bloques de un bus regulado por dos convertidores utilizando control de tensión por <i>droop</i> y circuito eléctrico equivalente.	33
2.9	Curvas V-I para dos convertidores bidireccionales con distintas resistencias virtuales de <i>droop</i> y limitación de corriente.	34
2.10	Escenario y definición de variables para la obtención de las curvas de la Fig. 2.9.	34
2.11	Puntos de equilibrio para dos cargas distintas en un bus regulado por los convertidores 1 y 2 de la Fig. 2.9.	34
2.12	Modos de funcionamiento de los convertidores 1 y 2 de la Fig. 2.9 en función de la demanda de corriente en el bus.	34
2.13	Diagrama de bloques del bus de 24 V regulado por un único convertidor con una CPC, una FPC y una carga pasiva Z_p conectadas y circuito eléctrico equivalente.	36
2.14	Diferentes escenarios de operación del PdB: (a) Todos los reductores como CPC, (b) Dos reductores, sombreados en gris, operan como FPC, reduciendo la potencia que procesa del DAB, (c) las FPCs compensan el consumo de las CPCs y el DAB no procesa potencia y (d) la potencia inyectada por las FPCs es mayor que la demandada por la CPC y el DAB transfiere la diferencia al bus de 380 V.	38
3.1	Esquema eléctrico del convertidor reductor síncrono con una carga externa genérica.	42
3.2	Formas de onda de la corriente por la inductancia, señal de control del transistor principal (v_{gsp}) y tensión en el transistor síncrono (v_{ds}).	42
3.3	POL con una carga genérica.	45
3.4	Modelo canónico de un convertidor conmutado.	45
3.5	Formas de onda de la tensión de salida del reductor v_o , la tensión v_{ce} en la entrada del POL y su corriente de entrada i_{pol} durante una conexión en caliente: (a) conexión directa y (b) con <i>hot swap manager</i>	48
3.6	Formas de onda de la tensión de salida del reductor v_o , la corriente demandada i_o y la corriente media por la inductancia \bar{i}_L durante dos transiciones: (a) incremento de i_o en modo fuente y (b) paso de fuente a sumidero.	49
3.7	Esquema simplificado del bus intermedio de 48 V.	52
3.8	Formas de onda de la corriente demandada al reductor i_o , la corriente por la inductancia i_L y la respuesta del regulador: (a) con una f_c mayor que la permitida por L y (b) con una f_c ajustada al valor de L.	55
3.9	Mapa de diseño a 100 kHz.	56
3.10	Mapa de diseño a 200 kHz.	57
3.11	Mapa de diseño a 50 kHz.	57
3.12	Modelo canónico del reductor para el cálculo de $G_{vdr}(s)$ con las condiciones de la ecuación 3.16.	58
3.13	Modelo canónico del reductor para el cálculo de $G_{vdr}(s)$ con las condiciones de la ecuación 3.18.	58
3.14	Diagrama de Bode de $T_r(s)$ calculada con la expresión completa y la aproximación de la ecuación 3.23.	60
3.15	Diagrama de Bode de la expresión completa y la aproximación de: (a) Z_{or} y (b) Z_e	60
3.16	Modelo del divisor de impedancias para la degradación de la planta.	61
3.17	Aproximación del modelo del divisor de impedancias en el entorno de f_c	61
3.18	Diagrama de Bode de $T_r(s)$ sin carga y $\tilde{T}_r(s)$ para distintos valores de C_e	62
3.19	Mapa de diseño a 200 kHz incluyendo la condición de la ecuación 3.27d.	64
3.20	Simplificación del mapa de la Fig. 3.19 y punto de diseño Ψ	64

3.21	Diagrama de Bode de $T_r(s)$ sin carga y $\check{T}_r(s)$ para distintos valores de C_e .	65
3.22	Tendencia de las pérdidas en los MOSFETs, la inductancia L y el reductor completo en función de f_s .	69
3.23	Diagrama de flujo simplificado del algoritmo de diseño del reductor.	71
3.24	Medidas del comportamiento del reductor frente a un escalón sobre i_o (CH1) entre $-1,2\text{ A}$ y $3,0\text{ A}$, mostrando v_o (CH2) e i_L (CH4).	75
3.25	Medidas del comportamiento del reductor frente a un escalón sobre i_o (CH1) entre $2,1\text{ A}$ y $-2,1\text{ A}$, mostrando v_o (CH2) e i_L (CH4).	75
3.26	Valores de P_Q para un par de FDB3502 y de P_L para distintos núcleos RM en función de f_s .	78
3.27	Pérdidas totales para distintos núcleos RM en función de f_s y puntos de diseño óptimo.	78
3.28	Valores de P_L para un RM8 y de P_Q para distintos pares de transistores en función de f_s .	79
3.29	Pérdidas totales para distintos pares de transistores en función de f_s y puntos de diseño óptimo.	79
3.30	Eficiencia del reductor para distintos pares de transistores en función de la potencia procesada.	80
3.31	P_Q para distintos pares de transistores en función de la potencia procesada.	80
3.32	Tensión entre el drenador y la fuente del EPC2007C (CH3) y tensión de entrada del reductor (CH1) con $0\ \Omega$ de resistencia externa de puerta.	81
3.33	Tensión entre el drenador y la fuente del EPC2007C (CH3) y tensión de entrada del reductor (CH1) con $30\ \Omega$ de resistencia externa de puerta.	81
3.34	Pérdidas totales para distintos pares de transistores en función de f_s y puntos de diseño óptimo con $30\ \Omega$ de resistencia externa de puerta para el EPC2007C.	82
3.35	Eficiencia del reductor para distintos pares de transistores en función de la potencia procesada con $30\ \Omega$ de resistencia externa de puerta para el EPC2007C.	82
3.36	Pérdidas en la inductancia para distintos valores de Δi_L en función de f_s .	83
3.37	Pérdidas totales para distintos valores de Δi_L en función de f_s y puntos de diseño óptimo.	83
3.38	Eficiencia estimada y medida del reductor para distintos valores de Δi_L .	86
3.39	Comparativa de la eficiencia estimada del reductor para distintos valores de Δi_L con dos transistores diferentes.	87
3.40	Medidas del comportamiento del reductor frente a un escalón sobre i_o (CH2) entre $-1,8\text{ A}$ y $2,4\text{ A}$, mostrando v_o (CH1), i_{bus} (CH3) e i_L (CH4).	88
3.41	Diagrama de Bode de $T_r(s)$ y $\check{T}_r(s)$ teóricos.	89
3.42	Diagrama de Bode de $T_r(s)$ y $\check{T}_r(s)$ medidos.	89
3.43	Z_e teórica y medida para los POLs 1 y 2.	90
3.44	Z_e teórica y medida para el POL 3 en modo sumidero.	90
3.45	Diagrama de Bode de $\check{T}_r(s)$ medido y teórico con distintas configuraciones de cargas y fuentes en el bus de 24 V .	91
3.46	Prototipo del reductor síncrono controlado en modo tensión con dos MOSFETs TPH7R006PL, un núcleo RM8 en material N97 y un Δi_L de un 40 %.	92
3.47	Medidas del comportamiento del reductor frente a un escalón sobre i_{opol} (CH3) entre $-3,0\text{ A}$ y $-1,9\text{ A}$, mostrando v_o (CH1), i_o (CH2) e i_L (CH4).	93
3.48	Medidas del comportamiento del reductor frente a un escalón sobre i_{opol} (CH3) entre $0,0\text{ A}$ y $3,9\text{ A}$, mostrando v_o (CH1), i_o (CH2) e i_L (CH4).	93
3.49	Diagrama de Bode de la planta de un reductor con control en modo tensión.	96
3.50	Diagrama de Bode de la planta de un reductor con control en modo corriente de pico.	96

3.51	Implementación práctica de un regulador tipo III con un amplificador operacional.	96
3.52	Implementación práctica de un regulador tipo II con un amplificador operacional.	96
3.53	Diagrama de Bode de $T_r(s)$ con un regulador mal diseñado en modo corriente de pico.	97
3.54	Diagrama de Bode de $T_r(s)$ teórico y aproximado en modo corriente de pico.	97
3.55	Diagrama de Bode de la planta del reductor en modo corriente de pico para diferentes R_e	98
3.56	Diagrama de Bode de $T_r(s)$ y $\check{T}_r(s)$ en modo corriente de pico para diferentes R_e	98
3.57	Diagrama de Bode de $T_r(s)$ y $\check{T}_r(s)$ en modo corriente de pico para diferentes C_e	99
3.58	Diagrama de Bode de $T_r(s)$ y $\check{T}_r(s)$ con una CPC de 100 W y un C_e de $20C_o$ conectados al bus de 24 V.	99
3.59	Evolución de i_L frente a un escalón de i_o para control modo corriente de pico y modo tensión.	100
3.60	Evolución de v_o frente a un escalón de i_o para control modo corriente de pico y modo tensión.	100
3.61	Formas de onda principales y variables de control en un reductor con control en modo corriente de pico: (a) modo fuente (b) modo sumidero.	102
3.62	Prototipo del reductor síncrono controlado en modo corriente de pico con dos MOSFETs TPH7R006PL, un núcleo RM8 en material N97 y un Δi_L de un 20 %.	103
3.63	Medidas del comportamiento del reductor frente a un escalón sobre i_o (CH1) entre 0 A y 4,16 A, mostrando v_o (CH2) e i_L (CH4).	103
3.64	Medidas del comportamiento del reductor frente a un escalón sobre i_o (CH1) entre 4,16 A y 0 A, mostrando v_o (CH2) e i_L (CH4).	103
3.65	Principales formas de onda y variables de control en un reductor QSW-ZVS con control en modo tensión tradicional: (a) modo fuente (b) modo sumidero.	105
3.66	Principales formas de onda y variables de control en un reductor QSW-ZVS con control HCMC de banda de histéresis variable: (a) modo fuente (b) modo sumidero.	106
3.67	Propuesta para la implementación del controlador HCMC con banda de ancho variable.	107
3.68	Eficiencia del reductor operando en QSW-ZVS comparado con el diseño para modo tensión en función de la potencia procesada.	109
3.69	Frecuencia de conmutación del reductor operando en QSW-ZVS comparado con el diseño para modo tensión en función de la potencia procesada.	109
3.70	Prototipo del reductor síncrono con el control HCMC propuesto para la operación en QSW-ZVS con dos MOSFETs TPH7R006PL y un núcleo RM8 en material N97.	110
3.71	Formas de onda del circuito de control propuesto para HCMC con banda de ancho variable en diferentes escenarios.	111
3.72	Eficiencia estimada y medida del reductor operando en QSW-ZVS.	113
3.73	Eficiencia medida del reductor operando en QSW-ZVS y a frecuencia fija con un i_L del 40 %.	113
4.1	Esquema eléctrico del convertidor DAB con una carga externa genérica.	116
4.2	Equivalente simplificado del convertidor DAB.	116
4.3	Principales formas de onda de un DAB.	117
4.4	Esquema eléctrico del convertidor DAB con una implementación típica.	121

4.5	Equivalente simplificado del convertidor DAB con una implementación típica.	121
4.6	Esquema eléctrico del convertidor DAB con una implementación en T.	122
4.7	Equivalente simplificado del convertidor DAB con una implementación en T.	122
4.8	Formas de onda de i_p para distintos valores de k	124
4.9	Formas de onda de i_s para distintos valores de k	124
4.10	Formas de onda de i_{Lm} para distintos valores de k	124
4.11	Formas de onda de i_{Lm} para distintos valores de φ y $k = 5$	124
4.12	Implementación clásica del transformador con devanados separados.	127
4.13	Implementación del transformador con devanados separados con dispersión controlada.	127
4.14	Implementación del transformador con devanados concéntricos.	127
4.15	Implementación del transformador con devanados apilados.	127
4.16	Definición de dimensiones en la implementación del transformador con devanados apilados.	134
4.17	Diagrama de flujo simplificado del algoritmo de diseño del DAB.	137
4.18	Prototipo del <i>Dual Active Bridge</i>	142
4.19	Formas de onda del DAB en diferentes escenarios.	143
4.20	Eficiencia estimada y medida del DAB.	144
4.21	Eficiencia estimada y medida del DAB con los coeficientes de pérdidas ajustados.	144
4.22	Planta del DAB con distintas cargas resistivas.	146
4.23	Planta del DAB con distintas CPCs y FPCs.	146
4.24	Diagrama de Bode de $G_{v\varphi}(s)$ medido y teórico con distintas cargas resistivas en el bus de 48 V.	147
4.25	Modelo dinámico del DAB con la resistencia interna R_{int} en paralelo con la salida.	149
4.26	Diagrama de Bode de las impedancias de salida medidas en el DAB a diferentes potencias.	150
4.27	Modelo estático del DAB considerando el efecto de r_{int}	150
4.28	Medidas de r_{int} en diferentes puntos de trabajo y ajuste a un polinomio de tercer grado.	151
4.29	Diagrama de Bode de $G_{v\varphi}(s)$ medido y teórico considerando el efecto de r_{int} con distintas cargas resistivas en el bus de 48 V.	153
5.1	Esquema general del PdB y su entorno en el SDC.	156
5.2	Prototipo del Proveedor de Bus.	157
5.3	Diagrama de Bode de la planta del DAB en modo fuente en el PdB.	158
5.4	Diagrama de Bode de la planta del DAB en modo sumidero en el PdB.	158
5.5	Diagrama de Bode de la ganancia de lazo abierto del DAB en modo fuente en el PdB.	160
5.6	Diagrama de Bode de la ganancia de lazo abierto del DAB en modo sumidero en el PdB.	160
5.7	Escenario de pruebas para la verificación del Proveedor de Bus.	162
5.8	Medidas del comportamiento del PdB para diferentes puntos de operación y saltos de carga.	163
5.9	Medidas del comportamiento del PdB durante una conexión en caliente de un POL al bus de 24 V.	164
5.10	Medidas del comportamiento del PdB durante una desconexión de un POL del bus de 24 V.	165
5.11	Esquema simplificado de un convertidor en medio puente con salida en doblador de corriente.	168

A.1	Escenario de ejemplo con múltiples POLs y una carga pasiva conectados a uno de los buses de 24 V.	183
A.2	Prototipo con tres convertidores POL 1.	184
A.3	Prototipo del convertidor POL 2.	184
A.4	Prototipo del convertidor POL 3.	185
B.1	Montaje propuesto para la medida de la impedancia de entrada.	188
B.2	Montaje propuesto para la medida de la impedancia de salida.	188
B.3	Esquema simplificado de la implementación del sumidero controlado de corriente.	188
B.4	Prototipo del sumidero controlado de corriente.	189
C.1	Esquema eléctrico del convertidor DAB con una implementación en T.	191
C.2	Equivalente simplificado del convertidor DAB con una implementación en T.	192
C.3	Equivalentes de Thévenin para el cálculo de las corrientes en el convertidor DAB con una implementación en T.	192
C.4	Corriente i_s por el devanado secundario del transformador, corriente i_{busp} a la salida del puente secundario y corriente de salida i_{bus} del DAB.	194
C.5	Formas de onda de las corrientes y señales de control de los MOSFETs del DAB.	195
C.6	Formas de onda por los condensadores C_{ODAB} y C_i y su relación con las corrientes i_{busp} , i_{bus} , i_{ip} y i_i	197
C.7	Circuitos equivalentes para el cálculo de las condiciones de ZVS en los dos puentes del DAB.	198

Índice de tablas

2.1	Consumos típicos de cargas comunes en el hogar.	27
3.1	Expresiones para $e(s)$, $j(s)$ y $M(D)$ en el modelo canónico de la Fig. 3.4.	46
3.2	Posición del polo de Z_e en diferentes escenarios.	47
3.3	Especificaciones de calidad de suministro y parámetros de diseño del reductor.	56
3.4	Valores de \check{f}_c real y estimada, \check{f}_r y margen de fase real de la Fig. 3.18.	62
3.5	Punto de diseño Ψ para distintos valores de f_s	65
3.6	Características eléctricas y especificaciones de calidad de suministro del reductor.	73
3.7	Parámetros principales de diseño de los tres reductores analizados.	76
3.8	Medidas y valores teóricos de pérdidas y eficiencia en los diseños de la Tabla 3.7.	77
3.9	Parámetros principales de diseño utilizando distintos tamaños de núcleo magnético en formato RM.	77
3.10	Parámetros principales distintos transistores para el reductor.	78
3.11	Parámetros principales de diseño utilizando distintos transistores.	80
3.12	Parámetros principales de diseño utilizando distintos Δi_L	84
3.13	Medidas y valores teóricos de pérdidas y eficiencia en el diseño de ejemplo de la sección 3.4.1 y los diseños de la Tabla 3.12.	85
3.14	Valores de \check{f}_c y $\check{\phi}_v$ teóricos y medidos.	89
3.15	Parámetros principales de diseño utilizando modo tensión y modo corriente de pico.	101
3.16	Valores de \check{f}_c y $\check{\phi}_c$ teóricos y medidos.	104
3.17	Parámetros principales de diseño para QSW-ZVS y comparativa con el reductor en modo tensión con un Δi_L del 40 %.	109
4.1	Características eléctricas y especificaciones de calidad de suministro del DAB.	139
4.2	Parámetros principales de los dos diseños del DAB.	141
5.1	Parámetros principales de diseño del reductor síncrono para el PdB.	157
5.2	Parámetros principales de diseño del DAB para el PdB.	157

Capítulo 1

Introducción

En este capítulo se hace una breve introducción al contexto histórico y la evolución de los Sistemas de Distribución de Energía en Corriente Continua. Tras exponer las principales características de estos sistemas y algunas de sus aplicaciones más comunes actualmente, se analiza detalladamente el potencial de utilizarlos para la distribución de energía en entornos domésticos y ocupados. Finalmente, se describen los objetivos y principales contribuciones de este trabajo.

1.1 Sistemas de Distribución de Energía en Corriente Continua

Un Sistema de Distribución de Energía (SDE) se puede definir como un conjunto de elementos que recibe energía eléctrica de una o más fuentes y lo suministra de forma adecuada a cualquier carga que se conecte a él. Idealmente un SDE también incluirá equipamiento auxiliar como elementos de medida y monitorización, conmutación o protección frente a fallos [1].

Si bien la energía eléctrica ha sido usada desde mediados del siglo XIX, los primeros sistemas no se pueden considerar como SDEs puesto que dependían de dinamos de Corriente Continua (CC) locales que proporcionaban energía directamente a sus cargas. No fue hasta 1882 cuando Thomas Edison instaló el primer SDE de CC (SDC) [2], [3]. Estos SDC se concibieron originalmente como una alternativa a los sistemas de distribución de gas para el alumbrado público, siguiendo la misma filosofía. En aquellos tiempos los SDCs estaban compuestos por una dinamo de CC conectada a una máquina de vapor, dos hilos para la distribución de la energía eléctrica a 100 V de CC y las bombillas incandescentes utilizadas para el nuevo sistema de alumbrado público.

Durante la década de 1880 se instalaron varios SDCs semejantes, tanto en EE.UU. como en Europa, para alumbrado público y para uso particular. Sin embargo, la adopción de esta tecnología desarrollada por Edison para la distribución en CC pronto se vio amenazada por el rápido desarrollo de los SDEs basados en sistemas polifásicos de Corriente Alterna (CA) por parte de Nikola Tesla y la Westinghouse Electric Company [3], [4]. Algunos de los problemas más significativos de los SDCs, como las altas pérdidas de potencia debidas a las líneas de transmisión o la dificultad para la transformación de la tensión, se podían resolver de forma sencilla utilizando CA. Esto llevó al abandono casi total de las tecnologías para distribución en CC, que se vieron relegadas a unas pocas aplicaciones muy concretas, como por ejemplo, la alimentación de ascensores en edificios históricos [5].

A día de hoy, nuestra sociedad es cada vez más dependiente del acceso a la energía eléctrica. Aspectos clave de nuestras vidas como la industria, el transporte, el tratamiento de agua, las comunicaciones o incluso nuestros hogares requieren para su correcta operación un suministro estable de energía eléctrica. Cualquier fallo en la red de transporte y suministro de energía puede alterar por completo la rutina diaria de millones de personas [6]–[8]. La red de CA tradicional es, por lo tanto, una infraestructura crítica. Sin embargo, es también un sistema extremadamente sensible, con una fiabilidad mucho menor de lo deseable [8], [9]. Originalmente concebida como un sistema relativamente simple y aislado para proporcionar alumbrado público a unas pocas calles, ha tenido que adaptarse a una demanda creciente de energía [10]. Hoy en día, los SDE de CA son sistemas muy complejos, compuestos por multitud de redes interconectadas que dan servicio a grandes territorios [7]. La estabilidad y fiabilidad de estos sistemas dependen del ajuste perfecto de las lentas dinámicas de los distintos elementos de generación, distribución y consumo, además del sobredimensionamiento del propio sistema. La redundancia e interconexión de la red de CA presenta muchas ventajas, pero también es su principal inconveniente, ya que cualquier perturbación local tiene efecto en todo el sistema [7].

Una posible solución para reducir la complejidad de un sistema tan extenso, mejorando su eficiencia y fiabilidad, es el uso de micro-redes [9], [11]–[14]. Una micro-red se puede definir como una partición de una red de orden superior, que incluye generadores eléctricos locales, cargas que demandan energía de la micro-red y, en algunos casos, Sistemas de Almacenamiento Eléctrico (SAE). Durante perturbaciones o fallos, la micro-red debe ser capaz de aislarse para poder continuar operando independientemente de los problemas en la red de orden superior o previniendo que su problema local se propague a otras redes [11].

Una de las principales limitaciones del sistema actual es la escasa capacidad de control y reconfiguración. El equipamiento utilizado en la red tradicional de CA sigue estando compuesto, esencialmente, por transformadores y sistemas mecánicos de conmutación. Este es un factor muy limitante sobre el control que los operadores de red tienen sobre el sistema [15]. El desarrollo de los dispositivos semiconductores de alta tensión, más concretamente los tiristores, hicieron posible la introducción de equipos electrónicos de alta potencia en la red de distribución. Cuando estos equipos se utilizan en conjunto con un sistema de control y comunicación, permiten realizar ajustes de forma rápida y sencilla sobre distintos parámetros como la impedancia de la línea, los flujos de potencia o la compensación de reactiva. Conocidos en inglés como *Flexible AC Transmission Systems* (FACTS), los sistemas flexibles de distribución en CA son un primer paso hacia una red más inteligente y robusta a través de la electrónica de potencia [16].

En un esfuerzo de proporcionar aún más flexibilidad y robustez a la red, algunos autores han propuesto una combinación del concepto de micro-red con las tecnologías que habilitan los FACTS: el SDE Electrónico (SDEE) [9], [17]. La propuesta que se presenta en [9] es probablemente la más minuciosa, ya que describe los SDEE para cualquier aplicación. Propone una estructura jerárquica y compartimentada de micro-redes donde todas las interfaces y funciones de protección y reconfiguración están implementadas con convertidores electrónicos de potencia. Estos convertidores desacoplan cada una de las micro-redes del resto del sistema y permiten la gestión rápida y precisa de cada uno de los elementos o redes de orden inferior (nano-redes o pico-redes) conectados al mismo.

Es importante recordar que el uso de convertidores como interfaz de los elementos con la micro-red no es sólo conveniente sino necesario en el caso de los SAE y los Sistemas de Generación Distribuida (SGD). En el primer caso puede resultar obvio que se requiere un control preciso sobre los SAE para utilizarlos de forma eficiente, tanto desde un punto de vista energético como económico. En el caso de los SGD, al contrario que los generadores

tradicionales que se conectaban directamente a la red y fijaban la dinámica de la misma, es necesario introducir un convertidor para optimizar la generación y controlar cómo se transfiere la energía a la red [18].

La implementación de los SDEE varía enormemente dependiendo de la aplicación a la que se destinen y los medios de que se dispongan para su despliegue. Sin embargo, todos ellos tienen en común un complejo sistema de control y comunicaciones para la monitorización de cada una de las micro-redes y su coordinación [9], [12], [17], [19]–[26]. Esta transformación a una estructura basada en micro-redes con un control detallado, ágil y proactivo de una red sensorizada y fácilmente reconfigurable es lo que ha hecho evolucionar el sistema tradicional de distribución en CA a una *smart-grid* o red inteligente [27].

Otro aspecto indispensable de los SDEE es su capacidad de operar de forma autónoma (i.e. en modo isla) en caso de necesidad. Para ello deben tener cierta capacidad de generación o almacenamiento de energía [9]. Idealmente, cada usuario tendrá en su hogar, bloque de edificios o barrio pequeños generadores locales que forman el SGD (por ejemplo, un conjunto de paneles fotovoltaicos, aerogeneradores de baja potencia o generadores combinados de energía y calor) y un SAE (típicamente baterías, aunque podrían ser volantes de inercia o pilas de combustible) [17]. Durante periodos de operación normal, el SDEE debe gestionar las transacciones de energía para abastecer a los usuarios sin sobrecargar o vaciar las reservas del SAE. Para ello se utiliza la interfaz con la red de orden superior, inyectando la energía sobrante para venderla al operador o demandando la necesaria para abastecer a todos los usuarios y mantener el SAE en un estado de carga adecuado. Si el SDEE entra en modo isla, deberá coordinar la generación de los SGD, el consumo y el estado del SAE para asegurar el correcto funcionamiento del sistema.

Esta transformación tecnológica ha hecho a los expertos plantearse el uso de la CC para la transmisión y la distribución de la energía eléctrica. Los sistemas de distribución en CC de alta tensión (HVDC por sus siglas en inglés) son más eficientes y económicos para enlaces de larga distancia, además de ser especialmente útiles para la interconexión de redes de CA [10], [28]–[30]. Sin embargo, el desarrollo en sistemas de baja tensión ha sido relativamente escaso y limitado a aplicaciones muy concretas a pesar de tener un gran potencial [31] y facilitar la integración de SGDs y SAEs [32].

1.2 Aplicaciones de los SDCs

1.2.1 Electrificación en el transporte

El primer registro de utilización de la energía eléctrica en el transporte es incluso anterior a los primeros SDCs: en 1835 se construyen en EE.UU. los primeros automotores eléctricos experimentales, alimentados con baterías [33]. Hubo que esperar hasta 1879 para que Werner von Siemens desarrollase la primera locomotora eléctrica con alimentación desde un tercer carril electrificado. En 1884 Sprague Electric Railway and Motor Company instala en Richmond, Virginia, un sistema de tranvía con una catenaria alimentada en CC, que se puede considerar como la primera aplicación de los SDCs al transporte [33]. Aunque mucho ha cambiado desde entonces, la electrificación ferroviaria en CC sigue siendo usada en muchos países. Típicamente se trata de sistemas a 750 V para tranvía y metro y 1500 V o 3000 V para media y larga distancia [34].

Esta transición hacia la electrificación que el ferrocarril comenzó hace más de 100 años está ahora extendiéndose a otros medios de transporte. El sector de la automoción es un buen ejemplo de ello, incentivado fuertemente por la demanda de la sociedad y los gobiernos

de mejorar la eficiencia de los vehículos, reducir la dependencia de los combustibles fósiles y limitar las emisiones contaminantes [35], [36]. A pesar de los esfuerzos por parte de los fabricantes para electrificar cada vez en mayor medida sus vehículos, la mayor parte de los que son comercializados hoy en día siguen dependiendo de un motor de combustión interna y sólo un pequeño porcentaje de sus sistemas operan con energía eléctrica. Dependiendo del grado de electrificación se pueden diferenciar los siguientes tipos según [35]:

- Vehículos tradicionales, con una batería de baja tensión (típicamente 12 V en coches) para el motor de arranque eléctrico, el sistema de iluminación y algunos elementos auxiliares (elevelunas eléctricos, cierre centralizado, *infotainment*, etc.).
- Vehículos Más Eléctricos, que utilizan actuadores eléctricos en sistemas tradicionalmente hidráulicos o neumáticos como el ABS, la dirección asistida o el control de la

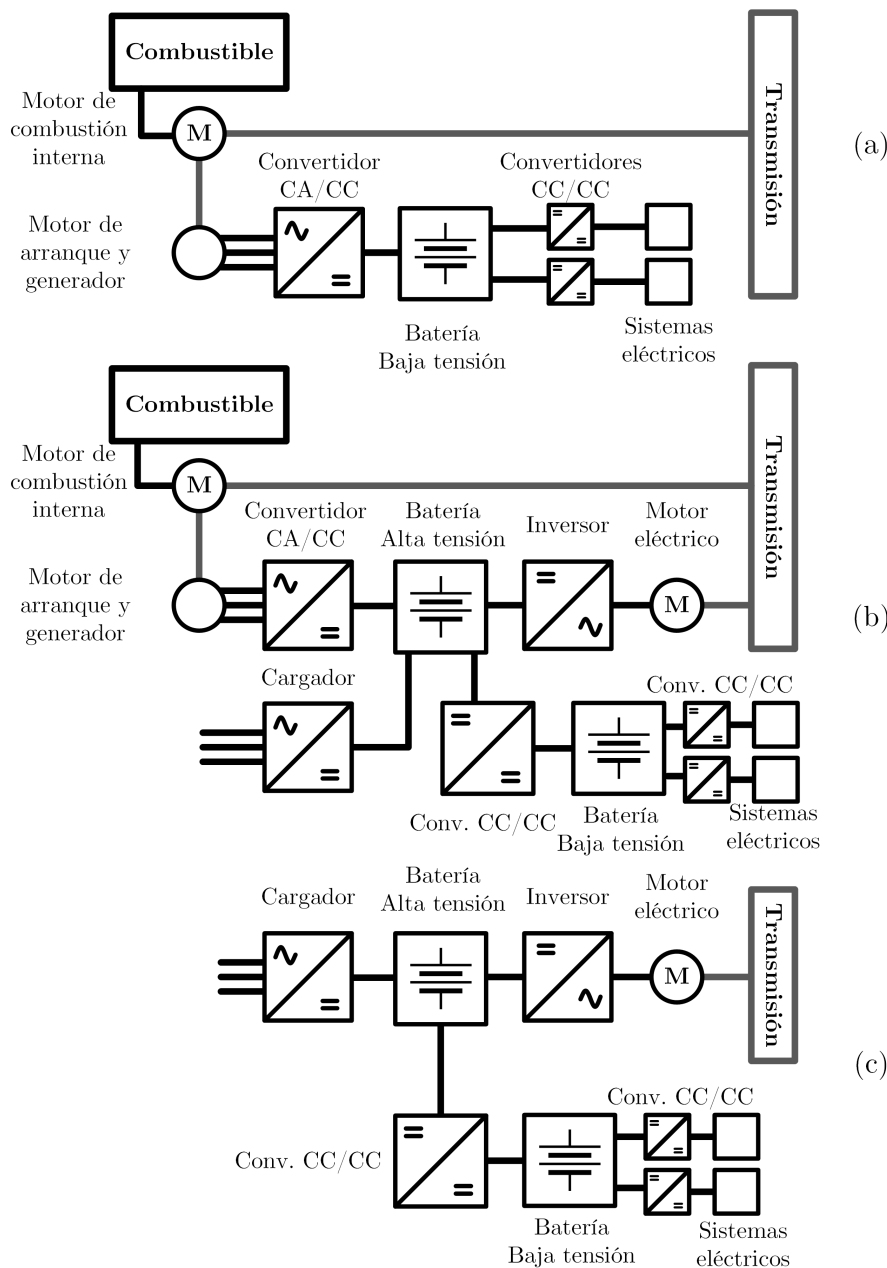


Figura 1.1: Esquema simplificado del SDC y el sistema de propulsión de: (a) un Vehículo Más Eléctrico, (b) un Vehículo Híbrido Enchufable y (c) un Vehículo Eléctrico.

suspensión. En algunos casos también incorporan funciones como el *start-stop* o el frenado regenerativo. Para ello pueden llegar a requerir baterías de tensiones más altas que los vehículos tradicionales [35]. La Fig. 1.1 (a) muestra un esquema simplificado del SDC y el sistema de propulsión de estos vehículos.

- Vehículos Híbridos, que cuentan con un sistema de transmisión eléctrico además del tradicional. El grado de hibridación depende de la capacidad de las baterías que proporcionan energía al sistema eléctrico. Aunque suelen depender del motor de combustión interna para la recarga, en algunos casos es posible cargar las baterías directamente desde la red eléctrica y se conocen como híbridos enchufables. El esquema de esta clase de vehículos se muestra en la Fig. 1.1 (b).
- Vehículos Eléctricos, donde el motor de combustión interna ha desaparecido y la tracción es puramente eléctrica (véase Fig. 1.1 (c)). Este tipo de vehículos requiere recargar la batería desde la red eléctrica convencional.

Analizando la Fig. 1.1 se puede ver cómo el sistema eléctrico de este tipo de vehículos se corresponde con un SDC y presenta todas las características expuestas en [9]. Tiene elementos de generación y almacenamiento que le permiten operar en modo isla, la interfaz entre todos los subsistemas se hace a través de convertidores y, en algunos casos, puede conectarse a una red de orden superior (la red de distribución de CA) a través del cargador.

El sector naval también está tendiendo a la electrificación en CC de media tensión [37]. La sustitución de los sistemas mecánicos, hidráulicos y neumáticos del buque con sistemas de accionamiento eléctrico permiten reducir el peso y el coste del buque así como la tripulación necesaria [38]. Esta tendencia es más marcada en los buques militares, debido a las mejoras en la supervivencia de los mismos y la capacidad de dar soporte eléctrico a los sistemas de vigilancia y combate [39]. Sin embargo, también se está utilizando cada vez más en buques civiles, típicamente de gran potencia y prestaciones, por ejemplo para proporcionar propulsión híbrida o eléctrica y almacenamiento de energía [40].

Una diferencia significativa entre los SDCs en aplicaciones navales con respecto a los utilizados en vehículos eléctricos es su mayor sectorización [37], [41]. El SDC de un buque es, en general, significativamente mayor que el de otros vehículos, teniendo multitud de elementos conectados: generadores diesel, SAE, sistemas de propulsión, equipos de combate, sistemas de navegación y comunicaciones, iluminación, equipos auxiliares, etc. Para incrementar la robustez y la capacidad de reconfiguración del SDC, además de la supervivencia en el caso

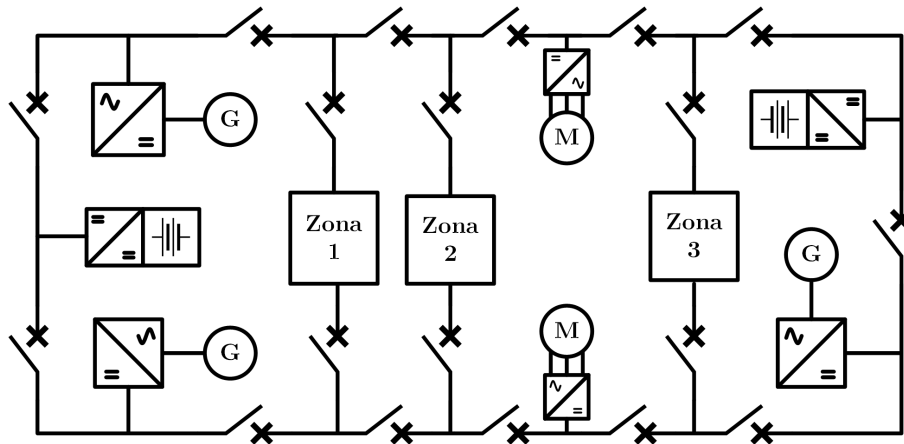


Figura 1.2: Esquema simplificado del SDC sectorizado de un buque con elementos de generación, SAE, propulsores y distintas zonas electrificadas.

de los buques militares, se divide en sectores que se podrían considerar micro-redes [41]. En caso de que uno de estos sectores tuviese un fallo que inhabilitase su correcta operación, se puede aislar del resto del SDC, asegurando que al menos parte del buque puede operar de forma correcta. En la Fig. 1.2 se muestra un posible esquema de electrificación de un buque con diferentes sectores. Los elementos de generación, SAR y propulsión están conectados de tal forma que siempre es posible operar la mayor parte del buque con normalidad incluso en el caso de que alguno de los sectores falle y hay conexiones redundantes para asegurar el suministro a los que siguen en funcionamiento.

También el sector aeroespacial ha mostrado históricamente un gran interés por la electrificación. Ya en 1965 el satélite Intelsat I usaba un SDC sencillo para alimentar sus equipos de comunicaciones desde baterías de Ni-Cd y paneles fotovoltaicos [42]. Aunque estos sistemas han evolucionado significativamente en los últimos años, el principio básico de operación sigue siendo el mismo. Cuando el satélite recibe luz solar, los paneles fotovoltaicos proporcionan energía al sistema y cargan las baterías. Cuando entra en modo eclipse y los paneles no pueden generar, el satélite depende de las baterías para operar, que deberán ser dimensionadas adecuadamente.

Los mismos motivos que han llevado a la electrificación de vehículos terrestres y buques son aplicables a los aviones [43], [44]. La iniciativa *More Electric Aircraft* tiene como objetivo incrementar fuertemente la penetración de los sistemas eléctricos en los nuevos desarrollos civiles y militares, mejorando la eficiencia y la fiabilidad a la vez que disminuye el peso del aparato [44]. Al igual que en el resto de medios de transporte, los equipos neumáticos e hidráulicos usados anteriormente son robustos pero muy pesados e inflexibles y en la mayoría de los casos se pueden sustituir por equipos eléctricos. Un ejemplo de ello son los antiguos sistemas para prevenir la formación de placas de hielo en las alas del avión. Los sistemas de aire caliente, poco eficientes y propensos a fugas, se han sustituido por calentadores eléctricos, mucho más sencillos de mantener [43].

La estructura de los SDC embarcados en aviones depende fuertemente del grado de electrificación del mismo y el equipamiento a usar. Los primeros sistemas operaban con 115 V de CA a frecuencia variable entre 350 Hz y 800 Hz. Desde entonces, la aviación comercial ha subido la tensión nominal hasta 230 V o incluso 400 V para poder proporcionar mayor potencia en aviones comerciales [44]. Los aviones militares, sin embargo, tienden a usar SDCs con un bus principal de 270 V de CC [45] y tensiones en el control de los motores de hasta ± 270 V [43]. No obstante, como se mencionó anteriormente, los equipamientos embarcados pueden requerir tensiones de alimentación distintas, por lo que es común incorporar múltiples buses de CA y CC dentro de una misma aeronave [45].

1.2.2 Equipamiento de telecomunicación

Los primeros equipos de telecomunicación se diseñaron para ser alimentados desde -48 V de CC. Inicialmente se consideró una buena opción desde el punto de vista de la eficiencia, la seguridad y la fiabilidad del sistema [46]. La implementación más común de los SDCs para sistemas de conmutación telefónica es la mostrada en la Fig. 1.3. Los rectificadores aislados colocados a la entrada generan un bus de -48 V, un "nivel de tensión extra-bajo y seguro" (*safety extra low voltage* o SELV por sus siglas en inglés) de acuerdo con el estándar IEC/UL 60950-1 [47]. Esto proporciona una mayor seguridad para los técnicos encargados del mantenimiento del sistema, que pueden realizar sus tareas incluso con los equipos en funcionamiento sin peligro de lesiones por contacto o arcos eléctricos [46]. El uso de embarrados fijos de cobre permiten la distribución a esta tensión relativamente baja sin penalizar significativamente las pérdidas del sistema de distribución. Además, esta arquitectura ha-

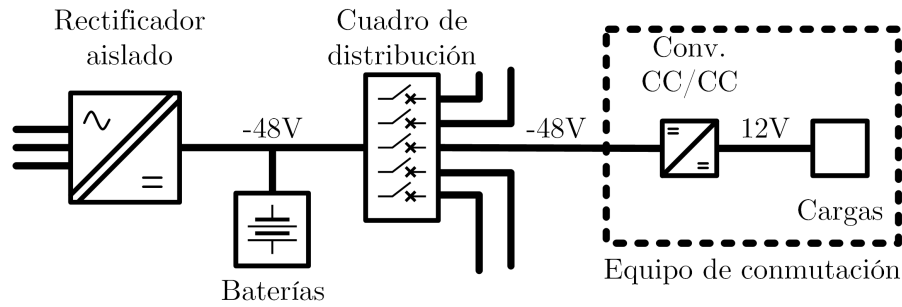


Figura 1.3: Esquema simplificado del SDC tradicional de un sistema de telefonía.

ce posible conectar las baterías directamente al bus de CC, proporcionando robustez al sistema sin la necesidad de añadir elementos adicionales, propensos a fallos. Finalmente, los equipos de telecomunicación conectados al sistema tendrán su propio convertidor para proporcionar una tensión adecuada a las cargas, como se puede ver en la Fig. 1.3.

En los últimos años, los equipos de telecomunicación han evolucionado considerablemente. Hay una necesidad creciente de provisión de servicios de Internet a un número cada vez mayor de usuarios. Es necesario el despliegue de grandes Centros de Procesado de Datos (CPDs) para satisfacer estas demandas.

Los CPDs son grandes consumidores de energía [48], [49]. Esta demanda conlleva un gran coste para el operador, no solo por el suministro de energía. También aparece la necesidad de instalar grandes sistemas de refrigeración que a su vez requieren espacio y más energía [50]. Reducir el consumo energético del CPD reduce el espacio necesario para los sistemas de refrigeración, reduciendo aún más las necesidades energéticas y aumentando los beneficios para el operador. Es por esto que los operadores del CPD buscan mejorar la eficiencia de sus sistemas sin comprometer la fiabilidad y robustez de los mismos.

Al margen de la eficiencia de las unidades de procesado de datos en sí mismas, mejorar la eficiencia energética del CPD pasa por modificar cómo se proporciona energía a estas unidades de procesado. El sistema tradicional se basa en la distribución en CA hasta cada uno de los equipos, donde un convertidor CA/CC adecua la energía a las necesidades de la carga. Las baterías del Sistema de Alimentación Ininterrumpida (SAI) se insertan entre la entrada trifásica y el cuadro de distribución, que suministra CA monofásica a los armarios donde se encuentran los equipos. Un esquema simplificado de este sistema se puede ver en la Fig. 1.4.

Posteriormente se desarrolló el sistema mostrado en la Fig. 1.5, utilizado actualmente por Google [51]. En lugar de tener un convertidor CA/CC dedicado para cada carga, todos los equipos en un mismo armario están alimentados desde un mismo convertidor que proporciona un bus de CC de 12 V o 48 V. En algunas implementaciones de este sistema, como en el caso mostrado en la referencia [51], se prescinde del SAI, colocando pequeños bancos de baterías distribuidos por los armarios para dar la misma funcionalidad. Sin embargo, diferentes autores y operadores proponen multitud de pequeñas variaciones del sistema mostrado en la Fig. 1.5 [46], [48]–[53].

La tendencia actual es a centralizar aún más el sistema para mejorar la eficiencia. En lugar de rectificar a nivel de unidad de procesado o a nivel de armario, un único convertidor CA/CC se encarga ahora de proveer energía a varios armarios o a una planta entera, como se puede ver en la Fig. 1.6. La distribución se realiza en CC, eliminando uno de los convertidores del SAI y mejorando la eficiencia con respecto a las soluciones mostradas en las Figs. 1.4 y 1.5. Además, el uso de CC elimina algunos problemas de la distribución en

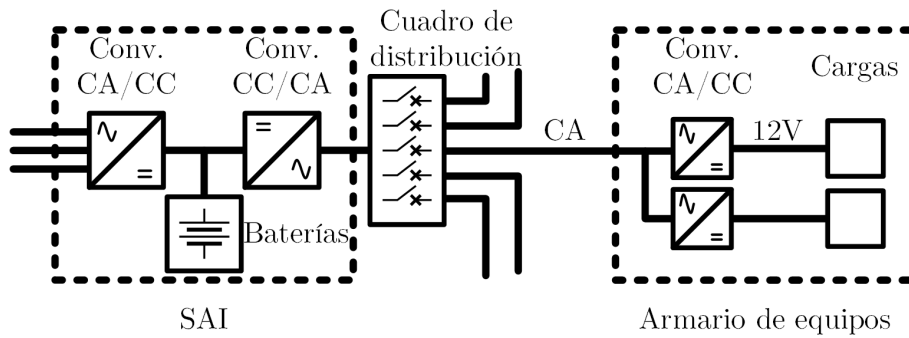


Figura 1.4: Esquema simplificado del SDE tradicional de un CPD.

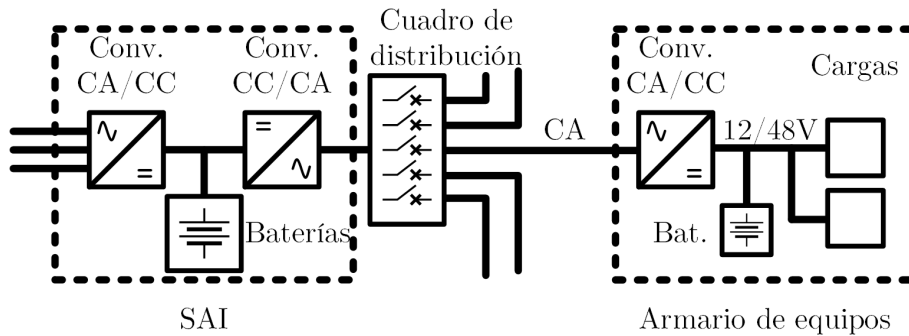


Figura 1.5: Esquema simplificado del SDE de un CPD con distribución en CC a nivel de armario.

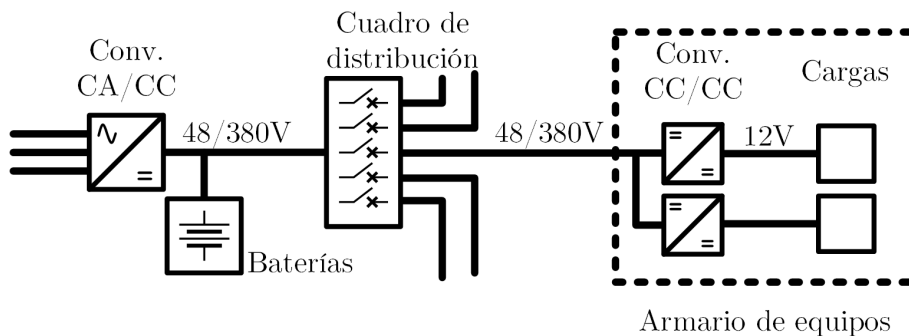


Figura 1.6: Esquema simplificado del SDE de un CPD con distribución en CC a nivel de planta.

CA, como la aparición de armónicos, el equilibrado de fases o el escalado del sistema [46]. Sin embargo, al haber planteado la vuelta a un sistema esencialmente idéntico al utilizado originalmente para telefonía (véase la Fig. 1.3), vuelven a aparecer los mismos problemas. Utilizar un nivel bajo de tensión conlleva el uso de embarrados para mantener las pérdidas por conducción bajas. Si bien esto resultaba adecuado en los sistemas para telefonía, diseñados con estructuras y capacidades muy estables, en un CPD es clave tener capacidad de reconfiguración y renovación que un embarrado no puede proporcionar.

La solución más sencilla al problema de las pérdidas en el cableado pasa por elevar el nivel de tensión de distribución. Varios autores han propuesto un valor de entre 380 V y 400 V [48], [52]–[55]. El análisis realizado en [48] demuestra cómo se consigue reducir las pérdidas, mejorando la eficiencia sin tener que utilizar costosos cables con gran sección de cobre. Además, este nivel de tensión se corresponde aproximadamente con el máximo valor de pico de un sistema monofásico de CA en rango universal y la tensión típica de salida de un convertidor CA/CC [56]. Esto permite utilizar convertidores CA/CC estándar

como rectificador de entrada y los convertidores CA/CC de la implementación tradicional (véase la Fig. 1.4) con modificaciones mínimas [48]. Algunos fabricantes tienen disponibles productos específicos para los sistemas de 380 V de CC [57]–[60] y varias instituciones han propuesto estándares para este tipo de sistemas, esencialmente idénticos entre sí [61]–[65].

1.2.3 Electrificación de zonas rurales y remotas

El Banco Mundial estima que más de mil millones de personas en el mundo no tienen acceso al suministro eléctrico en el hogar y prevé que la situación no se va a poder solucionar en los próximos 10 años [66]. El problema es más grave en África y el sudeste asiático [67], donde el suministro eléctrico está limitado a los barrios con mayor poder adquisitivo de las principales ciudades y las industrias, dejando de lado a los habitantes de las zonas más pobres, aisladas y rurales. Sin embargo, este no es un problema exclusivo de áreas en vías de desarrollo. Países como Canadá, donde buena parte del territorio tiene poblaciones muy dispersas y de difícil acceso, están trabajando para garantizar un suministro eléctrico con un nivel mínimo de calidad y fiabilidad en todo el territorio [66].

Puesto que la conexión de estos núcleos remotos de población con la red representa un reto técnico y económico, la solución lógica al problema pasa por la utilización de micro-redes operando en modo isla [66]–[72]. De esta forma, se proporciona al núcleo de población la capacidad de generar, almacenar y consumir energía eléctrica de forma local y autónoma. La implementación de la micro-red dependerá fuertemente de diversos factores [66], [68]:

- Los recursos disponibles deben marcar las fuentes de energía a utilizar en la implementación los SGD en la micro-red. Los generadores diésel o de crudo pesado son muy usados para la electrificación de zonas rurales y remotas. Estos generadores resultan muy prácticos puesto que pueden generar energía bajo demanda y el almacenamiento del combustible es relativamente sencillo si se dispone de suficiente espacio. Sin embargo, se trata de una fuente de energía no renovable y que puede tener grandes fluctuaciones en su precio, especialmente cuando debe ser transportada en avión o helicóptero [66]. Para aumentar la autonomía de la micro-red, se prefiere utilizar fuentes de energía renovables. Dependiendo de las características geográficas y climáticas de cada caso, se pueden utilizar pequeñas plantas hidroeléctricas, eólicas o solares para cubrir la mayor parte de la demanda energética, usando SAEs y los generadores diésel para compensar los desequilibrios entre la producción y la demanda.
- La situación socio-económica y las necesidades de la población son esenciales para el diseño del sistema. No tiene sentido desarrollar una micro-red que no sea capaz de proveer la potencia demandada por los usuarios o que esté muy sobredimensionada, elevando el coste de forma innecesaria. De la misma forma, hay que llegar a un equilibrio entre los servicios que se pueden proporcionar y el coste de instalación, operación y mantenimiento del sistema, que debe ser asequible para la población a la que se da suministro [70], [71].
- La infraestructura existente tiene un importante papel en el diseño. Si se trata de una nueva instalación, se tiene absoluta libertad de diseño puesto que el usuario no tiene que desechar sus antiguos equipos. Si los usuarios están acostumbrados a utilizar un cierto sistema y ya disponen de equipos para él, cambiar radicalmente la distribución supondrá un desembolso significativo. Si se tiene acceso a la red eléctrica, aunque sea limitado o precario, se tenderá a mantener y reforzar la estructura disponible que el usuario pueda utilizar equipos estándar.

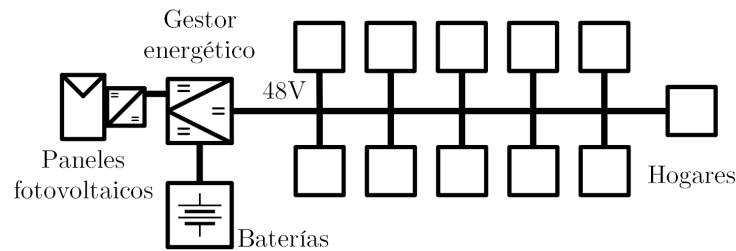


Figura 1.7: Esquema simplificado de una micro-red de CC básica para electrificación rural y remota.

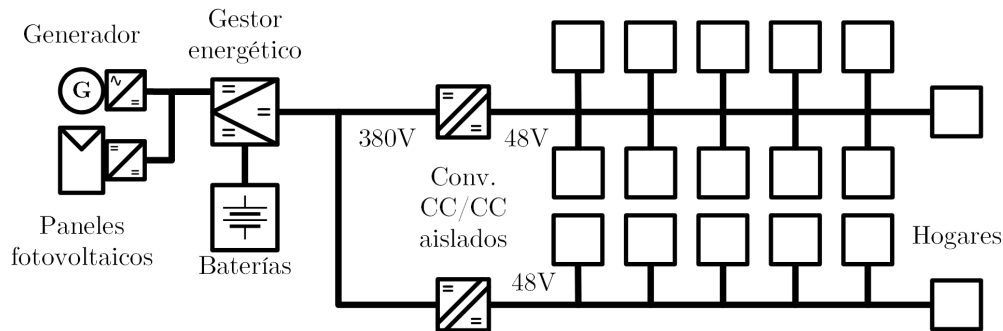


Figura 1.8: Esquema simplificado de una micro-red de CC de altas prestaciones para electrificación rural y remota.

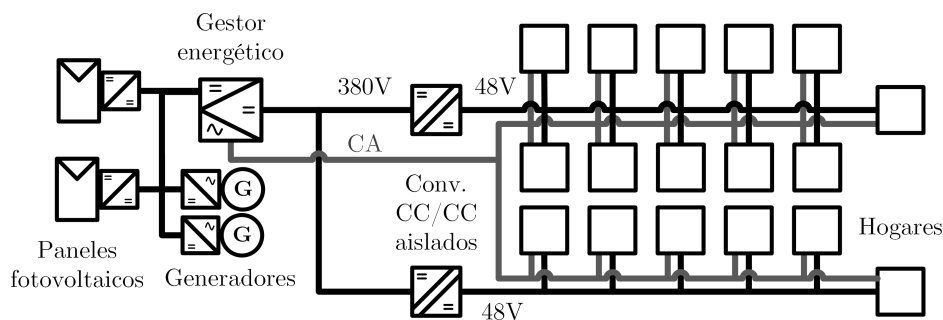


Figura 1.9: Esquema simplificado de una micro-red híbrida para electrificación rural y remota.

- Las características particulares de la población a la que se va a suministrar energía juegan un papel muy importante en el diseño de la micro-red. Aspectos como la distribución de las casas en un poblado puede condicionar la topología utilizada para distribuir la energía [67]. En aquellos casos donde la demanda energética es mínima se puede aprovechar casi cualquier recurso, como los parques para los niños [69] o la biomasa [68], para generar energía. También tienen gran importancia las costumbres de la población y los factores climáticos, que pueden hacer que el asentamiento en una cierta zona sea estacional o que la demanda energética varíe fuertemente entre verano e invierno [66].

Como se ha mencionado anteriormente, la estructura de la micro-red dependerá fuertemente de una gran variedad de factores. Sin embargo, se identifican principalmente tres posibles estructuras. Cuando se trata de proporcionar un acceso básico a la energía eléctrica con una demanda energética baja, lo más común es utilizar un número limitado de generadores e instalar un SDC de baja tensión, como se ve en la Fig. 1.7. Un convertidor multifunción actúa como gestor energético, equilibrando la generación, la demanda y el almacenamiento y adecuando el formato de la energía para la distribución a los hogares. Esta instalación es

sencilla de realizar, relativamente segura y permite el uso de baja tensión por los reducidos niveles de potencia en el sistema, que minimizan las pérdidas de conducción [67], [69]. En el hogar podría ser necesario utilizar convertidores CC/CC adicionales, para adecuar la tensión de distribución (típicamente 48 V) a las cargas utilizadas.

Para sistemas con una mayor demanda energética, la distribución a baja tensión presenta demasiadas pérdidas. En este caso el gestor energético proporciona un bus de CC de mayor tensión, típicamente 380 V [72]. Es necesario instalar convertidores CC/CC aislados para proporcionar una tensión más baja de forma segura a pequeños grupos de hogares. Como se puede ver en la Fig. 1.8, al aumentar la demanda, frecuentemente se conecta un mayor número de generadores de varios tipos, haciendo la generación de energía más estable y robusta. Dependiendo del tamaño y configuración del sistema, se podría sustituir o complementar el sistema central de baterías con un SAE distribuido en cada hogar, como se propone en [72].

En algunos casos los usuarios pueden demandar el acceso al suministro en CA para poder conectar elementos específicos que no sean compatibles con la distribución en CC. Dependiendo de la potencia requerida, se puede optar por instalar pequeños inversores en los hogares o por una arquitectura semejante a la mostrada en la Fig. 1.9. Esta última, semejante a la propuesta en [68], da un servicio completo al usuario, utilizando un SGD con capacidad de generación para satisfacer cualquier necesidad razonable. Como en el caso de la Fig. 1.8, el SAE se puede implementar de forma centralizada o distribuida.

1.3 SDCs para el hogar y espacios habitados

1.3.1 Uso de la energía eléctrica en el hogar y espacios habitados

Los edificios residenciales y comerciales son grandes consumidores de energía. En EE.UU. consumen casi el 40 % de la energía primaria y en torno al 70 % de la energía eléctrica del país [73]. En una sociedad cada vez más concienciada con la reducción del consumo energético, es necesario plantearse qué se puede hacer para adaptar a las necesidades actuales un sistema que apenas ha cambiado en más de un siglo.

Ya en 1952 Thornton hacía un análisis de cómo habían cambiado las cargas eléctricas utilizadas en el hogar desde finales del siglo XIX [74]. En ese trabajo se puede observar cómo la energía eléctrica se utilizaba, inicialmente, para realizar tres tareas muy simples: iluminar, calentar y automatizar el movimiento de máquinas (por ejemplo, ventiladores, máquinas de coser o neveras [75]). Estos primitivos electrodomésticos tenían una estructura interna muy sencilla. En el caso de las bombillas y los elementos calefactores se componían esencialmente de una resistencia, mientras que los otros dispositivos se componían de uno o más motores. En algunos casos, como podrían ser los secadores de pelo, están presentes los dos elementos, debido a la necesidad de mover y calentar el aire al mismo tiempo.

La invención del transistor a finales de los años 40 dio pie al desarrollo de electrodomésticos con más y más electrónica [76]. Una vez que los dispositivos eléctricos en el hogar son capaces de satisfacer las necesidades básicas, el usuario quiere que esos productos le faciliten aún más las tareas cotidianas. La introducción de la electrónica permite instalar termostatos en los hornos o automatizar el funcionamiento de las lavadoras. El siguiente paso fue el desarrollo de la electrónica de consumo, productos electrónicos cuyo objetivo es informar y entretener. Más recientemente, la era digital ha sustituido aquellas primitivas radios y televisiones por potentes ordenadores y grandes equipos multimedia [76].

El consumo eléctrico en el hogar es cada vez mayor, incrementando la dependencia energética y poniendo una gran presión sobre la red de suministro. La concienciación de los usuarios y los avances tecnológicos están promoviendo un cambio radical en la filosofía actual, optando por un hogar capaz de producir y almacenar energía además de consumirla. Para hacer posible este cambio sólo es necesario instalar un SGD y un SAE [9]. Cada hogar, cada edificio o incluso cada barrio se puede convertir en una nano-red o micro-red. Jugando un papel más activo en la red, se consigue al mismo tiempo reducir la presión ejercida sobre ella y una cierta autonomía que asegura el suministro incluso en escenarios de catástrofe [77].

La integración de pequeñas unidades de generación distribuida se ha simplificado enormemente con los recientes avances en electrónica de potencia, permitiendo a cualquier usuario producir energía [18]. Las opciones más típicas para implementar un SGD son los paneles fotovoltaicos, los micro-generadores eólicos y, a nivel de barrio o distrito, las micro-centrales combinadas de energía y calor (μ CHP, del inglés *micro-Combined Heat and Power*) [76]. Diseñados correctamente, estos elementos aportan gran robustez a la nano-red y mejoran la eficiencia del sistema por consumir energía de producción local [77], [78].

Para la implementación del SAE típicamente se utilizan baterías debido a su facilidad de integración en el hogar [9], [78], [79]. Los avances tecnológicos han disminuido notablemente el tamaño de las mismas, han reducido su mantenimiento y, en algunos casos, se comercializan como un elemento casi decorativo para colgar de la pared [80]. Cuando el SAE se dimensiona de forma adecuada a las necesidades y hábitos del usuario, se le puede dar una doble función. Por una parte, es capaz de absorber las diferencias entre la demanda de energía por parte del usuario y la energía procedente de algunos elementos del SGD. Durante las horas de más demanda debe proveer energía al usuario, reduciendo el consumo desde la red (véase Fig. 1.10 (a) y (c)), y durante las horas en que la generación supere al consumo, deberá almacenar energía para utilizarla después (Fig. 1.10 (b)). Su segunda función es la de proporcionar un servicio mínimo al hogar en caso de que el suministro de red falle (Fig. 1.10 (d)), al menos durante unas horas, actuando como un SAI [79]. En caso de necesitar aún más capacidad en el SAE, algunos autores proponen utilizar la batería del vehículo eléctrico como complemento, aunque esta propuesta requiere equipamiento especializado no disponible comercialmente [81].

Se puede estimar el consumo de un hogar y dimensionar los recursos de la nano-red para obtener un edificio de energía cero. Si bien existen múltiples definiciones y matices en función de la implementación y la operación de la micro-red, el objetivo de estas instalaciones es poder operar de forma esencialmente autónoma, utilizando la red de forma puntual para corregir los desequilibrios entre consumo y generación [73]. En algunos casos se va más allá, diseñando edificios de emisiones cero. Estos generan suficiente excedente de energía con fuentes renovables como para cubrir las necesidades de uso y, además, compensar las emisiones de gases de efecto invernadero que se generan durante su uso, edificación o incluso la producción de los materiales usados para su construcción [82]. El diseño de estos edificios no sólo tiene en cuenta el aspecto eléctrico, sino también arquitectónicos o incluso sociológicos y psicológicos, puesto que el confort del usuario y sus patrones de conducta son una prioridad [83].

1.3.2 Motivación para la distribución en CC

Como se ha mencionado anteriormente, las cargas eléctricas en el hogar son cada vez más complejas. Gran parte de la energía se sigue utilizando para iluminar, calentar y alimentar motores. Sin embargo, la gran penetración de la electrónica en los aparatos eléctricos

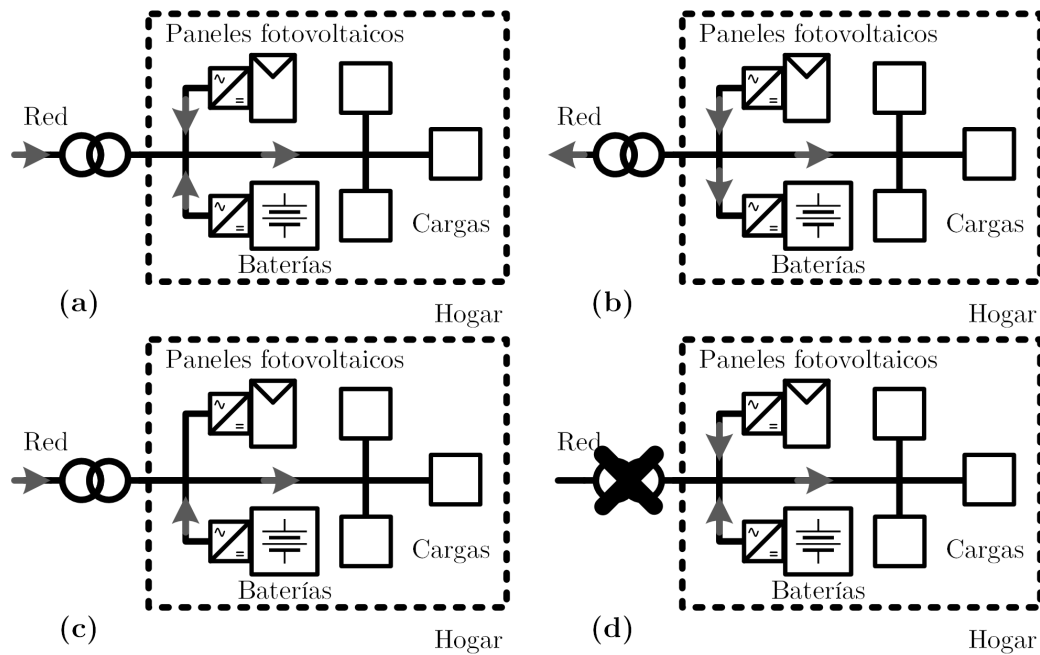


Figura 1.10: Ejemplos de modos de operación de una nano-red doméstica con los flujos de energía indicados con flechas: (a) consumo, generación, descarga de baterías y compra desde red; (b) consumo, generación, carga de baterías y venta a red; (c) consumo, descarga de baterías y compra desde red; (d) funcionamiento en modo isla por fallo de red.

modernos hace que cerca del 50 % de las cargas domésticas tenga que ser alimentada internamente en CC [84]. Puesto que el suministro eléctrico en el hogar sigue haciéndose principalmente con CA, es necesario utilizar convertidores CA/CC para la alimentación de estos equipos [9]. Incluso aquellos que tradicionalmente requerían de CA para operar, como por ejemplo lavadoras, han sustituido sus controladores y actuadores por otros más eficientes alimentados en CC [9].

Puesto que los nuevos sistemas de generación distribuida [18] y almacenamiento [79] exigen el uso de una etapa de conversión a CC para poder alimentar su inversor de conexión a la red, cabe preguntarse si la distribución en CA sigue siendo apropiada. Teniendo en cuenta que en torno al 80 % de la energía eléctrica en un hogar sufre al menos una conversión entre CA y CC o viceversa [85], eliminar esta etapa puede mejorar sustancialmente la eficiencia del sistema [9]. Si la mayor parte de los elementos en una nano-red doméstica requieren CC para operar, parece lógico sustituir la distribución en CA por CC. Utilizar un SDC con uno o más buses de CC para la distribución de energía eléctrica en el hogar, como el mostrado en la Fig. 1.11, permite reducir significativamente el número de convertidores necesarios y disminuir las pérdidas de cargas [77], baterías [79] y elementos de generación [86] a la nano-red doméstica.

Aunque el paso de un sistema de CA a un SDC parece un cambio drástico y complejo, en la práctica sería relativamente sencillo. Además de existir elementos comerciales pensados para su conexión directa a CC [87], la mayor parte de los productos comerciales alimentados actualmente desde CA podrían operar si se conectasen a un bus de CC sin realizar modificaciones en su fuente de alimentación [88], [89]. En cualquier caso, eliminar la etapa de conversión a o desde CA mejoraría la eficiencia y robustez del equipo y permitiría reducir el coste y el tamaño del mismo. Si bien los productos diseñados para ser alimentados desde CA podrían ser usados durante un primer periodo de transición, sería más adecuado diseñar específicamente para la alimentación directa en CC [9], [87].

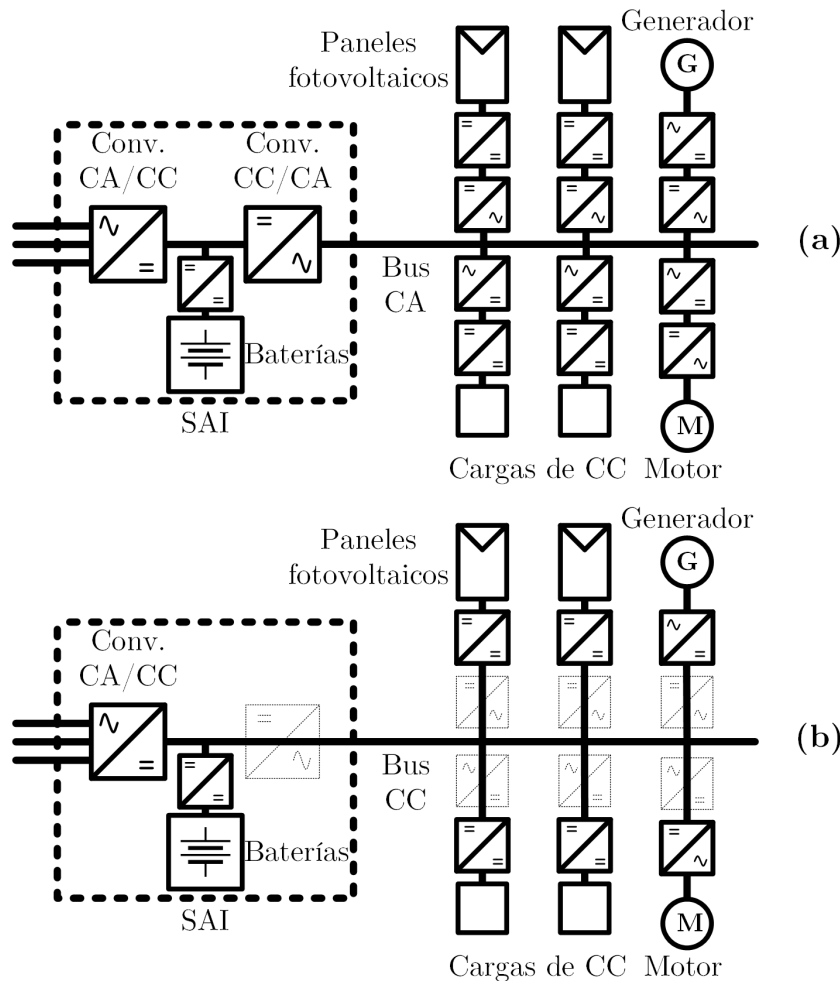


Figura 1.11: Ejemplos de una nano-red doméstica de CA (a) y de CC (b), mostrando los convertidores necesarios en cada caso.

Múltiples autores y organizaciones están probando la utilización de un SDC para implementar nano-redes domésticas. La mayor parte de ellos han conseguido mejorar el rendimiento del sistema y reducir los costes de operación del mismo. Sin embargo, el ahorro obtenido depende fuertemente de la aplicación, la implementación y los factores ambientales y socioeconómicos. En [85] se predice una reducción de las pérdidas de entre el 5 % y el 15 %, dependiendo el ahorro económico en ese caso del coste de la energía eléctrica. Los autores en [90] consiguen reducir el consumo de las cargas en un 50 % y mejorar el rendimiento de los sistemas de generación y el SAE cerca del 45 %. Sin embargo, esta mejora es posible no sólo por el uso de SDC si no también por la sustitución de elementos tradicionales de CA por otros de CC mucho más eficientes. Cuando se trata de redes donde ya se utilizaban elementos de CA muy eficientes, el ahorro puede ser de tan sólo un 2 % [91]. En el caso de las instalaciones realizadas en [92], consigue reducir las pérdidas en los sistemas de generación fotovoltaica, mejorando su eficiencia desde un 90 % a un 97 % en distintos puntos de Estados Unidos con diferentes climas.

1.3.3 Propuestas actuales y tendencias

Uno de los principales problemas para la implementación de un SDC es la falta de un estándar que defina las especificaciones eléctricas del sistema de distribución [85]. Sin embargo, esto no ha sido un obstáculo para la propuesta de múltiples arquitecturas con pequeñas diferencias entre ellas.

Debido a las dimensiones reducidas del hogar, se suele plantear una estructura con un único punto de acceso a la red y un bus de distribución general [9]. En [93] se hace un interesante análisis técnico y económico para cuatro niveles de tensión distintos:

- 326 V es el valor de pico en un sistema de 230 V de CA, que se corresponde con la máxima tensión de entrada en una fuente CA/CC conectada a red.
- 230 V de CC tienen el mismo valor eficaz que un sistema de 230 V de CA, permitiendo la conexión directa de cargas resistivas sin convertidor.
- 120 V fija el límite superior de tensión segura. Este nivel no requiere conexión a tierra para evitar lesiones por contacto indirecto.
- 48 V es un nivel de tensión seguro al contacto directo (SELV) en entornos secos.

La conclusión del estudio presentado en [93] es que es preferible utilizar un nivel de tensión alto en el bus de distribución. Sin embargo, el uso de 326 V de CC es bastante atípico y sólo aparece en otro trabajo de los mismos autores [79]. Como se ha mencionado anteriormente, el uso de 380 V de CC es compatible con la mayor parte de las fuentes de alimentación CA/CC utilizadas en los equipos domésticos. Por ser una tensión más alta y ampliamente utilizada en los SDCs para alimentación de CPDs, es preferida por la mayor parte de los autores [77], [78], [88], [94], [95].

Llama la atención la propuesta realizada en [84] de utilizar 120 V para el bus de distribución. Los autores razonan que, debido a los bajos niveles de potencia usados normalmente en el hogar, el uso de una tensión muy elevada tiene un efecto marginal en la eficiencia. En una aplicación donde el usuario podría entrar en contacto con la red fácilmente, es preferible proporcionar una tensión más segura. Una solución de compromiso podría ser el uso de redes bipolares de ± 190 V, que mejoran la seguridad sin comprometer la eficiencia [95].

Por otra parte, hay propuestas que optan por incrementar aún más la tensión del bus, llegando hasta ± 380 V [86]. Esto permite proporcionar una mayor potencia a los equipos conectados al SDC o utilizar otros equipos convencionales diseñados para 380 V de CC conectados entre una de las dos líneas de potencia y la línea de protección. Si bien no parece la mejor solución para el hogar, podría ser adecuado para otros espacios habitados, como hoteles o edificios de oficinas, que pueden tener mayor demanda energética por la necesidad de climatizar grandes espacios.

En la Fig. 1.12 (a) se muestra un esquema simplificado de una implementación del SDC basado en un único bus. Los elementos de generación y almacenamiento se pueden conectar al bus a través de convertidores CC/CC no aislados, al igual que aquellas cargas domésticas que requieren una mayor potencia (por ejemplo, la nevera, la lavadora o el horno). Sin embargo, en un hogar hay multitud de cargas de baja potencia. Ordenadores portátiles, televisiones, equipos multimedia, luminarias y cargadores de pequeñas baterías son solo algunos ejemplos de dispositivos que requieren una tensión reducida de CC para su funcionamiento y tienen una baja demanda de potencia. Como se puede ver en la propia Fig. 1.12 (a), es necesario utilizar un convertidor CC/CC aislado para alimentarlos desde el bus de 380 V.

La Fig. 1.12 (b) muestra una arquitectura alternativa donde se proporcionan buses de baja tensión, segura al contacto, para estas cargas de baja y muy baja potencia. En lugar de utilizar múltiples convertidores aislados para alimentar estas cargas, se centraliza esta función en un único convertidor que proporciona un bus aislado y seguro [9], [86], [96]. Las cargas se pueden conectar directamente a él, utilizando sus reguladores de tensión internos para cubrir las diversas necesidades de su circuitería. En caso de ser necesario o adecuado

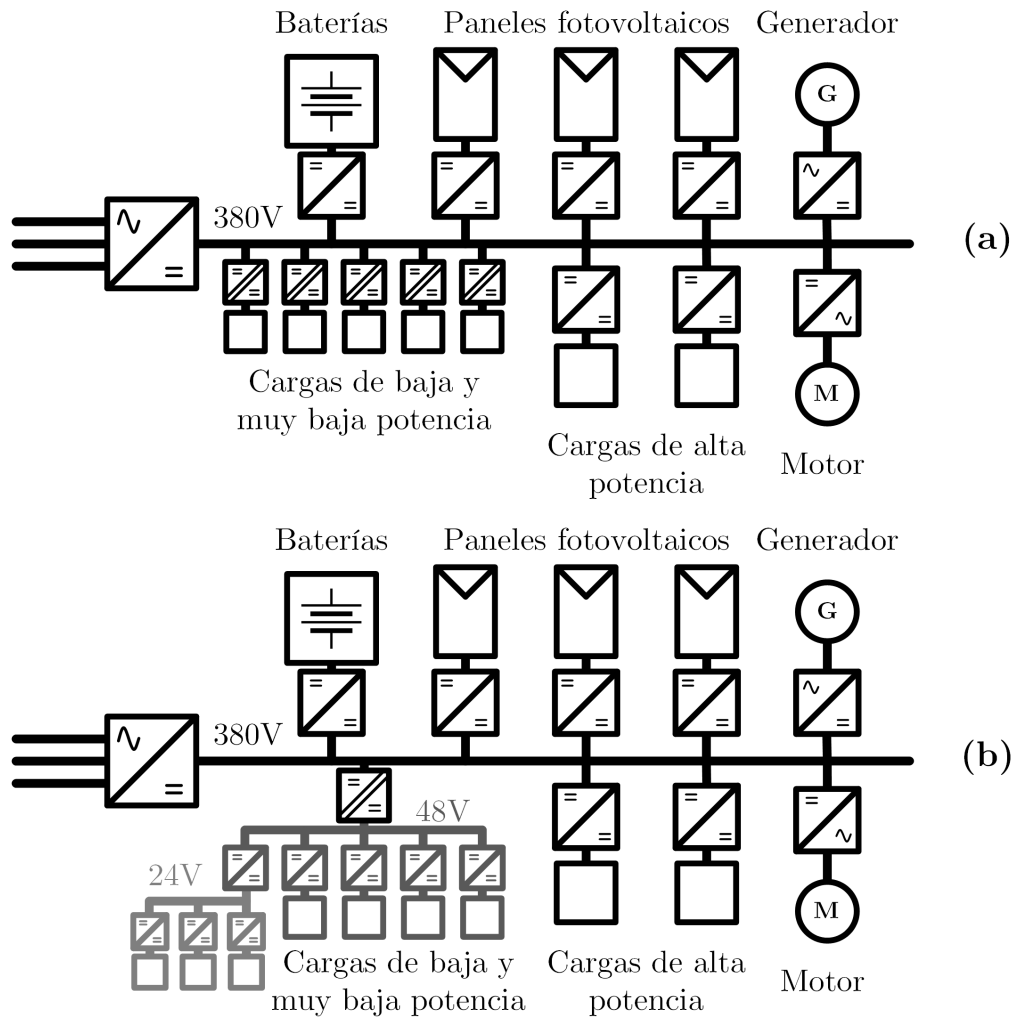


Figura 1.12: Esquemas simplificados de una nano-red doméstica: (a) con un SDC de bus único y (b) con múltiples buses de distintas tensiones.

por las cargas que se necesita alimentar, se puede optar por una arquitectura con múltiples niveles de baja tensión para optimizar aún más el sistema [20], [97].

Al contrario que en el bus principal, no hay consenso sobre el nivel de tensión más adecuado para los buses de baja tensión. Las propuestas más comunes son 48 V [9], [97], 24 V [86], [96], [97] y 12 V [97]. Una propuesta interesante es la de utilizar convertidores inteligentes, capaces de detectar el nivel de tensión requerido por la carga y adaptar su salida [96]. Sin embargo, esto resulta mucho más complejo que proporcionar un único bus de tensión fija y requeriría fijar un estándar semejante al del USB *Power Delivery* [98].

1.3.4 Retos de los SDCs en el hogar y espacios habitados

La adopción de los SDC para la distribución de energía eléctrica en entornos domésticos tiene multitud de ventajas. Sin embargo, hay una serie de temas que se deben resolver antes de que se pueda utilizar de forma masiva en el hogar:

Estandarización. Este es un aspecto clave para posibilitar el diseño, instalación y operación de los SDCs en las nano-redes domésticas. Mientras no se elabore un estándar

ampliamente aceptado por fabricantes, instaladores y usuarios, ninguno de estos tres grupos se involucrará lo suficiente como para hacer la distribución en CC en el hogar una tecnología viable [84], [85].

En primer lugar, se debe de asegurar la interoperabilidad entre equipos de distintos fabricantes. Para ello es necesario definir un marco común de especificaciones técnicas. Este debe incluir tanto cuestiones básicas, como por ejemplo los niveles de tensión o el número de buses a utilizar, así como aspectos de detalle como podría ser el cumplimiento de normativas medioambientales o el diseño y certificación de equipos para condiciones ambientales extremas.

Otro aspecto importante es la definición de un sistema de control y comunicación unificado que facilite la instalación y uso de equipos en un sistema existente. Independientemente de si se opta por un sistema fuertemente automatizado e informatizado o por una alternativa más sencilla, el usuario debería ser capaz de adquirir cualquier equipo certificado e instalarlo en su red sin problemas de compatibilidad o de estabilidad en el sistema.

Finalmente, es necesario establecer el protocolo de comunicación e interacción con la red eléctrica tradicional. Hoy en día, el sistema está preparado para medir el consumo eléctrico de cada hogar y tarificar de forma adecuada. Sin embargo, cuando el usuario sea capaz de interactuar con la red de forma más activa, comprando y vendiendo energía al operador o incluso dando soporte en situaciones de emergencia, habrá que cambiar sustancialmente el sistema actual y proporcionar la legislación adecuada para poder ajustarse a las nuevas necesidades.

Distintas organizaciones están actualmente trabajando en la estandarización de los SDCs para aplicaciones domésticas y de espacios ocupados, tanto a nivel local como global:

- La Comisión Electrotécnica Internacional (IEC) ha establecido el grupo de trabajo SEG-4 para desarrollar estándares para la distribución de CC en baja tensión, incluyendo aplicaciones domésticas [99]. Si bien admiten que aún queda mucho trabajo por hacer, señalan 380 V y 48 V como niveles de tensión apropiados, aunque reconocen los méritos del uso de 24 V, 12 V y tecnologías como USB *Power Delivery* para aplicaciones de baja potencia.
- Institution of Engineering and Tehcnology (IET) publicó en 2015 un código práctico para la distribución de CC en baja y muy baja tensión en edificios, cubriendo estándares reconocidos y dando guías de diseño e instalación [100].
- EMerge Alliance, junto con National Fire Protection Association (NFPA), Underwriters Laboratory (UL), National Electric Manufacturing Association (NEMA) y Electric Power Research Institute (EPRI) están desarrollando varios estándares para distribución en CC de baja tensión en diversas aplicaciones [85]. Ya han publicado un estándar para alimentación de CPDs [65] y para equipos de baja potencia e iluminación en oficinas y espacios comerciales [101]. Desde entonces, han estado trabajando en un nuevo estándar para aplicaciones domésticas, combinando un bus para distribución general de 380 V con múltiples tecnologías y niveles de tensión segura para los dispositivos de baja potencia [102].
- Tanto Unión Internacional de las Telecomunicaciones (ITU) como el Instituto Europeo de Normas de Telecomunicaciones (ETSI) han publicado estándares para la alimentación en CC de CPDs[61]–[64]. Si bien parte de estos estándares tratan aspectos concretos de los equipos de comunicaciones, las secciones sobre seguridad y cableado se podrían aplicar al bus general de distribución en entornos domésticos.

Seguridad. Es conocido que el efecto de la CC sobre el cuerpo humano es distinto que el de la CA y que éste varía fuertemente con el nivel de tensión aplicado [103]. Resulta difícil, por tanto, definir las medidas de seguridad específicas que se deben tomar. En cualquier caso, hay un objetivo claro: proteger al usuario y a los equipos de cualquier daño eléctrico.

Los autores de [104] hacen un análisis detallado de las ventajas y desventajas de los distintos sistemas de protección y analizan brevemente los retos de la detección de fallos en los SDCs. Si bien su diseño y operación son semejantes al caso tradicional en CA, hay pequeñas diferencias que podrían afectar gravemente al funcionamiento del SDC.

En el entorno doméstico, uno de los principales problemas de la distribución en CC se encuentra en los enchufes y las clavijas. Al contrario que en los sistemas de CA, la tensión en el enchufe no presenta pasos por cero, pudiendo generar arcos eléctricos en la conexión y desconexión de los dispositivos. Aunque algunas de las cargas de más potencia en el hogar se encuentran siempre conectadas a la red, hay multitud de equipos que el usuario conecta a la red para su uso y posteriormente los desconecta. Dependiendo de la tensión utilizada, el tipo de conector usado y la velocidad de conexión y o desconexión, se pueden llegar a causar daños irreparables en el enchufe o la clavija, inutilizando el equipo [105]. Aún no hay un conector estándar, aunque se han propuesto soluciones capaces de extinguir el arco dentro del conector [106], que tienen un interruptor mecánico para evitar conexiones y desconexiones en caliente [107] o incluso proporcionan energía sin contacto [108].

Convertidores. La red de CA presente en los hogares se compone únicamente de cableado y dispositivos electromecánicos de conexión y protección. Puesto que se trata de una tecnología madura, estos elementos son compactos, fiables y asequibles que apenas introducen pérdidas en el sistema.

Para la implementación de SDCs domésticas, es necesario utilizar convertidores CC/CC como interfaz de las cargas y los elementos de generación y almacenamiento con la red. Para poder competir con el sistema actual, estos convertidores deben tener las mismas características que los dispositivos electromecánicos. Es necesario diseñar convertidores eficientes y baratos, con un volumen reducido y correctamente dimensionados para el peor escenario de operación posible.

El uso de convertidores para generar los buses de CC exige que éstos regulen la tensión del bus. La nano-red generada en un SDC se considera típicamente como una red débil, esto es, sin la fuerte inercia de una red tradicional de CA donde la energía disponible está directamente relacionada con la rotación de grandes masas [109]. En el SDC, la inercia de la red depende fuertemente de la capacidad de almacenamiento de energía de los filtros de los convertidores conectados al bus y de su capacidad de regulación. Es necesario diseñar estos convertidores y sus lazos de control de forma cuidadosa para tener la regulación deseada de la tensión del bus, permitir la conexión de un cierto número de ellos al bus sin generar conflictos en sus controles y asegurar un funcionamiento estable del sistema [9].

1.4 Objetivos y contribuciones originales de este trabajo

El objetivo de este trabajo es proporcionar una guía de diseño para el convertidor que genera y regula el bus de baja tensión en un SDC doméstico a partir del bus general de distribución. El diseño de este Proveedor de Bus (PdB) se ha optimizado para operar con una alta eficiencia y una buena calidad de suministro eléctrico, gestionando flujos de potencia bidireccionales. Se estudia además la interacción entre el PdB y las cargas y

fuentes de energía conectadas por el usuario, dando directrices para asegurar la estabilidad del sistema. Este trabajo se plantea con la mayor generalidad posible para poder aplicar los procedimientos descritos a otros convertidores del SDC.

Las contribuciones originales de este trabajo son las siguientes:

Arquitectura. Se realiza un análisis de las arquitecturas posibles para la generación de uno o más buses de baja tensión desde el bus general de distribución. Se seleccionan los parámetros eléctricos del sistema, se dimensiona el PdB y se seleccionan los convertidores que lo integrarán. Las topologías seleccionadas para estos convertidores son el reductor síncrono y el *Dual Active Bridge*.

Diseño del convertidor reductor síncrono. Se realiza un análisis sobre los requisitos de diseño del convertidor reductor en un SDC doméstico como interfaz con el usuario. Se propone un procedimiento de diseño para minimizar las pérdidas cumpliendo con los requisitos impuestos.

Control del convertidor reductor síncrono. Se realiza una comparación exhaustiva de los posibles métodos de control del convertidor reductor y el efecto que tienen sobre sus características dinámicas y el procedimiento de diseño propuesto. Se compara además la implementación real de estos controles, analizando las ventajas e inconvenientes de su uso en convertidores bidireccionales.

Control analógico de convertidores operando en QSW-ZVS. Se propone un circuito analógico muy sencillo para el control de convertidores CC/CC bidireccionales en modo *Quasi-Square-Wave Zero Voltage Switching* (QSW-ZVS). Concebido originalmente para el convertidor reductor síncrono, se demuestra su funcionamiento para el convertidor elevador síncrono con modificaciones mínimas y el mismo principio de funcionamiento.

Diseño del convertidor *Dual Active Bridge* (DAB) Para adaptarse a los requisitos de operación en un entorno doméstico, se analiza el mecanismo de conmutación suave ZVS operando a baja carga. Se propone una modificación del procedimiento de diseño utilizado para el convertidor reductor síncrono para minimizar las pérdidas del convertidor DAB utilizando un único elemento magnético que integra la inductancia de dispersión y la inductancia magnetizante requeridas para mantener la operación con ZVS en todo el rango de potencias.

Análisis de la operación como PdB Se examina el comportamiento del PdB completo cuando el usuario conecta diferentes tipos de carga y fuentes de energía y el PdB funciona en distintos puntos de operación. De estos resultados se extraen conclusiones sobre posibles mejoras del sistema para incrementar su robustez y fiabilidad.

Durante este trabajo se han realizado las siguientes publicaciones:

- K. Martín, A. Vázquez, M. Arias, J. Sebastián, “A very simple analog control for QSW-ZVS source/sink buck converter with seamless mode transition” XIX IEEE Workshop on Control and Modeling for Power Electronics, (IEEE COMPEL 2018), Padua, 25-28 Junio 2018
- K. Martín, A. Vázquez, M. Arias, J. Sebastián, “Optimization procedure of source/sink converters for DC power distribution nano-grids” XIX IEEE Workshop on Control and Modeling for Power Electronics, (IEEE COMPEL 2018), Padua, 25-28 Junio 2018
- K. Martín, A. Vázquez, M. Arias, J. Sebastián, “Implementación de un control analógico para convertidores reductores bidireccionales QSW-ZVS con cambio de modo automático” xxv Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI 2016), Barcelona, 4-6 Julio 2018
- K. Martín, A. Vázquez, M. Arias, J. Sebastián, “Optimización del diseño de convertidores fuente/sumidero para sistemas de distribución en corriente continua” xxv Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI 2016), Barcelona, 4-6 Julio 2018
- K. Martín, M. R. Rogina, A. Vázquez, D. G. Lamar, A. Francés, R. Asensi, J. Sebastián, J. Uceda, “Distribución con nano-redes de corriente continua en el hogar” xxiii Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI 2016), Elche, 6-8 Julio 2016

Capítulo 2

Definición de la arquitectura

La ausencia de una arquitectura ampliamente aceptada para la implementación de SDCs domésticos es una oportunidad para definir completamente el sistema más adecuado para esta aplicación. Para ello, es necesario identificar las necesidades del usuario y las restricciones impuestas por el entorno doméstico, diseñando el sistema para que se adapte a ellas.

En este capítulo se propone una arquitectura de SDC para su uso en el hogar y espacios ocupados. Tras estudiar las necesidades del usuario y los equipos que éste puede conectar al SDC, se comparan distintas opciones de implementación y se detalla la arquitectura que se utiliza en este trabajo. Se identifica la necesidad de proporcionar un bus de alta tensión y otro de baja tensión. Este último requiere el uso de un convertidor que actúe como Proveedor de Bus, cuya estructura se describe en este capítulo. Finalmente, se analizan los posibles modos de operación de este Proveedor de Bus y los mecanismos de control requeridos para satisfacer las necesidades del usuario.

2.1 Análisis de las necesidades del usuario doméstico

El objetivo principal del proceso de diseño debe ser proporcionar al usuario un SDC que sea, al menos, igual de conveniente que el actual SDE de CA. La distribución en CC y el uso de convertidores no debe penalizar la eficiencia energética ni la fiabilidad del sistema, no debe incrementar significativamente el volumen requerido para la instalación y debe ser asequible para el usuario.

En general, es posible realizar un diseño del sistema y los convertidores integrados en él que tenga en cuenta estos cuatro factores y que optimice el resultado en función de la importancia relativa de cada uno de ellos. Sin embargo, la tecnología actual no permite mejorar significativamente ninguno de estos factores sin penalizar los otros, requiriendo un diseño equilibrado o adaptado a las necesidades concretas del usuario [110], [111]. En la Fig. 2.1 se muestran tres ejemplos de posibles filosofías de diseño. El diseño equilibrado de la Fig. 2.1 (a) optimiza los cuatro factores por igual, dentro de las posibilidades que ofrecen las tecnologías actuales. Si se desea reducir drásticamente el coste del equipo, por ejemplo, se puede llegar a un diseño como el mostrado en la 2.1 (b). Este diseño probablemente utiliza componentes de menor calidad o peores prestaciones y, por lo tanto, la reducción de precio produce un incremento significativo del volumen, las pérdidas y la tasa de fallo con respecto al diseño equilibrado. En la 2.1 (c) se muestra un posible diseño altamente eficiente y compacto. El precio a pagar en este caso es el incremento del coste, forzado por

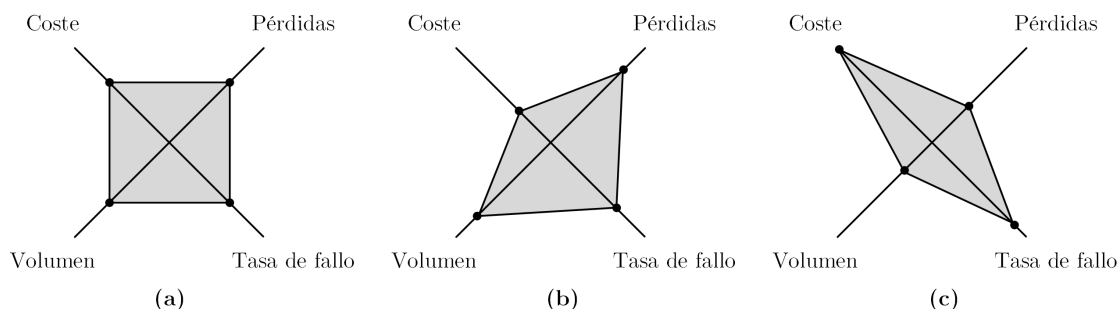


Figura 2.1: Ejemplos de diseño de convertidores en función de la prioridad asignada a distintos factores: (a) diseño equilibrado, (b) diseño de bajo coste y (c) diseño compacto con muy alta eficiencia.

la utilización de componentes de mejores prestaciones, y una fiabilidad ligeramente menor que los otros dos por la reducción del volumen y las dificultades de la gestión térmica que esto implica.

De estos cuatro factores de diseño, el coste del equipo, las pérdidas y la tasa de fallo juegan un papel crucial en el coste total del sistema durante su vida útil [112]. No se debe considerar únicamente el coste inicial del producto sino también los costes de instalación, operación y mantenimiento además de la duración de su vida útil. Por ejemplo, de nada sirve que un producto de bajo precio, alta eficiencia y fácil de instalar tenga una vida útil demasiado corta como para amortizarlo. De la misma forma, el usuario no querrá adquirir un producto con buenas características y precio razonable pero que tenga necesidad de un mantenimiento constante y costoso o sea propenso a averías.

Otro aspecto clave para el diseño del sistema es la interfaz con el usuario. Al igual que en el sistema actual de CA, éste siempre debe ser capaz de acceder a una interfaz adecuada donde conectar cargas, el SGD o el SAE de forma sencilla y segura. Los diversos equipos presentes en el hogar tienen diferentes necesidades dependiendo de su función y se pueden clasificar según las siguientes categorías:

- Hay ciertos equipos en el hogar que se instalan en un lugar fijo, se conectan a la red y, en general, no se desconectan ni se mueven hasta el final de su vida útil. Deben disponer de un punto de conexión a la red dedicado aunque no es necesario que sea fácilmente accesible. En esta categoría se incluyen equipos como electrodomésticos, sistemas de climatización, calentadores y termos eléctricos de agua, televisores y los elementos del SGD y el SAE.
- El resto de equipos comunes en el ámbito doméstico se pueden considerar portátiles. El usuario los conecta para su uso y, normalmente, después los desconecta y guarda. Dentro de los equipos portátiles se pueden diferenciar dos subcategorías:
 - Los equipos con funcionalidades específicas, como pequeños electrodomésticos, secadores de pelo o maquinillas de afeitado eléctricas, se usan típicamente en un espacio específico del hogar, como el cuarto de baño o la cocina. En estos puntos deberán existir suficientes interfaces de conexión para cubrir las necesidades mínimas del usuario.
 - Otros equipos, como cargadores, ordenadores portátiles, aspiradoras o herramientas, pueden ser usados en diferentes lugares. El hogar debe estar equipado con un cierto número de puntos de conexión a la red de propósito general para que el usuario pueda usar estos equipos en diferentes espacios sin tener que desconectar equipos fijos o específicos.

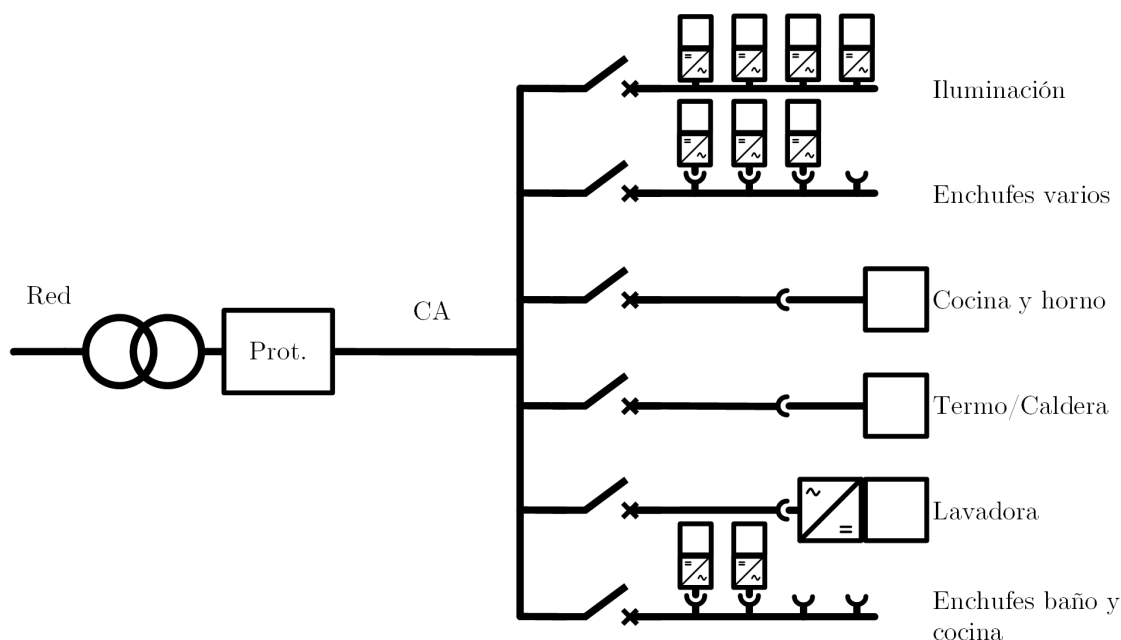


Figura 2.2: Esquema unifilar de la electrificación de una vivienda en CA.

Es necesario tener en cuenta que el cableado en aplicaciones domésticas y en espacios habitados es una estructura relativamente inflexible. Suele venir fijada por la construcción del edificio y para modificarla es necesario hacer obras. Puesto que el mobiliario se añade, en general, mucho después de la construcción, parte de los enchufes disponibles para el usuario pueden dejar de ser accesibles. Se debe asumir que un conjunto de estas interfaces no podrán ser usadas y parte estarán ocupadas por equipos fijos. Además, es preciso sobredimensionar el sistema y añadir un cierto número de enchufes para acomodar los equipos portátiles que el usuario puede querer usar.

Finalmente, la interfaz con el usuario debe ser lo más sencilla posible. Idealmente los enchufes proporcionados serán muy semejante a los que se usan actualmente para distribución de CA. En estos, el usuario simplemente enchufa sus dispositivos cuando los quiere utilizar y los desenchufa, o no, cuando ha terminado de usarlos. Sin embargo, debido a las características de la distribución en CC, las conexiones y desconexiones pueden ser peligrosas. Como se mencionó en el capítulo anterior, si no se utilizan enchufes y clavijas adecuados se corre el riesgo de generar arcos eléctricos potencialmente dañinos para el usuario y los equipos. Para evitar estos problemas, es deseable que el usuario tenga acceso a niveles de tensión seguros en la medida de lo posible.

2.2 Selección de la arquitectura

Si se desea proporcionar al usuario un sistema lo más semejante al que se usa en los entornos domésticos, es necesario estudiar cómo se electrifica actualmente un hogar en CA. En España, el Reglamento Electrotécnico de Baja Tensión especifica la estructura, protecciones y cableado necesarios para la distribución de la energía eléctrica en viviendas [113].

En la Fig. 2.2 se muestra un esquema unifilar de la electrificación de una vivienda utilizando CA para la distribución de energía eléctrica. Se puede ver cómo el sistema del hogar completo está conectado a la red en un único punto, donde se colocan una serie de dispositivos de protección eléctrica. Estos dispositivos se encargan de desconectar el hogar del

punto de conexión en caso de que se dé una situación peligrosa, por ejemplo una sobrecarga o una derivación. Su dimensionamiento tiene que permitir al usuario conectar diversos elementos a la red en función de sus necesidades y el nivel de electrificación de la vivienda, activándose únicamente en escenarios que realmente sean potencialmente peligrosos [113].

El dimensionamiento del SDE doméstico de CA es muy particular de esta aplicación y se realiza en función de distintos factores [113]:

- Los dispositivos de protección eléctrica se dimensionan en función de la potencia máxima contratada por el usuario. De esta forma se asegura su seguridad durante el funcionamiento normal, se evitan sobrecargas del sistema y se limita la potencia que puede consumir a la contratada por el usuario.
- Dependiendo del tamaño de la vivienda, la previsión de instalación de equipos fijos (por ejemplo, aire acondicionado o calefacción eléctrica) y el número de enchufes disponibles para el usuario, el SDE se divide en un cierto número de circuitos independientes. Estos circuitos están destinados a proporcionar energía a distintas áreas o elementos del hogar. El interruptor automático de protección, el cableado y el número de enchufes disponibles en cada circuito se debe dimensionar en función de las necesidades del mismo y, cuando sea aplicable, la legislación vigente [113].
- Los enchufes o tomas disponibles al usuario suelen tener una capacidad de corriente estándar de 16 A o 25 A, dependiendo del uso al que estén destinados [113]. La capacidad total del conjunto de enchufes asignados a un circuito puede exceder el dimensionamiento del mismo. Esto permite dotar al sistema de una mayor flexibilidad sin requerir un cableado más caro o una mayor potencia contratada. Sin embargo, si el usuario no hace un uso correcto del sistema y conecta equipos con un consumo combinado superior al permitido a un mismo circuito, activará su interruptor automático de protección.

Este método de diseño, junto con la división del sistema en circuitos, resulta muy interesante. Por una parte, permite reducir la necesidad de sobredimensionar el cableado, acotando la potencia que debe procesar cada circuito. Por otra, el uso de interruptores automáticos a nivel de circuito añade robustez al sistema, confinando los posibles fallos a un único circuito y permitiendo la desconexión parcial para reparaciones y modificaciones. Además, si el usuario sobrecarga un circuito accidentalmente, la apertura del interruptor automático le proporciona información sobre esta sobrecarga sin necesidad de instalar equipos adicionales para la visualización de esta información.

Como se puede ver en la Fig. 2.3, las modificaciones para convertir el SDE de CA mostrado en la Fig. 2.2 en un SDC con un solo bus de alta tensión son mínimas. La principal diferencia es la sustitución de los rectificadores utilizados para alimentar la mayor parte de las cargas por un único rectificador central, colocado en el punto de conexión a red. Es necesario que este rectificador esté diseñado para procesar, al menos, el máximo de potencia contratada por el usuario. El resto del SDC se puede dimensionar siguiendo las mismas directrices que para el sistema de CA, manteniendo además las ventajas del uso de circuitos independientes.

Aunque el rectificador ahora está centralizado, es necesario utilizar convertidores CC/CC para adaptar la tensión del bus a las necesidades de cada carga, proporcionar aislamiento si fuera necesario y cumplir con las directrices para la implementación de SDCs expuestas en [9]. Estos convertidores CC/CC no forman parte de la red sino de los elementos conectados por el usuario, que estarán diseñados para poder operar desde el bus de CC. Algunos equipos, especialmente aquellos de baja potencia y donde la regulación no es particularmente importante como pequeños motores eléctricos o calefactores, podrían ir conectados

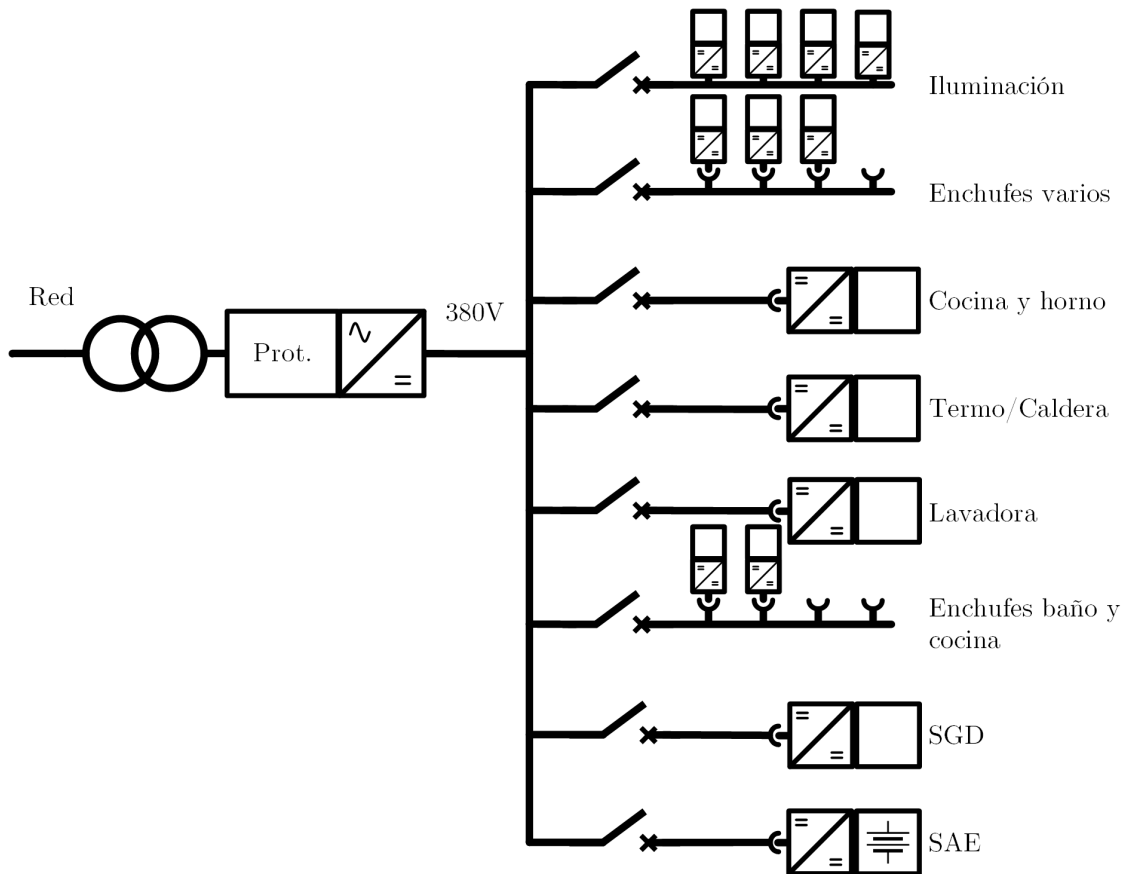


Figura 2.3: Esquema unifilar de la electrificación de una vivienda con un único bus de CC.

directamente al bus para reducir su coste. Sin embargo, los grandes equipos que tradicionalmente se conectaban directamente a la red de CA como los termos eléctricos para el agua caliente sanitaria o el horno, requerirán un convertidor CC/CC como se muestra en la Fig. 2.3.

Otro cambio importante con respecto a la implementación del SDE de CA es la integración del SGD y el SAE en el hogar. Las directrices proporcionadas en [113] no tienen en cuenta estos sistemas en el diseño y dimensionamiento del SDE. Éstos se conectan típicamente entre el interruptor automático general del hogar y el punto de conexión común a todos los circuitos¹. para gestionar los flujos de potencia y desconectar el SGD o el SAE en caso de que haya problemas se utiliza un convertidor CC/CA diseñado para la integración de estos equipos en la red [114]. Esencialmente, se pueden considerar como dos circuitos adicionales con su interruptor automático de desconexión. En el caso de los SDCs se puede seguir una estrategia semejante, conectando el SGD y el SAE a dos circuitos independientes. En lugar de un convertidor CC/CA, ahora se utilizan convertidores CC/CC para controlar el flujo de potencia de sus elementos. Sin embargo, para poder inyectar la energía a la red, el rectificador debe ser bidireccional y controlar las transacciones energéticas con la red.

Puede resultar curioso el hecho de utilizar un convertidor CC/CC para gestionar el SAE en lugar de conectarlo directamente al bus de CC. Este convertidor introduce pérdidas y hace el sistema más caro y complejo. Sin embargo, se debe tener en cuenta que la tensión del SAE depende de su estado de carga y, si éste se conecta directamente al bus, debe

¹En España, el Real Decreto RD900/2015 proporciona normativa sobre la conexión del SGD y la instalación de un SAE doméstico con un sistema de CA. Éste no aplicaría a la arquitectura de la Fig. 2.3 por tratarse de un sistema de CC.

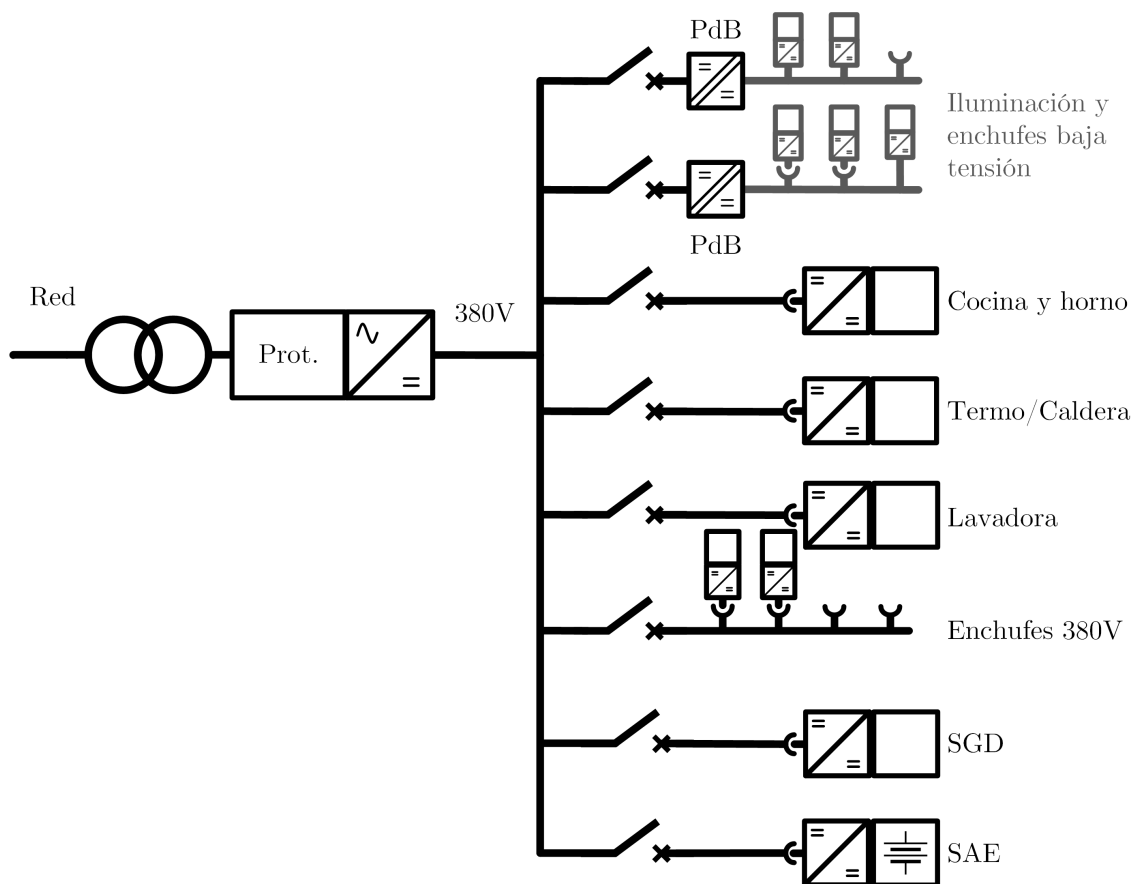


Figura 2.4: Esquema unifilar de la electrificación de una vivienda con dos buses de CC.

estar sobredimensionado, incrementando el coste del sistema y reduciendo la capacidad de aprovechar la energía almacenada. Utilizar un convertidor CC/CC bidireccional, diseñado específicamente para esta aplicación, mejora notablemente la fiabilidad y eficiencia del sistema sin incrementar significativamente el coste [115].

Finalmente, es necesario escoger un nivel de tensión adecuado para el bus de distribución de CC. Como se señaló en el capítulo anterior, utilizar 380 V parece una opción adecuada por varias razones. Por una parte, se corresponde aproximadamente con la tensión típica de salida de un convertidor CA/CC como el que se coloca entre el sistema de distribución y la red [56]. Por otra parte, es la tensión utilizada por gran parte de los autores por su equilibrio entre eficiencia y seguridad [48], la existencia de estándares [61]–[65] y productos comerciales para servidores [57]–[60].

El principal problema de utilizar un nivel de tensión tan elevado es la seguridad del usuario. Tanto si se usa directamente 380 V como si se implementa como un bus ± 190 V, la seguridad frente a un contacto eléctrico directo accidental depende de los sistemas de protección del SDC [62]. Si el SDC completo se implementase a baja tensión para hacerlo más seguro, el sistema sería más ineficiente o notablemente más caro que el actual [48].

Una implementación que alcanza un compromiso adecuado entre complejidad, eficiencia y seguridad para el usuario es el uso de un SDC con dos buses, como el mostrado en la Fig. 2.4. Por una parte, un bus de distribución general de 380 V o ± 190 V proporciona energía a los equipos del hogar definidos como fijos en la Sección 2.1 (grandes electrodomésticos, ordenadores de sobremesa, etc.) y aquellos equipos portátiles, ya sean específicos o genéricos, cuyo elevado consumo eléctrico penalizaría fuertemente su eficiencia si operasen

desde un bus de baja tensión (por ejemplo, aspiradoras, secadores de pelo o batidoras). Estos equipos tendrán clavijas especialmente diseñadas para permitir al usuario su conexión y desconexión del bus de forma segura y evitar o reducir la aparición de arcos eléctricos. Para el resto de equipos portátiles de baja potencia, se proporciona un bus aislado de tensión baja y segura, donde el usuario puede conectarlos sin necesidad de utilizar conectores especiales. Si bien sigue produciéndose un pequeño arco eléctrico, el nivel de tensión reducido permite utilizar conectores más sencillos con menor aislamiento. Para proporcionar este bus, se utilizará un convertidor CC/CC aislado que actúa como Proveedor de Bus (PdB, ver la Fig. 2.4) y que se encarga de regular la tensión proporcionada a las cargas y desconectarlas del bus de 380 V en caso de que se detecte alguna anomalía.

Resulta complicado escoger un nivel de tensión adecuado para el bus de baja tensión. Implementar este bus a 120 V permite la conexión de casi cualquier tipo de carga doméstica sin penalizar significativamente la eficiencia [84] pero no mejora sustancialmente la seguridad con respecto a un bus de 380 V [93]. Un bus con un nivel de 48 V permite conectar equipos de potencias moderadas a pesar del incremento de las pérdidas de distribución. Sin embargo, no es seguro en entornos húmedos como puede ser un cuarto de baño, limitando la aplicación de este bus [116].

La opción más atractiva para la implementación del bus de baja tensión en espacios ocupados es utilizar un nivel de 24 V. Es seguro incluso en entornos húmedos [116] y coincide con la tensión utilizada en la propuesta de EMerge Alliance para el estándar de electrificación en CC de espacios ocupados [101]. En esta propuesta la potencia de las cargas está limitada a 100 W. De esta forma, el cableado de los circuitos de baja tensión cumple con los requisitos de Clase 2 según el Código Eléctrico Nacional de los EE.UU [117], proporcionando una interfaz segura frente a contacto eléctrico al usuario y con muy bajo riesgo de incendio. Debido a la limitación de potencia, es posible mantener las pérdidas de distribución en los cables relativamente bajas si la longitud de los mismos es razonable. En [118] se ofrecen guías de diseño para el cableado de baja tensión, mostrando cómo el uso de 24 V permite la utilización de cables de hasta unos 10 m con pérdidas por debajo del 5 % de la potencia nominal.

La Tabla 2.1 muestra la potencia máxima demandada por algunos de los aparatos eléctricos más comunes en el hogar [119]–[123]. La primera columna muestra cargas portátiles y fijas de bajo consumo. Éstas son particularmente apropiadas para su conexión segura al bus de 24 V. Su baja demanda de potencia permite incluso la conexión de varios de estos elementos a un único circuito limitado a 100 W. La segunda columna muestra cargas fijas de alta potencia que, como se ha mencionado anteriormente, han de ser conectadas al bus de 380 V. La principal duda es qué hacer con las cargas portátiles de más de 100 W, mostradas en la tercera columna. Utilizar más de dos buses de baja tensión, como se propone en [97], podría ayudar a mejorar la eficiencia de estas cargas proporcionando al usuario una interfaz

Tabla 2.1: Consumos típicos de cargas comunes en el hogar.

	Cargas de bajo consumo		Cargas fijas >100 W		Cargas portátiles >100 W
Ordenador portátil	20-60 W	Nevera	150-350 W	Plancha	750-1100 W
Flexo	10-15 W	Lavavajillas	1200 W	Aspiradora	650-800 W
Luminaria LED	10-50 W	Microondas	1500 W	Secador	300-600 W
Cargador de móvil	5 W	Horno	2500 W	Taladro	1000 W
Maquinilla de afeitar	5-15 W	Lavadora	3000 W	Plancha pelo	50-300 W
Router	7-10 W	Secadora	5000 W	Batidora	250-350 W
Televisión LED	20-60 W	Ordenador	150-400 W	Tostadora	1200 W

relativamente segura. Sin embargo, debido a la naturaleza de los elementos de la tercera columna y su uso típicamente ocasional, parece más lógico mantener un sistema simple con tan solo dos buses. Aquellos elementos portátiles que vayan conectados al bus de 380 V deberán utilizar conectores adecuados para evitar problemas en la conexión y desconexión por parte del usuario.

Siguiendo los razonamientos expuestos en esta sección, se concreta una arquitectura basada en dos buses de CC con las siguientes características:

- Se utiliza un rectificador centralizado y bidireccional, con una potencia nominal igual o mayor que la máxima contratada por el usuario, para generar el bus general de 380 V de CC y gestionar las transacciones energéticas con la red.
- El bus general de distribución a 380 V se divide en distintos circuitos independientes con interruptores automáticos. Estos circuitos estarán dimensionados de forma análoga a sus equivalentes de CA [113]. Esto incrementa la robustez del sistema y facilita su mantenimiento, que se puede realizar por sectores.
- Las cargas fijas de alta potencia, los elementos del SGD y el SAE tendrán enchufes y circuitos dedicados. La conexión de cada uno de estos elementos al bus de 380 V requiere el uso de un convertidor CC/CC. Este convertidor se encontrará típicamente integrado dentro del elemento conectado, de la misma forma que los equipos disponibles actualmente para CA incluyen una fuente de alimentación interna.
- Dependiendo de las necesidades del hogar, se proporcionará un cierto número de circuitos con varios enchufes de 380 V. De esta forma, el usuario puede utilizar las cargas portátiles de alta potencia en diferentes puntos del hogar. La cantidad de enchufes de 380 V disponibles se calculará de la misma forma que para las tomas de CA en los sistemas actuales [113]. El interruptor automático de cada uno de estos circuitos protegerán el sistema de posibles sobrecargas.
- En función del tamaño del hogar y del grado de electrificación, se proporciona un cierto número de buses de 24 V limitados a 100 W utilizando Proveedores de Bus (PdBs) que regulan la tensión. Estos PdBs serán convertidores CC/CC aislados para proporcionar una interfaz más segura al usuario donde pueda conectar uno o más elementos. Si además se desea integrar pequeños equipos de generación distribuida o SAEs auxiliares de baja tensión en este bus de 24 V, el PdB tendrá que ser bidireccional.
- Cada bus de 24 V tendrá que proporcionar tomas para iluminación y enchufes individuales o con múltiples tomas para las cargas de baja potencia. En general, estos elementos se conectarán al bus utilizando convertidores CC/CC. Al igual que en el caso de los circuitos de 380 V, el bus de 24 V debe incorporar un interruptor automático o una protección de sobrecorriente integrada en el PdB para poder protegerlo contra sobrecargas.

2.3 Implementación del PdB

La opción más sencilla para la implementación del PdB es colocar un convertidor bidireccional y aislado que proporcione una tensión regulada de 24 V en cada enchufe desde el bus de 380 V con una limitación de potencia de 100 W. Es un concepto semejante al que se usa actualmente para proporcionar varias tomas USB para cargar dispositivos en los enchufes actuales de CA [124], [125].

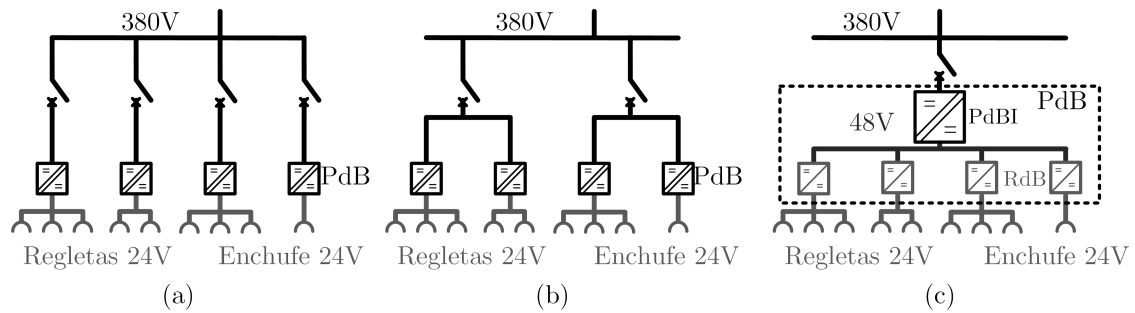


Figura 2.5: Diferentes posibilidades de implementación de los PdBs: (a) con un circuito dedicado para cada PdB, (b) agrupando varios PdBs independientes en cada circuito, (c) utilizando una arquitectura de bus común para proporcionar varios canales independientes con un solo PdB.

Con esta implementación, resulta muy fácil acotar la potencia y modificar la instalación. En cada punto en que el usuario quiera añadir un enchufe o una regleta (esto es, un conjunto de enchufes dependientes del mismo bus) de 24 V, se instala un nuevo PdB. Éste tendrá una potencia nominal de 100 W y las protecciones adecuadas para evitar que las cargas o fuentes que el usuario conecte excedan su capacidad. En caso de sobrecarga o fallo en el bus de 24 V, el PdB únicamente desconecta los elementos conectados a él, minimizando el impacto en el resto del sistema.

Sin embargo, esta implementación presenta una serie de problemas. Por una parte, se plantean dudas sobre la gestión de los circuitos dedicados a los PdBs, su estructura y el dimensionamiento de las protecciones. Utilizar un único circuito para cada PdB encarece y complica el sistema, requiriendo protecciones individuales para cada uno de los PdBs como se muestra en la Fig. 2.5 (a). La conexión de múltiples PdBs a un mismo circuito (como en la Fig. 2.5 (b)) puede causar problemas si no están bien dimensionados o incluso requerir la modificación del cableado para satisfacer las necesidades del usuario. Además, el mantenimiento o modificación de estos sistemas no es sencillo puesto que están conectados al bus de 380 V, una tensión no segura [125].

Parece lógico buscar una solución donde se puedan proporcionar varios buses de 24 V desde un único convertidor conectado a 380 V. Esta aproximación es la propuesta por Nextek para su *Power Server Module* para proporcionar 16 buses independientes de 24 V y 100 W desde una sola entrada de alta tensión [126]. La documentación de esta fuente comercial no da detalles sobre la estructura interna de la misma, por lo que se pueden plantear varias alternativas.

Utilizar un único convertidor centralizado con una capacidad mayor de 100 W parece una solución viable. Esta opción, sin embargo, tiene el inconveniente de que no permite controlar el reparto de potencia suministrada a cada enchufe o regleta de forma independiente y dependería de interruptores automáticos colocados en estas interfaces para protegerlos de sobrecargas.

Otra posibilidad de implementación sería la utilización de un único convertidor aislado con múltiples salidas reguladas. Sin embargo, el control de este convertidor no resulta sencillo. Si se regula una única salida, la regulación cruzada asegura tensiones semejantes en todas las demás pero no permite un control preciso. En general, se necesita implementar controles mucho más complejos para asegurar una buena regulación en cada una de las salidas [127]. En aplicaciones como la doméstica, donde las diferentes salidas pueden estar procesando potencias muy distintas e incluso en direcciones opuestas, el problema es aún mayor.

La implementación de un PdB para dar servicio a varios enchufes o regletas de forma independiente se simplifica notablemente si se opta por una arquitectura de bus intermedio [128]. Esta estructura se muestra en la Fig. 2.5 (c). La interacción con el bus de 380 V se centraliza a través de un único convertidor. Éste actúa como un Proveedor de Bus Intermedio (PdBI en la Fig. 2.5 (c)), proporcionando un bus de tensión intermedia regulada. A este bus intermedio es donde se conectan múltiples convertidores que gestionan las interfaces independientes que se ofrecen al usuario y que actúan como Reguladores de Bus (RdB en la Fig. 2.5 (c)). Cada uno de estos convertidores debe además limitar la potencia demandada o inyectada por el usuario en la interfaz que gestionan y ser capaz de aislar los posibles fallos o anomalías en su bus de 24 V del resto del sistema.

Puesto que las interfaces con el usuario presentan una tensión segura de 24 V, es necesario que el PdB esté aislado. Implementar el aislamiento en el Proveedor de Bus Intermedio tiene dos ventajas. Por una parte, introducir un transformador facilita la conversión desde 380 V a una tensión segura sin penalizar significativamente el rendimiento. Por otra parte, proporcionar un bus intermedio de tensión segura, facilita el mantenimiento y la reconfiguración de los convertidores no aislados que dan servicio a cada bus de 24 V. El usuario podría, por ejemplo, reemplazar aquellos convertidores que se estropearan o añadir más para dar servicio a nuevas interfaces en caliente, sin necesidad de cortar el suministro al resto de interfaces de baja tensión.

Además de la estructura propiamente dicha, es necesario seleccionar una tensión de bus intermedio adecuada para la aplicación. A pesar de que este bus no va a ser accesible para el usuario, su nivel de tensión ha de ser seguro al contacto para evitar duplicar el aislamiento y suficientemente bajo para facilitar la conversión a 24 V con un convertidor no aislado. 48 V parece un nivel apropiado, que cumple con las dos condiciones impuestas y se corresponde además con uno de los niveles recomendados en [99].

Finalmente, se debe dimensionar la potencia del PdB o, lo que es lo mismo, el número de buses de 24 V a los que da servicio. Una posibilidad sería utilizar las mismas especificaciones del convertidor desarrollado por Nextek [126] para cumplir con el estándar de espacios ocupados de EMerge Alliance [101]. Con una capacidad total de 1600 W y 16 salidas independientes, podría cubrir holgadamente las necesidades de todos los dispositivos de baja potencia y las luminarias de un hogar típico (véase la Tabla 2.1). Sin embargo, parece poco práctico realizar la distribución de los buses de 24 V en estrella por todo el hogar debido a las elevadas pérdidas de distribución. Una solución de compromiso entre simplicidad y eficiencia es utilizar varios PdBs de menor potencia, dividiendo el hogar en sectores para la distribución a 24 V.

Un dimensionamiento adecuado podría incluir un PdB de cinco salidas por cada dos estancias. En un hogar típico, una salida de 100 W se podría dedicar a cubrir las necesidades de iluminación, disponiendo de 400 W repartidos en cuatro regletas independientes entre las dos estancias. Debido a la flexibilidad y sencillez de reconfiguración que proporciona el uso de tensión segura en el bus intermedio, sólo es necesario electrificar las regletas y los enchufes que realmente son accesibles al usuario y no están ocultos tras el mobiliario. Si las necesidades del usuario cambian, éste puede reconfigurarlo de forma sencilla, proporcionando energía a las regletas que realmente vaya a utilizar. De esta forma, se puede ajustar la capacidad del PdB a las necesidades reales del usuario, reduciendo el coste del sistema. La Fig. 2.6 muestra un ejemplo de distribución a 24 V en un hogar típico.

Puesto que se ha decidido implementar el PdB como un convertidor bidireccional, este puede procesar la misma potencia máxima en ambos sentidos. Es poco probable que la transferencia desde los buses de 24 V hacia el bus de 380 V alcance los 500 W. Es importante tener en cuenta que el SGD y el SAE principales se conectan al bus de 380 V. Las únicas

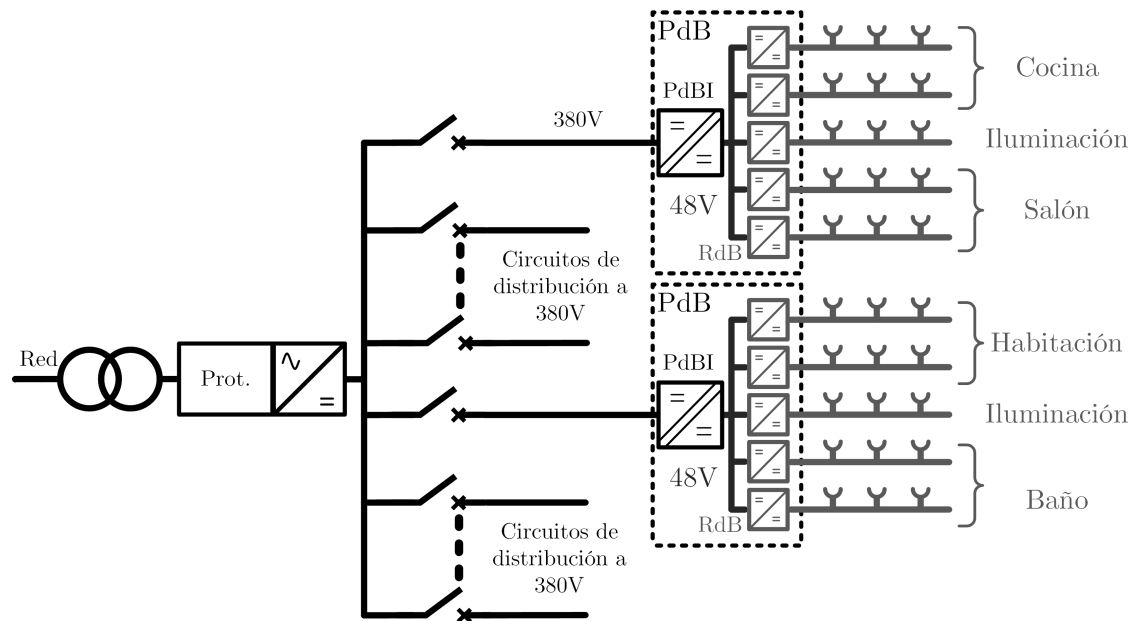


Figura 2.6: Posible estructura de distribución a 24 V en un hogar con cuatro estancias y dos PdB, detallando la asignación de cada canal independiente.

fuentes de energía colocadas en el bus de baja tensión serán elementos de almacenamiento y generación de baja capacidad y potencia. En cualquier caso, no parece lógico limitar arbitrariamente la potencia que se puede procesar hacia el bus de 380 V por debajo de la capacidad máxima del PdB. Avances tecnológicos en las baterías de los equipos o en los sistemas de generación podrían hacer más atractiva la implementación de SGD o SAE complementarios en baja tensión y cambiar la filosofía del SDC propuesto. Por ejemplo, se podrían popularizar las ventanas con paneles fotovoltaicos de baja tensión integrados [129], ideales para su conexión a las regletas de 24 V proporcionadas por el PdB.

Una vez que se ha seleccionado la estructura interna del PdB, los niveles de tensión de cada uno de los buses y la potencia máxima que ha de procesar cada convertidor, es posible escoger la topología más apropiada para cada uno de ellos.

Para el convertidor no aislado que gestiona cada bus de 24 V se utiliza un convertidor reductor síncrono. Es una topología sencilla, con un número muy reducido de componentes, fácil de controlar, bidireccional de forma natural y eficiente, lo que hace que sea muy usada en la industria [130]. Las tensiones de 48 V y 24 V escogidas respectivamente para el bus intermedio y los buses independientes disponibles para el usuario, simplifican la implementación del convertidor reductor con un ciclo de trabajo moderado y un reparto equitativo de los esfuerzos de corriente entre los dos interruptores [131].

El convertidor aislado que proporciona el bus intermedio de 48 V desde 380 V se implementa utilizando un *Dual Active Bridge* (DAB). Comparada con otras topologías bidireccionales con aislamiento galvánico, el DAB es la más prometedora en cuanto a volumen, coste y eficiencia [132]. Su estructura completamente simétrica facilita la transferencia de potencia en ambos sentidos, permitiendo un único control independiente del flujo de potencia. Además, debido a las tensiones bien definidas y reguladas tanto a su entrada como a su salida, no es necesario recurrir a técnicas complejas de control o el uso de circuitos auxiliares para asegurar la alta eficiencia del DAB [132].

2.4 Modos de operación y control del PdB

La mayor parte de los dispositivos que el usuario conectará a los buses de 24 V proporcionados por el PdB serán pequeñas cargas electrónicas. Típicamente, estos dispositivos requieren una tensión de entrada estable para asegurar el correcto funcionamiento de sus reguladores de tensión internos y la adecuada alimentación de sus subsistemas [130].

El PdB debe regular la tensión de los múltiples buses independientes de 24 V a los que tiene acceso el usuario. En condiciones normales de operación, se puede considerar que el PdB tiene acceso a un bus de 380 V estable y regulado por el rectificador central o los convertidores que gestionan el SGD y el SAE del hogar. Por lo tanto, en esta situación, el PdB no debería jugar ningún papel en la regulación de este bus de 380 V.

Las cargas que el usuario puede conectar a los buses de 24 V son muy diversas, como se mostró en la Tabla 2.1. Sin embargo, el hecho de estar conectadas al bus a través de uno o más convertidores que adecuan la tensión del mismo a las necesidades de las cargas, hace que la mayor parte de ellas se puedan modelar como una carga de potencia constante y un condensador [9]. La interacción entre la impedancia de salida del convertidor que regula el bus de 24 V y la impedancia de la carga debe ser tenida en cuenta para el correcto diseño del propio convertidor reductor y su control [133], [134]. En el siguiente capítulo se presenta un análisis más detallado del impacto de estas cargas sobre el diseño del reductor y cómo mitigar sus posibles problemas de estabilidad.

Si bien la mayor parte de los elementos conectados por el usuario serán cargas, es importante recordar que también puede colocar elementos que inyecten potencia al bus de 24 V, por lo general, a través de convertidores. El control de estos elementos debe escogerse y diseñarse con especial cuidado. Si múltiples convertidores intentan regular la tensión de un mismo bus, éstos se comportan como fuentes de tensión. Como se puede ver en la Fig. 2.7, la corriente que se entrega a la carga está acotada por la tensión del bus (V_0 en la Fig. 2.7) y la demanda de potencia impuesta por la carga (Z) cuando se le aplica un nivel de tensión V_0 . Sin embargo, las corrientes I_1 e I_2 que aportan o reciben cada uno de los convertidores que regulan el bus solamente están limitadas por las tensiones nominales de regulación de cada convertidor (V_1 y V_2), su impedancia de salida (Z_1 y Z_2 , idealmente muy pequeñas) y la baja impedancia del cableado y los conectores (Z_{C1} y Z_{C2}). Incluso con una diferencia moderada entre V_1 y V_2 se pueden generar grandes corrientes entre los dos convertidores, pudiendo dañarlos o hacer saltar las protecciones. Incluso si estas corrientes no son poten-

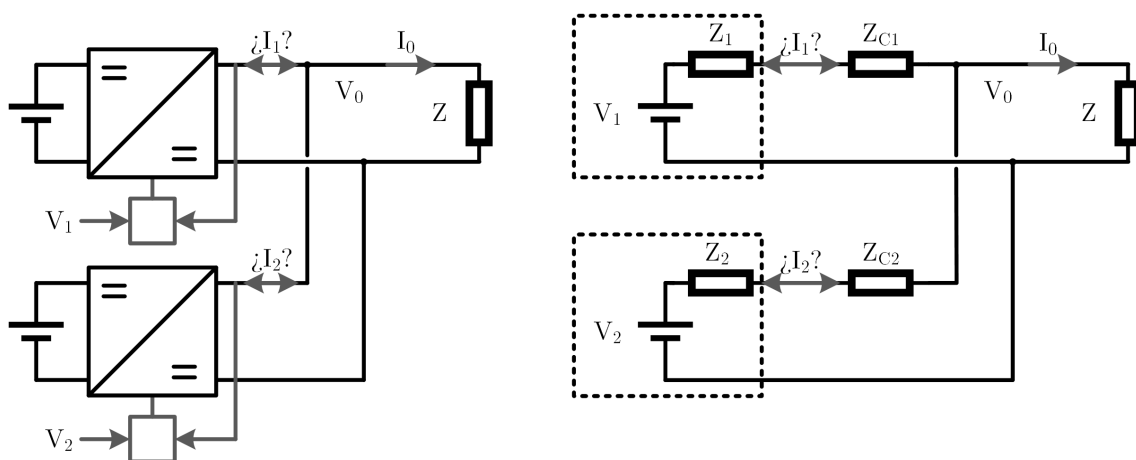


Figura 2.7: Diagrama de bloques de un bus regulado por dos convertidores con una carga genérica Z y circuito eléctrico equivalente.

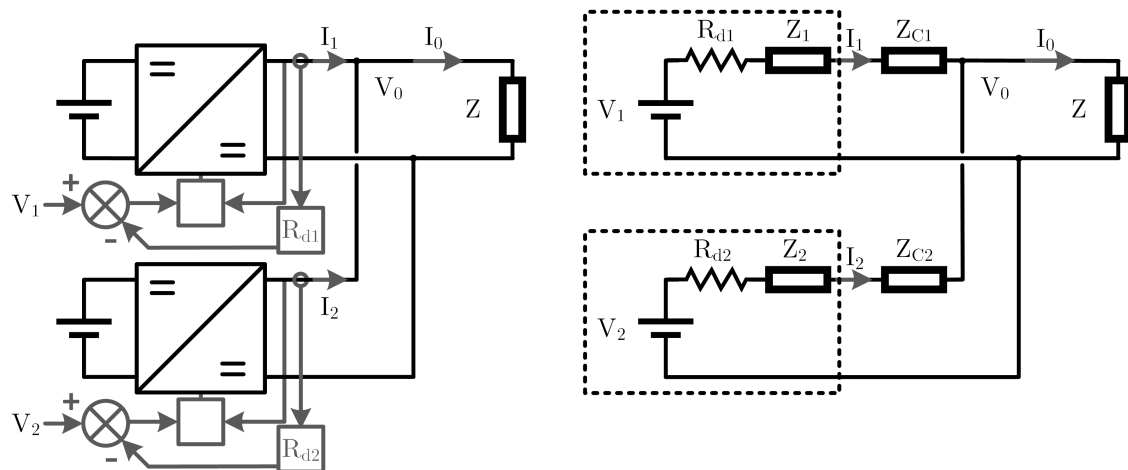


Figura 2.8: Diagrama de bloques de un bus regulado por dos convertidores utilizando control de tensión por *droop* y circuito eléctrico equivalente.

cialmente peligrosas, no es deseable que haya grandes desequilibrios entre ellas o potencia circulante en el bus.

Una solución muy común a este problema es la utilización del control de tensión por *droop*². Esta técnica reduce la tensión de referencia del lazo de regulación en una cantidad proporcional a la corriente de salida del convertidor. De esta forma, se introduce una resistencia de salida virtual que permite controlar el reparto de corrientes cuando varios convertidores controlan la tensión de un mismo bus [135]. La Fig. 2.8 muestra el mismo escenario que la Fig. 2.7 pero utilizando control de tensión por *droop* en ambos convertidores. Los factores de escala R_{d1} y R_{d2} aplicados a la corriente para la modificación de las referencias V_1 y V_2 hacen que el circuito equivalente de los convertidores tenga en serie con su salida sendas resistencias de valor R_{d1} y R_{d2} . Puesto que se trata de una impedancia virtual introducida por a la modificación del control del convertidor y no una resistencia real insertada en el bus, la técnica del control de tensión por *droop* no genera pérdidas adicionales.

El efecto de introducir resistencias virtuales en serie con la salida de los convertidores hace que estos ya no se comporten como una fuente de tensión ideal. Como se muestra en la Fig. 2.9, cada convertidor tratará de imponer una tensión en el bus distinta dependiendo de la corriente que esté entregando o demandando. Puesto que el bus sólo puede presentar una única tensión, los distintos convertidores alcanzarán un punto de equilibrio y el reparto de corrientes dependerá de su tensión nominal de regulación y la resistencia virtual introducida [9]. Si se conectase un elemento adicional al bus, se generará otro punto de equilibrio, con un nivel de tensión distinto en el bus y un reparto de corrientes diferente, como se puede ver en la Fig. 2.11. La convergencia a un punto de equilibrio se produce de forma natural, en función del nivel de tensión del bus y la demanda de corriente, sin necesidad de coordinar los controles de los diferentes convertidores.

En la Fig. 2.9 se muestra además una solución para implementar protecciones de sobrecorriente en el bus. Cuando el convertidor alcanza la corriente máxima que puede procesar, reduce drásticamente su nivel de tensión y pasa a operar como una fuente de corriente más o menos ideal de valor $I_{m\acute{a}x}$. Como se puede ver en la Fig. 2.12, si uno de los converti-

²Esta técnica se nombra por su denominación en inglés *voltage droop control* incluso en textos escritos en castellano. En ocasiones se puede ver traducido como control de tensión por hundimiento o inclinación. Debido a la falta de estandarización en la traducción, en este trabajo de tesis se utilizará el término inglés, ampliamente aceptado.

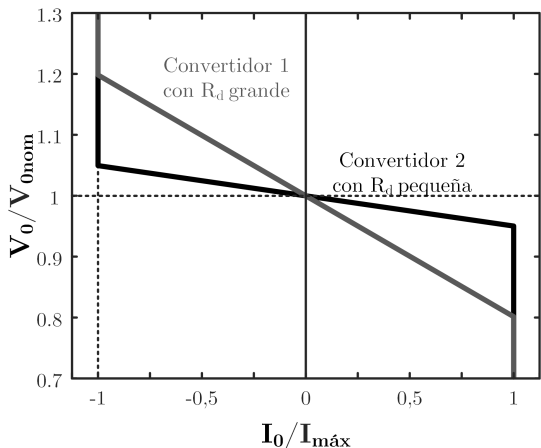


Figura 2.9: Curvas V-I para dos convertidores bidireccionales con distintas resistencias virtuales de *droop* y limitación de corriente.

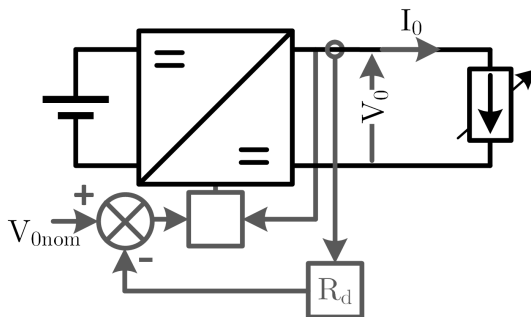


Figura 2.10: Escenario y definición de variables para la obtención de las curvas de la Fig. 2.9.

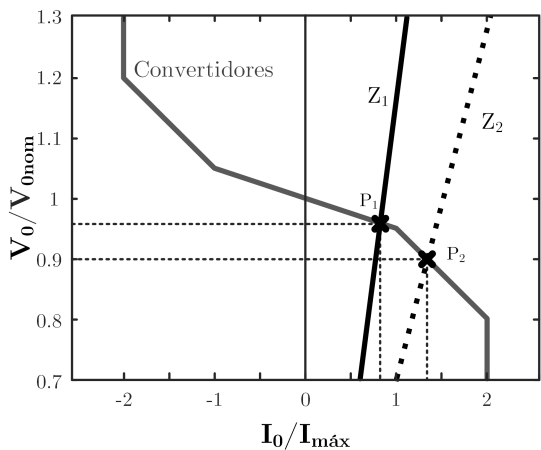


Figura 2.11: Puntos de equilibrio para dos cargas distintas en un bus regulado por los convertidores 1 y 2 de la Fig. 2.9.

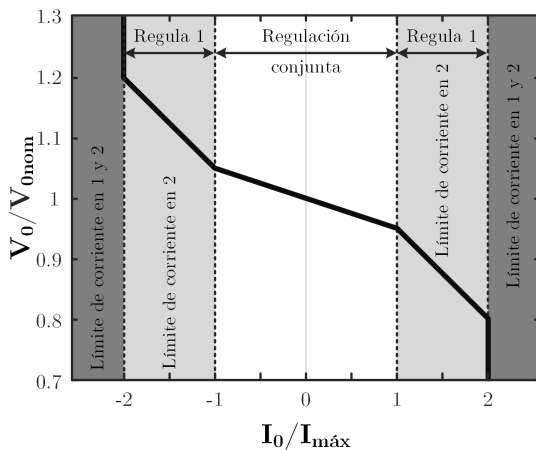


Figura 2.12: Modos de funcionamiento de los convertidores 1 y 2 de la Fig. 2.9 en función de la demanda de corriente en el bus.

dores entra en este modo de funcionamiento pero otro convertidor con una característica de *droop* distinta puede seguir regulando el bus, el sistema completo sigue operando con normalidad (por ejemplo, en el punto P_2). Si la demanda de corriente de las cargas es aún mayor, ninguno de los convertidores será capaz de regular el bus, haciendo caer la tensión y no permitiendo a las cargas operar correctamente.

El principal problema de utilizar control de tensión por *droop* es que el punto de equilibrio no suele coincidir con la tensión nominal deseada en el bus. Para poder asegurar que el sistema llega a encontrar un equilibrio, es necesario permitir una banda de variación de tensión suficientemente grande, típicamente en el entorno del 5 % de la tensión nominal [9]. Dependiendo de las cargas utilizadas y su sensibilidad a la tensión de entrada, esta variación puede ser demasiado grande, requiriendo un mecanismo de corrección que lo devuelva a la tensión nominal. Típicamente, este reajuste se realiza implementando un control de alto nivel que actúa sobre el control de tensión por *droop* de cada convertidor [24]. Independientemente de si se implementa con un controlador centralizado [19], [21], [24] o distribuido [136], es necesario añadir al sistema enlaces de comunicación que permitan a

los convertidores compartir información sobre el estado del sistema y los parámetros de control.

El control de tensión por *droop* con un control de nivel superior para ajustar el punto de equilibrio parece adecuado para el bus de 380 V. Únicamente el rectificador central y los convertidores que gestionan el SGD y el SAE son capaces de regular el bus, por lo que el sistema de control y comunicación puede ser muy sencillo de implementar al incluir pocos elementos. Permite además realizar una gestión detallada de los intercambios energéticos entre el SGD, el SAE y la red, optimizando la operación del SDC [21].

La implementación de este control en los buses de 24 V, sin embargo, presenta dos problemas fundamentales:

- Resulta muy complejo coordinar el control de alto nivel con la gran variedad de elementos que se pueden conectar a las salidas del PdB. Añadir capacidad de comunicación en cada una de las interfaces que se proporcionan al usuario encarece y complica el sistema.
- Las fuentes de energía que se pueden conectar al bus de 24 V no parecen particularmente apropiadas para tomar control sobre la tensión del mismo. El control de tensión por *droop* es adecuado para repartir esfuerzos de corriente entre las distintas fuentes. Sin embargo, debido a las características de estos elementos, este no es el funcionamiento deseado. El convertidor reductor será quien proporcione la mayor parte de la energía en los escenarios de operación más comunes, mientras que estas pequeñas fuentes de energía juegan un papel auxiliar.
 - En el caso de los pequeños elementos de generación es preferible que entreguen la máxima potencia posible, con su convertidor operando como seguidor del máximo punto de potencia (MPPT por sus siglas en inglés) [21]. Si la potencia generada excede la demanda del bus, el PdB se encargará de inyectarla al bus de alta tensión.
 - El SAE auxiliar de baja tensión estará formado principalmente por pequeños elementos de almacenamiento como las baterías internas de los equipos conectados a los buses de 24 V. En general, no es posible asegurar que estos elementos sean capaces de regular el bus en caso de un fallo en el PdB y proporcionar los 100 W necesarios, por lo que parece más lógico usarlos únicamente para reducir la demanda energética cuando esta sea muy alta o mantener funcionando el equipo en el que están instaladas.

Por estas razones, parece más lógico que el PdB sea el único responsable del control de la tensión en cada uno de los buses de 24 V proporcionados al usuario. Los elementos conectados a estos buses controlarán el puerto en el que se encuentra la carga o la fuente propiamente dichas, de forma semejante a la propuesta realizada en [19]. En esta situación, los convertidores que actúan como interfaz con el bus se comportan como Fuentes o Cargas de Potencia Constante (FPC y CPC respectivamente). Como se puede ver en la Fig. 2.13, estos elementos inyectan o demandan una potencia constante sin afectar a la tensión del bus. Se pueden modelar como una fuente de corriente controlada por el lazo de regulación de cada uno de ellos en paralelo con su impedancia de entrada [21]. Esto facilita el modelado del sistema completo al permitir la agrupación de las impedancias y las fuentes distribuidas por el bus en solo dos elementos [19].

Esta solución encaja particularmente bien con el bus de 24 V en una la aplicación doméstica. Los elementos que el usuario puede conectar se pueden clasificar esencialmente en tres categorías:

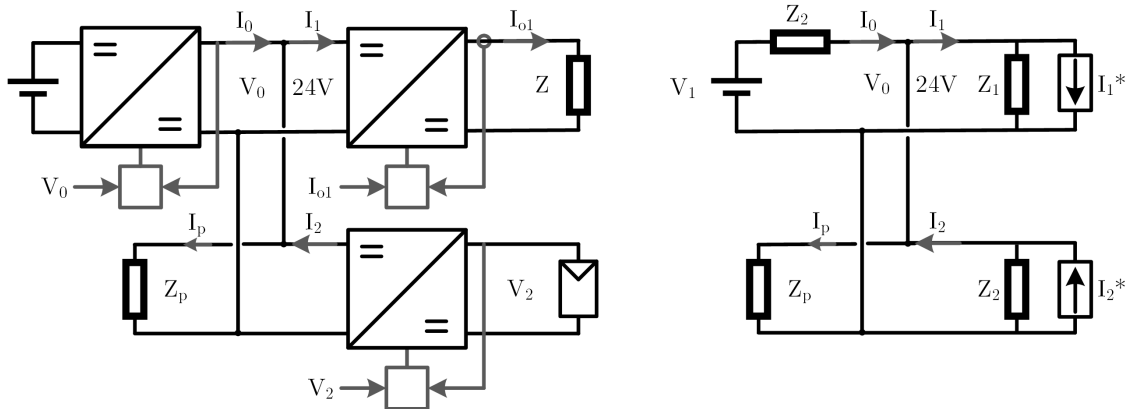


Figura 2.13: Diagrama de bloques del bus de 24 V regulado por un único convertidor con una CPC, una FPC y una carga pasiva Z_p conectadas y circuito eléctrico equivalente.

Convertidores de punto de carga. Como se ha mencionado anteriormente, es necesario utilizar convertidores CC/CC en los equipos conectados al SDC para adaptar el nivel de tensión disponible en el bus a las necesidades específicas de cada uno de los subsistemas. Comúnmente conocidos como de punto de carga (POL del inglés *Point Of Load*), suelen tener una regulación muy estricta de su salida para proporcionar una gran calidad de suministro a sus cargas. Por esta razón, la mayor parte de los equipos se pueden modelar como una agrupación de CPCs según [21] y demandarán una cierta cantidad de potencia desde el bus de 24 V.

Excepcionalmente, en equipos muy sencillos de baja potencia y muy bajo coste como luminarias decorativas o pequeños ventiladores, se podría plantear la conexión directa de la carga al bus de 24 V (como Z_p en la Fig. 2.13). Debido al bajo consumo de estos equipos, su efecto en el bus se puede considerar despreciable.

Convertidores MPPT. Estos convertidores se encargan de gestionar cada uno de los elementos del SGD conectados al bus de 24 V. Para utilizarlos de forma eficiente y extraer en cada momento la potencia máxima que pueden proporcionar, el MPPT debe controlar su punto de operación [18]. Puesto que el bus de 24 V está controlado por el PdB, cada uno de los MPPTs inyectará una corriente proporcional a la potencia que extrae del generador que gestiona, comportándose como una FPC. Al igual que en el caso de los POLs, se pueden agrupar todas las FPCs conectadas al bus para simplificar el modelado.

Gestores de baterías. Puesto que el SAE principal del hogar se conecta al bus de 380 V, los dispositivos de almacenamiento de energía que se pueden encontrar conectados al bus de 24 V serán, en general, las baterías instaladas en dispositivos portátiles (por ejemplo, ordenadores o *tablets*) o equipos críticos con un SAI integrado [137]. Al contrario que los dos casos anteriores, los gestores de baterías pueden operar en varios modos diferentes, dependiendo del estado de carga y las necesidades del equipo. En cada uno de estos modos, el gestor se debe modelar de una forma distinta.

La implementación real de los procesos de carga y descarga de baterías extremadamente complejos y dependen fuertemente de variables como las condiciones de carga, salud y temperatura de la batería [138]. Sin embargo, para un modelado desde el punto de vista del sistema, se pueden identificar tres modos básicos.

Durante el proceso de carga, el gestor inyecta una corriente constante en la batería, demandando una corriente proporcional al bus de 24 V y comportándose como una CPC. La magnitud de esta corriente depende de factores como la capacidad de la batería, su tecnología, su estado de carga o su temperatura [138].

Una vez que la batería alcanza un cierto nivel de carga, el gestor sigue inyectando corriente pero en modo "goteo". Este modo de operación demanda una corriente muy baja desde el bus de 24 V y el gestor se puede modelar como un CPC de muy baja potencia.

Cuando se desea descargar la batería, el gestor debe controlar la corriente que demanda de la misma para no dañarla. Nuevamente, la regulación se produce del lado de la batería y se puede modelar el sistema como una FPC que inyecta una corriente constante al bus de 24 V regulado por el PdB.

En el bus intermedio de 48 V del PdB se puede aplicar el mismo principio de control. El DAB se encarga de regular la tensión del bus al que se conectan los cinco reductores síncronos. Cada uno de estos convertidores se pueden modelar como una FPC o una CPC dependiendo del sentido del flujo de potencia por cada uno de ellos. La Fig. 2.14 muestra algunos de los posibles escenarios de operación dependiendo de la cantidad de corriente demandada o inyectada por cada uno de estos reductores:

- La Fig. 2.14 (a) muestra el modo de operación más común del PdB. El usuario únicamente conecta cargas a las interfaces de 24 V y los cinco reductores demandan potencia al bus intermedio de 48 V, que debe ser proporcionada por el DAB.
- Cuando el SGD de baja tensión o el pequeño SAE auxiliar proporcionan más potencia a su interfaz que la demandada por el resto de elementos conectados en la misma, el reductor pasa a inyectar corriente al bus intermedio. Como se ve en la Fig. 2.14 (b), los reductores sombreados compensan parte de la potencia demandada por el resto y la corriente que el DAB debe procesar se reduce respecto al primer escenario.
- Si la potencia aportada al bus intermedio por parte los reductores sombreados es igual a la demandada por los demás buses de 24 V, el DAB no procesa potencia pero sigue regulando la tensión del bus de 48 V (ver Fig. 2.14 (c)).
- La Fig. 2.14 (d) muestra un escenario donde la mayor parte de los reductores operan como FPCs, inyectando más potencia al bus intermedio que la demandada por las CPCs. En esta situación, el DAB debe procesar el excedente hacia el bus de 380 V para mantener la regulación del bus intermedio.

Teniendo en cuenta este último escenario, se podría plantear que el DAB adoptase un control de tensión por *droop* en el bus de 380 V cuando inyecta corriente hacia él. En este caso, los reductores deberían aplicar control por *droop* sobre el bus intermedio, dejando de regular el bus de 24 V. Técnicamente la implementación de este modo de control es factible, habiendo incluso propuestas con convertidores muy reconfigurables capaces de regular distintas variables con varios tipos de control dependiendo del modo de operación deseado [19]. La única precaución que se debe tomar es asegurar que la transición entre dos modos de control distintos sea suave, actuando sobre las condiciones iniciales del nuevo control, para evitar la aparición de transitorios potencialmente peligrosos para el sistema [21]. Sin embargo, la aplicación de este modo de operación al PdB complica sustancialmente el control para proporcionar un beneficio marginal al sistema. Puesto que el control propuesto ya permite inyectar potencia al bus general de 380 V, la única funcionalidad añadida sería la capacidad de regular este bus en caso de que el rectificador central, el SAE general y todos los SGDs sean incapaces de proporcionar energía. Como se ha visto anteriormente, debido a la limitación de potencia del SGD de baja tensión y el SAE auxiliar que se puede

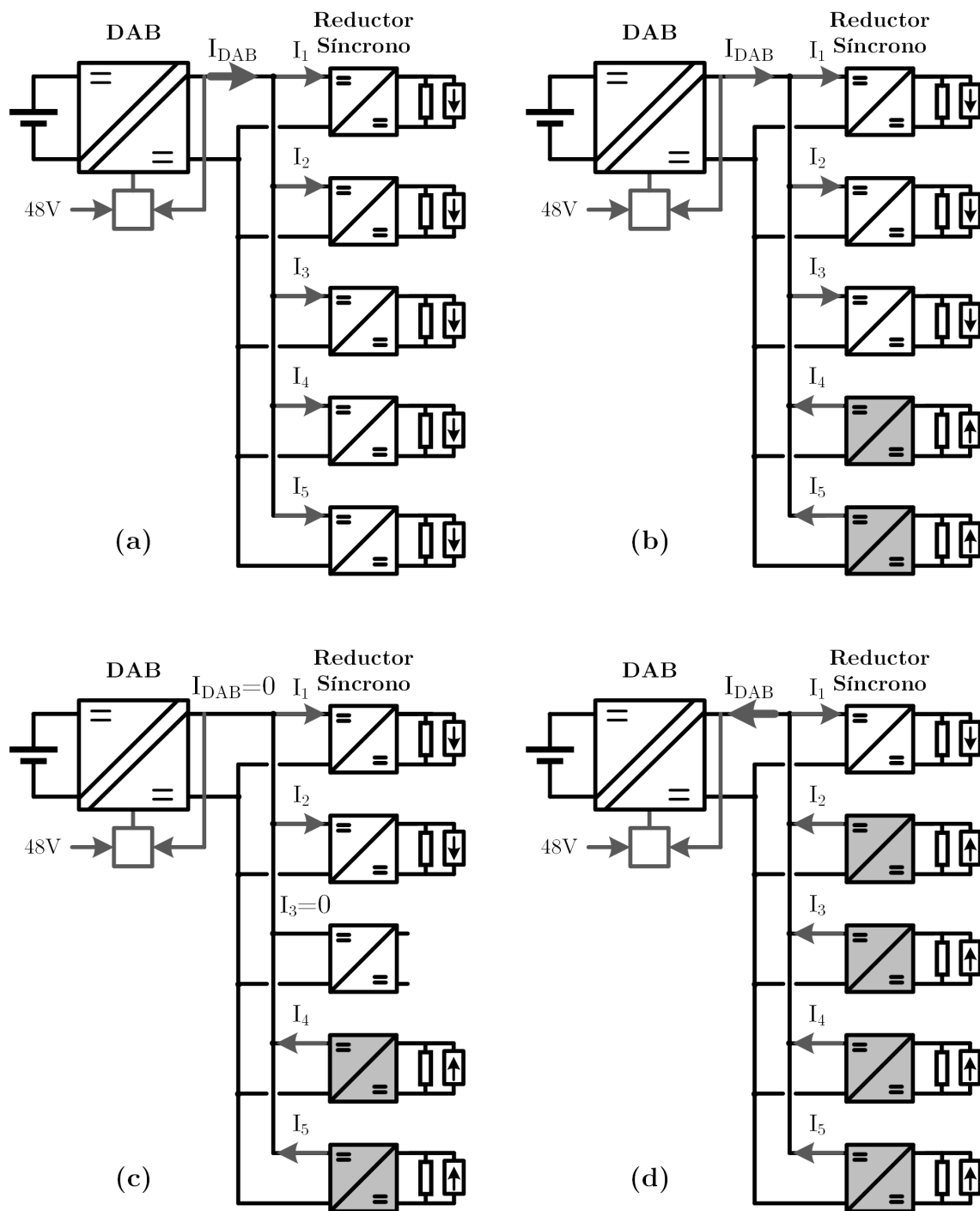


Figura 2.14: Diferentes escenarios de operación del PdB: (a) Todos los reductores como CPC, (b) Dos reductores, sombreados en gris, operan como FPC, reduciendo la potencia que procesa del DAB, (c) las FPCs compensan el consumo de las CPCs y el DAB no procesa potencia y (d) la potencia inyectada por las FPCs es mayor que la demandada por la CPC y el DAB transfiere la diferencia al bus de 380 V.

conectar a las interfaces de 24V, la capacidad del PdB de proporcionar servicio en esta situación está muy limitada. Parece más lógico mantener un único control, simplificando el sistema sin perder funcionalidad.

2.5 Resumen de la arquitectura propuesta

Tras el análisis realizado en este capítulo, la arquitectura propuesta para la implementación de un SDC en el hogar es la siguiente:

- Un rectificador centralizado, colocado en la conexión del hogar a la red de CA, proporciona un bus general de distribución de 380 V. Este bus se divide en varios circuitos con protecciones independientes para proporcionar energía a elementos específicos o enchufes de propósito general. Para un mejor aprovechamiento del SGD y el SAE general, el rectificador es bidireccional y permite inyectar potencia a la red.
- Se proporcionan además un cierto número de buses independientes y aislados de 24 V para que el usuario pueda conectar fuentes y cargas de hasta ± 100 W de forma segura. El número de enchufes o regletas de 24 V a los que se debe proporcionar un bus independiente dependerá de las necesidades del usuario y el tamaño del hogar.
- Se utilizan varios PdBs bidireccionales para proporcionar estos buses de 24 V. Cada uno de ellos será capaz de generar hasta cinco buses de 100 W. Para su implementación, se utiliza un DAB de 500 W que alimenta cinco reductores síncronos desde un bus intermedio regulado a 48 V. Cada reductor se encarga de regular la tensión de su bus de 24 V y gestionar los flujos de potencia entre su regleta y el bus intermedio.

Capítulo 3

Diseño del convertidor reductor síncrono para el PdB

El convertidor reductor síncrono actúa, en la arquitectura propuesta, como intermediario entre el bus intermedio de 48 V proporcionado por el DAB y cada uno de los buses de 24 V accesibles al usuario. El diseño del reductor es crítico para proporcionar una interfaz eficiente, segura y fiable a cualquier equipo doméstico de baja potencia que el usuario pueda conectar.

En este capítulo se propone un procedimiento de diseño y optimización de este convertidor reductor para su integración en el PdB. En primer lugar, se revisa brevemente la topología utilizada y se define la convención de nombres, abreviaturas y símbolos. Tras estudiar el efecto de los objetivos de diseño impuestos por la aplicación en el convertidor, se propone una metodología de diseño que permite cumplir con los requisitos del sistema y optimizar la eficiencia del reductor para unas ciertas condiciones iniciales. Una vez validado este procedimiento, se analizan posibles alternativas de diseño y control buscando encontrar la mejor opción para alcanzar los objetivos impuestos. Este análisis se complementa con ejemplos de diseño, simulaciones y resultados experimentales, que validan el procedimiento propuesto y de los que se extraen una serie de conclusiones en cada una de las secciones.

3.1 Revisión de la topología

El reductor es la topología de convertidor conmutado más sencilla que permite reducir tensión [139]. En su implementación más básica, se compone de un transistor, un diodo, un filtro LC y un circuito de mando que gobierna el transistor. Para que el reductor pueda operar de forma bidireccional, es necesario sustituir el diodo por otro transistor que se controla de forma complementaria al primero, como se puede ver en la Fig. 3.1. Estos transistores se podrían implementar con diversas tecnologías. Sin embargo, en este trabajo, la mayor parte de transistores usados son MOSFET debido a los niveles de tensión y corriente de la aplicación y los términos transistor y MOSFET se utilizarán indistintamente en el texto.

Una diferencia importante entre un reductor tradicional y un reductor síncrono es que el primero sólo permite procesar potencia desde el puerto de entrada hacia el puerto de salida. Cuando se utiliza el reductor síncrono, el MOSFET que sustituye al diodo puede conducir corriente en ambos sentidos, permitiendo invertir el flujo de potencia. De esta forma, el convertidor siempre opera en modo de conducción continuo y la tensión en el puerto de

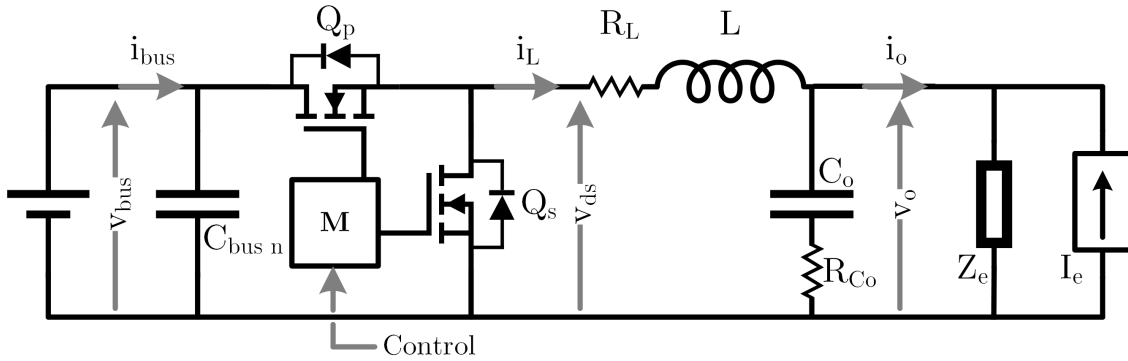


Figura 3.1: Esquema eléctrico del convertidor reductor síncrono con una fuente de tensión a su entrada y una carga externa genérica. No se muestra la implementación del control.

salida del convertidor únicamente depende de la tensión de entrada y la señal de mando aplicada a los transistores [139].

La Fig. 3.2 muestra algunas de las formas de onda más características de un reductor síncrono durante dos periodos de conmutación. En la Fig. 3.2(a) el reductor está proporcionando una corriente i_o positiva a la carga, mientras que en Fig. 3.2(b) la carga está inyectando corriente e i_o es negativa atendiendo al convenio de signos adoptado en la Fig. 3.1. Además, en este caso la corriente por la inductancia i_L presenta valores positivos y negativos debido a su rizado. Se puede ver cómo las señales de mando y las formas de onda de las tensiones son las mismas para unas tensiones de entrada y salida fijas independientemente de la magnitud y del sentido del flujo de potencia.

Los símbolos utilizados en este capítulo se definen en su primera utilización en el texto. Se puede encontrar además una lista detallada de símbolos al final de este trabajo. La convención de nombres utilizada es la siguiente:

- Los componentes se nombran con una letra mayúscula correspondiente con su tipo y un subíndice identificativo de su función o posición (por ejemplo, X_y).

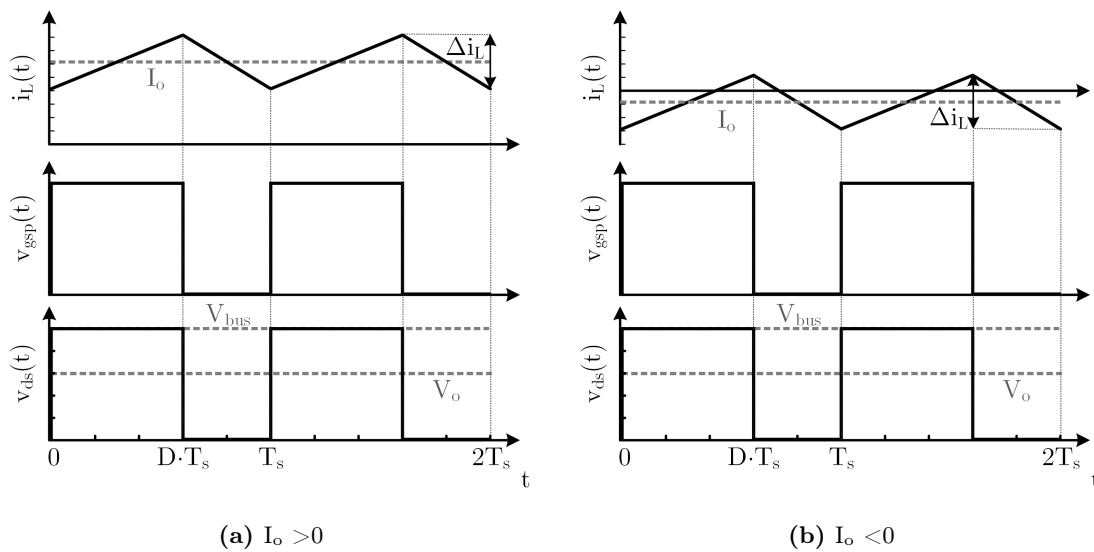


Figura 3.2: Formas de onda de la corriente por la inductancia, señal de control del transistor principal (v_{gsp}) y tensión en el transistor síncrono (v_{ds}).

- Las variables eléctricas se nombran, en general, con una letra minúscula correspondiente con su tipo y un subíndice identificativo (por ejemplo, x_y).
- Una variable eléctrica en mayúsculas indica que se trata del valor de esa variable en régimen estático de funcionamiento.
- Se coloca una línea horizontal sobre el nombre de la variable (por ejemplo, \bar{x}) para indicar el valor medio de la misma. A menos que se especifique lo contrario, se promedia en un periodo de conmutación.
- Se coloca un circunflejo sobre el nombre de la variable (por ejemplo, \hat{x}) para indicar una variación de pequeña señal en la misma.

3.2 Objetivos de diseño

El diseño de un convertidor CC/CC depende fuertemente de la aplicación a la que se vaya a destinar. Una vez se conocen las características del sistema, los perfiles de potencia esperados y la carga que se debe alimentar, es relativamente sencillo realizar un diseño multiobjetivo [110], [111]. Dependiendo de las necesidades específicas del usuario o el cliente, se dará mayor prioridad a un conjunto de objetivos frente a otro.

En una aplicación doméstica se desea, en general, un diseño equilibrado. El usuario preferirá equipos asequibles y compactos pero con una buena eficiencia y una larga vida útil. Utilizando uno de los métodos existentes de optimización se podría llegar a una solución que cumpliera con estos cuatro objetivos. El diseño del PdB plantea, sin embargo, retos adicionales. Si bien las características eléctricas del sistema están perfectamente definidas, el resto de factores que afectan a su funcionamiento son extremadamente variables. Resulta muy complejo predecir la conducta de los usuarios en el hogar [83]. Diferentes personas pueden tener necesidades muy distintas o hábitos particulares que dificultan la elaboración de perfiles de carga en los enchufes y regletas de 24 V proporcionados por el PdB. Un mismo enchufe podría proporcionar 100 W de iluminación a un despacho en horario de oficina y no procesar potencia durante el resto del día, gestionar continuamente varios paneles fotovoltaicos de baja potencia o alimentar dos cargadores de móvil únicamente por la noche. Por esta razón, se consideran algunos aspectos adicionales durante el diseño de los convertidores reductores del PdB.

3.2.1 Calidad del suministro eléctrico en los buses de 24 V

Es imprescindible asegurar la correcta regulación de cada uno de los cinco enchufes o regletas que cada PdB proporciona al usuario. El nivel de tensión en cada uno de estos buses tiene que mantenerse dentro de unos límites tanto en funcionamiento estático como durante los transitorios. Puesto que no existe un estándar que defina estos límites para entornos domésticos, es necesario analizar aquellos pensados para aplicaciones semejantes.

Los estándares existentes para equipos militares embarcados [140] y sistemas de telecomunicación [141] no parecen especialmente apropiados como guía. Por una parte, estos equipos se instalan en sistemas cerrados, donde se conoce la naturaleza de todos los elementos antes de realizar el diseño. Por otra parte, los propios estándares exigen que los equipos sean capaces de funcionar con normalidad en un rango de tensiones de entrada muy amplio para facilitar la interoperabilidad y dotar de gran robustez a estos sistemas. La desviación permitida a la tensión nominal del bus en régimen estático varía entre un

1,8 % en el caso más estricto y un ± 16 % en el más permisivo. Durante los transitorios el margen es aún más amplio, permitiendo variaciones en el entorno de ± 50 % [140].

Una aplicación mucho más cercana a las aplicaciones domésticas es el protocolo USB *Power Delivery* [98]. Pensado para proporcionar hasta 100 W con una tensión variable de entre 5 V y 20 V. La especificación completa es relativamente compleja pero sus características más relevantes se puede resumir en los siguientes puntos [142]:

- La tensión en el enchufe se debe mantener dentro de una banda de ± 5 % entorno a su valor nominal.
- No hay restricción específica sobre el rizado estático. Cualquier combinación de rizado, error de regulación y desviación dinámica es permitida siempre que no supere los límites fijados.
- Los transitorios de carga están limitados a un ± 25 % de la potencia nominal. La trayectoria de la tensión en el enchufe debe cumplir con una máscara especificada en [98], que amplía la banda de regulación en ± 500 mV durante un pequeño intervalo de tiempo.

La limitación de la tensión a una banda de ± 5 % del valor nominal parece más apropiada para el entorno doméstico, simplificando el diseño de los convertidores de los equipos. Sin embargo, hay dos detalles que se deben ajustar para su aplicación en el hogar.

Con la arquitectura propuesta y su método de control no es posible limitar las variaciones de carga a ± 25 % del total. El PdB no proporciona ningún mecanismo de negociación como el que ofrece el estándar de USB. Cuando el usuario enciende o apaga elementos de dinámica muy rápida, como podría ser una luminaria LED, la potencia demandada en cualquiera de los buses de 24 V del PdB podría cambiar bruscamente entre 0 W y 100 W sin ninguna clase de negociación o encendido suave. Por esta razón, el reductor debe ser capaz de mantener la tensión dentro de rango para variaciones de carga del 100 % de la carga nominal.

Puesto que el PdB es bidireccional, esta variación de carga se puede dar en diferentes puntos de funcionamiento. Por ejemplo, el usuario podría tener dos paneles solares de baja potencia en uno de los buses de 24 V y encender una luminaria LED conectada a la misma regleta. La tensión se debe mantener dentro de los límites de regulación independientemente de si la potencia varía entre 0 W y 100 W o entre 30 W y -70 W.

En ningún caso se plantea la posibilidad de que la carga del reductor varíe instantáneamente entre -100 W y 100 W. Puesto que los elementos conectados a cada enchufe o regleta están limitados a ± 100 W, para que se diese esta situación habría que conectar un generador y desconectar una carga o viceversa en el mismo instante, con ambos elementos procesando su potencia máxima. Teniendo en cuenta que es muy improbable que un usuario doméstico pueda generar este escenario, se pueden diseñar los reductores para variaciones instantáneas de carga de ± 100 W como máximo.

El rizado de tensión de salida en régimen permanente no es crítico para esta aplicación. Al utilizar convertidores como interfaz entre los elementos del bus, aquellos subsistemas especialmente sensibles tendrán un POL que limite el rizado de forma local. En [61] se especifica que la fuente de alimentación para realizar las pruebas debe tener un máximo de rizado estático de $\pm 0,5$ %, valor que parece apropiado también para el PdB.

3.2.2 Caracterización de los elementos conectados a los buses de 24 V

Como se ha visto en el capítulo anterior, el usuario puede conectar multitud de elementos distintos a los buses de 24 V. Sin embargo, la mayor parte de ellos se pueden modelar como una CPC o una FPC operando entre 0 W y 100 W. De esta forma, se puede considerar que el efecto de cada elemento en el sistema es independiente de la función que cumple.

Resulta muy sencillo determinar el efecto de las CPCs y las FPCs en el funcionamiento estático del PdB. Puesto que las salidas donde se conectan están reguladas en tensión, estos elementos simplemente demandan o inyectan una corriente proporcional a la potencia que estén procesando [19]. El problema se complica cuando se estudia el comportamiento dinámico del sistema, puesto que hay que evaluar la interacción entre las impedancias de los distintos elementos [9].

El modelado dinámico de CPCs y FPCs resulta extremadamente complejo, puesto que depende de la topología, el tipo de control utilizado y las características del regulador implementado [143]. Sin embargo, es posible obtener un modelo simplificado con solo dos elementos que facilita el estudio dinámico del bus. Con un POL como el mostrado en la Fig. 3.3, suponiendo que opera en modo de conducción continua y utiliza un lazo de control en modo tensión de frecuencia de corte f_{cpol} y procesando una potencia media P_{pol} , su impedancia de entrada en lazo cerrado se puede expresar según la ecuación 3.1. Es importante tener en cuenta que esta impedancia no tiene en cuenta el condensador de entrada C_e .

$$Z_e^{NC}(s) = \frac{(1 + T(s))e(s)}{e(s)M(D)G_{ig}(s) - T(s)j(s)}, \quad (3.1)$$

donde $M(D)$, $e(s)$ y $j(s)$ son parámetros del modelo canónico (Fig. 3.4 y Tabla 3.1), D el ciclo de trabajo del POL en régimen estático, $G_{ig}(s)$ es la función de transferencia entre la corriente por la inductancia en el POL y su tensión de entrada v_o y $T(s)$ es la ganancia de lazo abierto del POL para el método de control utilizado para regular la tensión de salida del POL [139], [143].

Cuando el lazo de regulación está bien diseñado, la ganancia de $T(s)$ a frecuencias menores que f_{cpol} es mucho mayor que el resto de parámetros que aparecen en la expresión. Esto permite simplificar apreciablemente la ecuación 3.1 para obtener una aproximación más sencilla de la impedancia de entrada del POL sin considerar C_e .

$$Z_e^{NC}(s) \approx \lim_{T(s) \rightarrow \infty} \frac{(1 + T(s))e(s)}{e(s)M(D)G_{ig}(s) - T(s)j(s)} = -\frac{e(s)}{j(s)}. \quad (3.2)$$

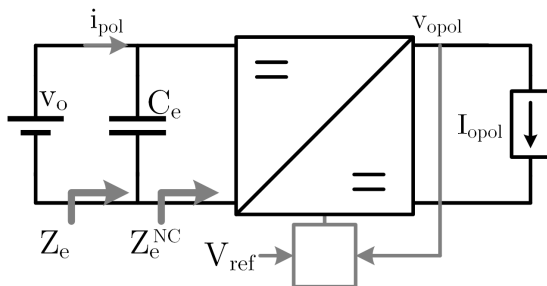


Figura 3.3: POL con una carga genérica.

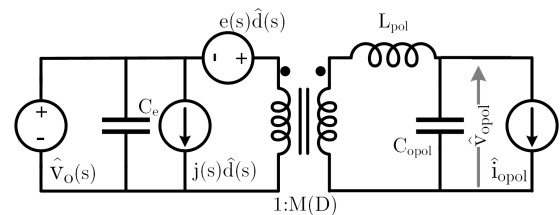


Figura 3.4: Modelo canónico de un convertidor conmutado.

Tabla 3.1: Expresiones para $e(s)$, $j(s)$ y $M(D)$ en el modelo canónico de la Fig. 3.4.

Convertidor	$e(s)$	$j(s)$	$M(D)$
Reductor	$\frac{V_{\text{opol}}}{D^2}$	I_{opol}	D
Elevador	$V_{\text{opol}} - \frac{sL_{\text{pol}}I_{\text{opol}}}{(1-D)^2}$	$\frac{I_{\text{opol}}}{(1-D)^2}$	$\frac{1}{1-D}$
Reductor-Elevador	$\frac{V_{\text{opol}}}{D^2} + \frac{sL_{\text{pol}}I_{\text{opol}}D}{(1-D)^2}$	$\frac{-I_{\text{opol}}}{(1-D)^2}$	$\frac{-D}{1-D}$

Sustituyendo con los parámetros de la Tabla 3.1, por ejemplo, para el convertidor reductor se obtiene la ecuación 3.3 [143].

$$Z_e^{NC}(s) \approx \frac{e(s)}{j(s)} = -\frac{V_o}{I_{\text{pol}}} = R_e. \quad (3.3)$$

Esta ecuación muestra cómo, a frecuencias menores que f_{cpol} , la impedancia de entrada de un POL sin tener en cuenta su condensador de entrada se puede modelar aproximadamente como una resistencia de valor R_e . Si el POL opera como una CPC, la resistencia tendrá valor negativo, mientras que si opera como FPC, la resistencia será positiva. Si se utilizan los parámetros de la Tabla 3.1 correspondientes a los convertidores elevador y reductor-elevador, el resultado lleva a la misma aproximación, dependiente únicamente de V_o y I_{opol} . Si bien es cierto que en la función de transferencia aparece un cero en el semiplano positivo a frecuencias altas, debido al diseño de reguladores para este tipo de convertidores y las restricciones que éste impone sobre f_{cpol} , la aproximación ya no es válida en ese rango de frecuencias. Aunque el análisis se hace para una cierta topología en modo de conducción continuo, los resultados son iguales para otras topologías y modos de operación [144]

El uso de esta aproximación permite simplificar el cálculo de Z_e a una agrupación en paralelo de C_e y R_e , como se muestra en la ecuación 3.4. En esta función de transferencia se puede ver que Z_e presenta un polo. Por debajo de la frecuencia de dicho polo, Z_e se comporta como una resistencia de valor R_e mientras que a frecuencias mayores predomina la impedancia de C_e . Esto permite además obviar el efecto del cero en el semiplano positivo que presentan el elevador y el reductor-elevador.

$$Z_e(s) \approx \frac{R_e}{1 + R_e C_e s}. \quad (3.4)$$

Para poder utilizar esta aproximación, el polo de Z_e debe encontrarse a una frecuencia mucho menor que f_{cpol} . Puesto que los posibles valores de R_e están acotados por los 24 V disponibles a la salida del PdB y la limitación de potencia a ± 100 W, la única forma de reducir la frecuencia del polo es incrementando el valor de C_e [19].

C_e se dimensiona para limitar el rizado de tensión a la entrada del POL. Aunque es posible calcular el valor preciso de C_e requerido para una topología y condiciones de funcionamiento dados [145], se recomienda utilizar entorno a $1 \mu\text{F}$ por cada 1 W que procese el POL [146]. La Tabla 3.2 confirma que se puede utilizar la aproximación para los POL conectados al PdB si se sigue esta recomendación para el valor de C_e . Las frecuencias a las que aparece el polo están siempre por debajo de 300 Hz, una frecuencia mucho menor que los valores típicos de f_{cpol} en el entorno de las decenas de kHz.

El uso de esta aproximación simplifica el estudio de cómo se modifica la respuesta dinámica de los convertidores reductores que proporcionan las interfaces de 24 V al usuario en el PdB.

Tabla 3.2: Posición del polo de Z_e en diferentes escenarios.

$P_{\text{máx}}$ (W)	P_{real} (W)	R_e (Ω)	C_e (μF)	f_{polo} (Hz)
100	100	-5,76	100	276,3
100	1	-576	100	2,763
1	1	-576	1	2,763
-100	-100	5,76	100	276,3
100	0	$-\infty$	100	0

Por una parte, ya no es necesario conocer la topología del POL ni calcular la expresión completa de Z_e para cada uno de ellos. Por otra parte, la obtención de un modelo tan abstracto, con solo dos componentes, permite agrupar un número M de POLs conectados a un mismo reductor en una única impedancia. Para ello, se asocian todas ellas en paralelo, utilizando la ecuación 3.5.

$$Z_{e,MPOLs} = \left(\sum_{n=1}^M \frac{1}{Z_{e_n}} \right)^{-1} \approx \frac{R_{e,MPOLs}}{1 + R_{e,MPOLs}C_{e,MPOLs}s}, \quad (3.5a)$$

$$C_{e,MPOLs} = \sum_{n=1}^M C_{e_n}, \quad (3.5b)$$

$$R_{e,MPOLs} = \left(\sum_{n=1}^M \frac{1}{R_{e_n}} \right)^{-1}. \quad (3.5c)$$

Además del efecto sobre la respuesta dinámica del convertidor reductor y su estabilidad, que se estudiará en profundidad en las siguientes secciones, conectar los POLs a las interfaces de 24V pueden causar otros problemas. En el momento de la conexión, el condensador de entrada C_e estará descargado. Debido a la baja resistencia del cableado, C_e se cargará de forma no controlada, demandando una gran corriente de irrupción¹ desde el bus [147]. Estos grandes picos de corriente deben ser evitados, ya que pueden dañar componentes y conectores [105] o hacer saltar los interruptores automáticos de protección [37].

Otro efecto de este fenómeno es la fuerte caída de la tensión en el bus durante la conexión, como se muestra en la Fig. 3.5(a). La carga almacenada en el condensador de salida C_o del reductor es limitada y se usa, en parte, para cargar C_e . Una opción para evitar que esta variación en la tensión es aumentar el valor de C_o , incrementando su capacidad de almacenar carga. Sin embargo, utilizar condensadores grandes en el bus es poco deseable, ya que incrementa el precio y el volumen a la vez que tiene efectos perjudiciales sobre la dinámica y la seguridad del sistema [9].

Una opción que permite solucionar ambos problemas al mismo tiempo es la utilización de un controlador de conexión en caliente o *hot swap manager* [147]. Este circuito se coloca entre el POL y el bus de 24V para realizar una carga controlada de C_e . Utilizando un transistor colocado en serie con la entrada del POL, controla la corriente que C_e demanda desde el bus, como se puede ver en la Fig. 3.5(b). El diseñador puede ajustar tanto el valor máximo de la corriente de *inrush* como el retardo en la carga de C_e , minimizando el impacto en la tensión del bus y asegurando el correcto funcionamiento del sistema. Siempre y cuando el retardo de encendido se mantenga pequeño, el usuario no podrá

¹Más conocida por el término inglés corriente de *inrush*, incluso en documentos en castellano.

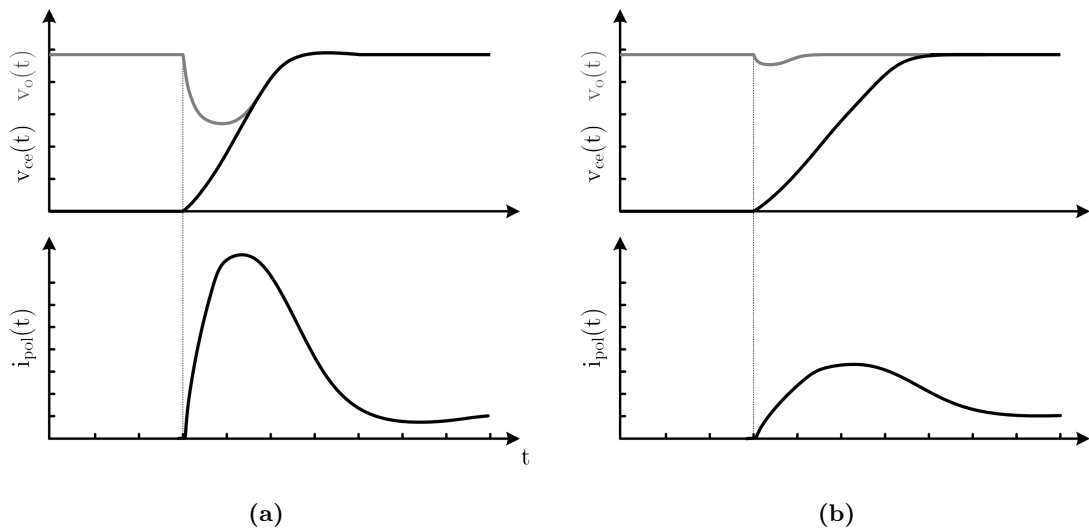


Figura 3.5: Formas de onda de la tensión de salida del reductor v_o , la tensión v_{ce} en la entrada del POL y su corriente de entrada i_{pol} durante una conexión en caliente: (a) conexión directa y (b) con *hot swap manager*.

diferenciar entre un sistema con *hot swap manager* y otro sin él. Una vez que C_e está cargado a la tensión del bus, el interruptor queda cerrado, presentando únicamente una pequeña resistencia serie con bajas pérdidas. Aunque se puede implementar con unos pocos componentes discretos [147], existen multitud de soluciones comerciales con funcionalidades adicionales como protecciones o diferentes modos de operación [148], [149].

3.2.3 Control de la tensión de salida en un reductor bidireccional

Siguiendo la filosofía de control y los modos de funcionamiento propuestos en el capítulo anterior para el PdB, cada uno de los reductores que lo componen deben controlar únicamente su tensión de salida v_o . Independientemente del sentido en que procesen potencia, deben proporcionar una tensión estable de 24 V. Como se vio en dicho capítulo, no tiene sentido plantear un control con distintos reguladores. El reductor siempre va a funcionar en un único modo de operación y controlará una sola variable eléctrica, v_o .

Una de las ventajas de la utilización del convertidor reductor síncrono es que su tensión de salida es independiente de la corriente media que procesa el mismo. Su principio de funcionamiento se basa en la aplicación de una tensión pulsada al filtro LC de salida. Asumiendo que el DAB proporciona una tensión muy estable al reductor, v_o es directamente proporcional al ciclo de trabajo (d) de la tensión pulsada aplicada al filtro [139].

Independientemente de la implementación exacta del control de la tensión de salida, resulta muy sencillo ver que, en todos los casos, el reductor será capaz de regular independientemente del flujo de potencia. Puesto que v_o únicamente depende de d , el control sólo puede modificar esta variable para ajustar v_o de forma proporcional. El control puede encontrar tres escenarios distintos:

- En funcionamiento estático, la corriente i_L que entra al filtro LC es, en media (\bar{i}_L), igual a la corriente saliente i_o . Netamente, el condensador C_o no absorbe ni inyecta corriente, manteniendo v_o estable. El control no detecta ningún error y el ciclo de trabajo d no cambia.
- Si alguno de los POLs o las cargas conectado a la salida del reductor demanda una corriente mayor, hay un desequilibrio entre \bar{i}_L e i_o . La diferencia la debe proporcio-

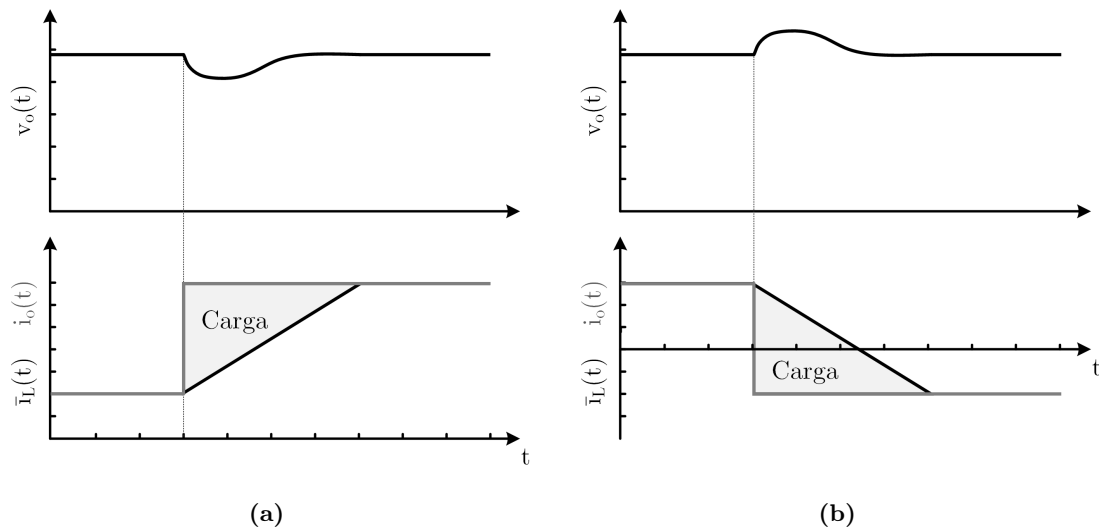


Figura 3.6: Formas de onda de la tensión de salida del reductor v_o , la corriente demandada i_o y la corriente media por la inductancia \bar{i}_L durante dos transiciones: (a) incremento de i_o en modo fuente y (b) paso de fuente a sumidero.

nar C_o , cediendo carga y reduciendo la tensión v_o . El control detectará un error y aumentará d temporalmente para corregirlo. En el proceso, debido al desequilibrio, la magnetización y desmagnetización de L cambia, incrementando \bar{i}_L . Un ejemplo de esta transición se muestra en la Fig. 3.6(a).

Si \bar{i}_L e i_o tenían originalmente un valor negativo y la nueva demanda de potencia hace que i_o pase a ser positiva, la variación causada en \bar{i}_L invierte el flujo de potencia. El convertidor reductor pasaría de comportarse como un sumidero de corriente a ser una fuente.

- Si la demanda de i_o se reduce, el desequilibrio tiene el efecto opuesto. C_o debe absorber corriente, incrementando el valor de v_o . El control lo corregirá disminuyendo d hasta que \bar{i}_L coincida con la nueva i_o .

Si i_o pasa de un valor positivo a otro negativo, el control produce el mismo cambio en \bar{i}_L y el flujo de potencia se invierte. El reductor deja de operar en modo fuente para comportarse como un sumidero. Un ejemplo de esta transición se muestra en la Fig. 3.6(b).

Se puede concluir que cualquier control de la tensión de salida pensado para aplicaciones unidireccionales es compatible con la operación en modo sumidero y la transición suave entre fuente y sumidero. La única precaución que se debe tener es que el control escogido no tenga protecciones o características que eviten la inversión del flujo de potencia, por ejemplo implementando un modo de conducción discontinuo forzado por emulación de diodo [150] o tenga un lazo interno de corriente que solo admita medidas de corriente positivas. Algunos fabricantes tienen líneas de productos especialmente diseñados para operar tanto en fuente como en sumidero. La mayor parte de ellos están orientados a la alimentación de memorias de tipo DDR [151], [152] aunque también hay circuitos integrados de aplicación genérica y rangos de tensión amplios [153]

Puesto que el control de la tensión de salida con un reductor bidireccional no exige ninguna funcionalidad adicional con respecto a los métodos tradicionales, cabe preguntarse si tiene sentido utilizar una implementación digital. La utilización de controles digitales resulta especialmente atractiva cuando se desea añadir funcionalidades más complejas al sistema,

como la comunicación con un control central, la reconfiguración o ajuste de los parámetros de funcionamiento o la gestión de diferentes modos de operación [154]. Sin embargo, el único objetivo de los reductores del PdB es proporcionar una tensión de salida estable y regulada. En este tipo de aplicaciones sencillas es más apropiado utilizar controles analógicos debido a su menor coste y su simplicidad [154].

3.3 Procedimiento de diseño propuesto

Una vez establecidos los parámetros eléctricos del reductor, su diseño aún presenta un gran número de grados de libertad. En esta sección, se analiza cada uno de ellos para proporcionar un criterio de diseño que proporcione un convertidor eficiente, compacto y económico a la vez que se asegura que la solución propuesta cumple con todos los requisitos impuestos en las secciones anteriores.

3.3.1 Análisis de los grados de libertad en el diseño

Selección de los MOSFETs Q_p y Q_s . Los transistores son probablemente el componente más sencillo de seleccionar para el diseño del reductor. A la vista de los requisitos de tensión y corriente que impone el sistema, el uso de MOSFETs parece la solución más adecuada, aunque también se podría valorar el uso de HEMTs de GaN [155].

En primer lugar, se debe asegurar que los MOSFETs escogidos para el reductor son capaces de soportar su tensión de entrada (48 V en este caso) con un cierto margen de seguridad. Por otro lado, la corriente máxima y eficaz que debe conducir cada uno de los dos MOSFETs es sencilla de calcular en un reductor [139]. Además, en este caso, la relación entre la tensión de entrada y salida del reductor hace que estas corrientes sean idénticas en los dos [131]. Puesto que ambos MOSFETs soportarán la misma tensión y corriente, parece lógico usar un mismo modelo para Q_p y Q_s .

La selección de la capacidad de corriente del MOSFET, sin embargo, no es trivial. Utilizar directamente la especificación de corriente proporcionada por los fabricantes con un margen de seguridad, al igual que se hace para la tensión, puede no dar buenos resultados. Esto se debe a que los datos de corriente proporcionados en las hojas de características dependen fuertemente del empaquetado, pudiendo tener variaciones de hasta tres a uno en un mismo dispositivo [156], [157]. Por esta razón, el MOSFET se debe seleccionar en función de su $R_{ds(on)}$, que da información real sobre las pérdidas de conducción. Aunque el diseñador podría tener la tentación de escoger un MOSFET con una $R_{ds(on)}$ muy reducida para reducir las pérdidas de conducción, esto tiene un fuerte impacto sobre las capacidades parásitas y, en consecuencia, las pérdidas de conmutación [158].

Una posible solución es la utilización de algoritmos de optimización como el presentado en [159] para seleccionar el MOSFET más apropiado para el reductor. Sin embargo, el procedimiento propuesto depende de demasiados factores que el diseñador puede no controlar. Por una parte, exige conocer con precisión el perfil de carga del convertidor, tener un objetivo de pérdidas preciso y fijar de antemano parámetros como la frecuencia de conmutación f_s o el rizado de corriente por la inductancia Δi_L . Dependiendo de los MOSFETs escogidos, estos parámetros podrían cambiar significativamente, exigiendo un proceso iterativo. Por otra parte, el algoritmo se basa en parámetros de la hoja de características. Dependiendo del fabricante y el modelo del MOSFET, esta información puede ser muy limitada, estar proporcionada para condiciones de operación distintas o requerir cálculos complejos para obtener el parámetro deseado en función de los que proporciona el fabricante.

Otro aspecto importante de la selección del MOSFET es su empaquetado. Este afecta a múltiples aspectos, tanto del propio dispositivo como del resto del circuito. No sólo limita la capacidad de corriente del dispositivo, como ya se ha visto, si no que puede penalizar significativamente las prestaciones del mismo por la introducción de parásitos [160], [161]. También pueden exigir la utilización de sistemas de refrigeración para evitar dañar el MOSFET. Ya se utilice la propia PCB² para evacuar el calor o complejos montajes con múltiples accesorios, el empaquetado escogido puede condicionar fuertemente el coste y tamaño del convertidor [162], [163]. En definitiva, la selección de los interruptores pasa por encontrar un compromiso entre prestaciones, precio e impacto en el resto del sistema.

Selección de la inductancia L. El diseño de la inductancia dependerá fuertemente de los requisitos eléctricos impuestos al convertidor, el valor escogido para C_o y la frecuencia de conmutación del reductor f_s . A día de hoy hay disponibles una gran cantidad de opciones para su implementación, desde componentes comerciales de valores estandarizados hasta diseños totalmente personalizados, a medida de la aplicación.

Las inductancias estándar son una buena opción para simplificar el diseño y reducir el coste. Múltiples fabricantes proporcionan un amplio catálogo de inductancias de valores y formatos adaptados a las necesidades de distintas aplicaciones. Algunos de ellos incluso disponen de herramientas para seleccionar el modelo más apropiado [164], reduciendo el tiempo de desarrollo del convertidor.

En ocasiones, el uso de inductancias comerciales estándar no es adecuado. Ya sea porque se desea optimizar la eficiencia al máximo o porque no existe un producto estándar que encaje perfectamente con la aplicación, en ocasiones es necesario realizar un diseño completo de la inductancia. El diseñador debe seleccionar parámetros como el material magnético, la forma y el tamaño del núcleo o la implementación de los devanados. Para ello, dispone de procedimientos de diseño que optimizan la inductancia para unos parámetros arbitrarios iniciales [139].

Tanto si se utilizan inductancias estándar como si se diseñan a medida, no es posible seleccionarlas de forma aislada. Se deben tener en cuenta otros parámetros del convertidor como f_s , la dinámica deseada o el efecto de Δi_L en el resto de los componentes.

Selección de los condensadores $C_{bus\ n}$ y C_o . El diseño del condensador de salida C_o , al igual que en el caso de la inductancia, viene determinado por la implementación del filtro y los requisitos impuestos sobre el funcionamiento del reductor. El valor de C_o tiene un fuerte impacto sobre el rizado de la tensión en el bus de 24 V en régimen permanente, la respuesta dinámica del reductor y la estabilidad del mismo, por lo que hay que evaluar cuidadosamente las diferentes opciones de implementación.

Prestando atención únicamente al volumen, la utilización de condensadores electrolíticos es la opción más adecuada [165]. Sin embargo, su vida útil es reducida y su mal comportamiento a altas frecuencias limita la respuesta dinámica del convertidor.

Para las especificaciones del reductor utilizado en el PdB y las especificaciones globales propuestas en el capítulo anterior parece especialmente adecuado el uso de condensadores cerámicos para implementar C_o [166]. Aunque no ofrecen tanta capacidad como los electrolíticos por unidad de volumen, ofrecen una larga vida útil, una baja Resistencia Serie Equivalente (ESR) y una muy buena respuesta en frecuencia, proporcionando filtrado a frecuencias mucho mayores que otras tecnologías [165]. Estas características hacen de los

²Placa de circuito impreso, en inglés *Printed Circuit Board*.

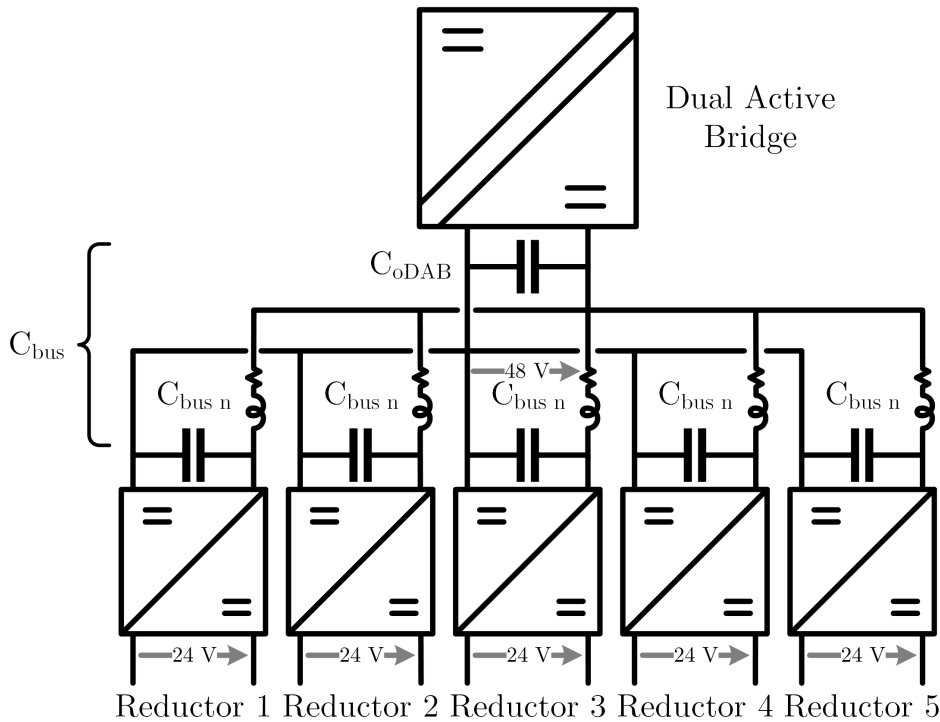


Figura 3.7: Esquema simplificado del bus intermedio de 48 V.

condensadores cerámicos una excelente opción por permitir un bajo rizado de tensión, una buena respuesta dinámica del reductor y unas pérdidas despreciables [166].

Para la implementación de $C_{bus\ n}$ se pueden utilizar también condensadores cerámicos. Éstos son especialmente adecuados para esta aplicación debido a la gran componente de alterna que presenta la corriente de entrada del reductor y su baja ESR. Su valor se puede determinar utilizando un procedimiento análogo al utilizado en la sección anterior para calcular C_e , adaptando los criterios utilizados para los POLs al convertidor reductor.

Es importante recordar que $C_{bus\ n}$ debe estar colocado en el propio convertidor reductor. El bus intermedio de 48 V tiene un condensador distribuido C_{bus} formado por el condensador de salida del *Dual Active Bridge* C_{oDAB} y los cinco condensadores de entrada $C_{bus\ n}$ de los reductores. Sin embargo, las pequeñas impedancias del cableado y los conectores mostradas en la Fig. 3.7 hacen que cada reductor esté desacoplado de este condensador distribuido y el rizado de su tensión de entrada dependa principalmente de su condensador $C_{bus\ n}$.

Selección de la frecuencia de conmutación f_s . La frecuencia de conmutación juega un importante papel en el diseño del convertidor. Es común escoger f_s de forma arbitraria en función de la experiencia del diseñador, las especificaciones básicas del convertidor y los MOSFETs disponibles [19], [166]. Sin embargo, debido a los múltiples efectos que tiene sobre distintos aspectos del diseño del convertidor, resulta interesante optimizar f_s [111].

Tradicionalmente, se ha optado por utilizar frecuencias bajas, debido a las limitaciones impuestas por los dispositivos existentes [110]. Sin embargo, la mejora tecnológica de los transistores y la necesidad de minimizar el tamaño de los filtros ha desplazado las frecuencias de conmutación desde unos pocos kHz hasta las centenas de kHz [110]. Este incremento de frecuencia permite reducir significativamente el tamaño del filtro, puesto que se reduce la necesidad de almacenamiento de energía durante un periodo de conmutación. Sin embargo, las mayores pérdidas debidas a la conmutación de los dispositivos obligan a encontrar

un valor de f_s que disminuya el volumen del filtro sin incrementar en exceso el volumen de los elementos de refrigeración [111].

Otro aspecto a tener en cuenta es la limitación que suponen los elementos pasivos actuales. Con unos transistores cada vez mejores, las pérdidas en la inductancia y el condensador debidas a la conmutación a alta frecuencia son cada vez más relevantes para el diseño del convertidor. Incrementar f_s en exceso podría causar un incremento del volumen del filtro, debido a la ausencia de materiales adecuados para la implementación de los componentes pasivos [167].

Selección del modo de control. Idealmente, el reductor debería ser capaz de responder de forma instantánea a cualquier perturbación, manteniendo fija la tensión de salida en el punto de regulación en todo momento. En la práctica, la capacidad de respuesta está limitada por el modo de control utilizado y la propia respuesta de dinámica del reductor con dicho control [168].

En esta sección se plantea el diseño del reductor utilizando un control en modo tensión [133]. Además de ser muy sencillo de implementar y operar con una f_s fija, permite regular la tensión de salida con muy buena dinámica [169]. En la sección 3.5 se analizan otros posibles métodos de control y se realiza una comparativa de prestaciones para esta aplicación.

3.3.2 Primera aproximación: mapas de diseño

Para un conjunto de especificaciones de sistema y de requisitos impuestos al reductor existen múltiples soluciones que proporcionan un diseño válido. Es necesario buscar un procedimiento sencillo para poder representar y comparar distintas opciones de implementación. De esta forma, en función de las prioridades del diseño, será posible obtener un conjunto limitado de soluciones que se podrán estudiar y comparar fácilmente.

Para esta primera aproximación a la simplificación del diseño, se centra el trabajo en el diseño del filtro LC colocado a la salida del reductor. Si bien el resto de parámetros de diseño son relativamente independientes entre sí, los valores de L y C_o se condicionan uno al otro y tienen un gran efecto sobre los parámetros de calidad de suministro definidos en la sección 3.2.1 y la estabilidad del sistema cuando se conectan las cargas externas descritas en la sección 3.2.2.

El procedimiento de diseño propuesto en [166], basado en mapas de soluciones, resulta especialmente interesante. En él se imponen condiciones a los valores de L y C_o en función de las especificaciones y requisitos fijados al reductor para obtener un conjunto de pares $\{L, C_o\}$ válidos para una frecuencia de conmutación f_s dada. Los parámetros de diseño considerados para la confección del mapa son los siguientes:

Rizado de corriente por la inductancia Δi_L . Este es un parámetro de diseño típicamente fijado de antemano para limitar la corriente máxima que debe soportar tanto la inductancia como los transistores. Su valor viene definido por la ecuación 3.6 [166].

$$\Delta i_L = \frac{(1-D)V_o}{f_s L}. \quad (3.6)$$

Puesto que se desea obtener una corriente de salida continua, idealmente, Δi_L debería ser lo más pequeño posible para minimizar el valor del condensador de salida C_o que realiza el filtrado y el valor eficaz de las distintas corrientes en el convertidor. Sin embargo, esto

exige que L o f_s tomen valores muy elevados. En vista de que no resulta práctico, es común acotar Δi_L entre un 20 % y un 40 % para reducir los esfuerzos de corriente sin penalizar el diseño de la inductancia significativamente [145]. Una vez se decide el máximo rizado deseado, se impone un límite inferior al valor de L según la ecuación 3.7.

$$L \geq \frac{(1-D)V_o}{f_s \Delta i_L}. \quad (3.7)$$

Frecuencia de corte mínima $f_{c\min}$. En general es deseable que el ancho de banda del lazo de regulación sea lo mayor posible para proporcionar una respuesta rápida a las perturbaciones y mantener la tensión v_o bien regulada. Sin embargo, el valor máximo viene limitado por dos factores:

- En un convertidor reductor controlado en modo tensión, es posible dotar al lazo de regulación de un ancho de banda de hasta un quinto de f_s con un diseño adecuado [170]. Utilizar un valor mayor de f_c no permite asegurar suficiente atenuación de las componentes a f_s . Puesto que f_s se selecciona de forma arbitraria, no es posible modificar esta limitación sin cambiar el diseño completo.
- En esta aplicación, el reductor no tendrá variaciones en su referencia de tensión ni en su tensión de entrada v_{bus} . La respuesta del reductor frente a variaciones rápidas de la carga depende no solo de f_c sino también del valor de L [168]. La inductancia limita la capacidad de variación de \bar{i}_L y, por lo tanto, el valor efectivo de f_c .

Para evitar que la respuesta del convertidor sea muy lenta, parece necesario asegurar un valor mínimo de f_c . En condiciones normales de funcionamiento con un control en modo tensión, la variación de \bar{i}_L viene marcada por la magnitud del transitorio de corriente ΔI_o y la f_s escogida [168]. Si bien la evolución exacta de \bar{i}_L es compleja y depende fuertemente de la implementación del controlador, se puede aproximar por la ecuación 3.8.

$$\bar{i}_L(t) \approx \Delta I_o(1 - 4f_c t), \quad \text{con} \quad \left(t \leq \frac{1}{4f_c} \right), \quad (3.8a)$$

$$\frac{d\bar{i}_L}{dt} \approx 4f_c \Delta I_o. \quad (3.8b)$$

Sin embargo, el convertidor no siempre es capaz de modificar \bar{i}_L con la derivada marcada por el lazo de regulación debido a la limitación impuesta por L . La Fig. 3.8(a) muestra un escenario en el que \bar{i}_L no es capaz de seguir el comando del control. El valor de L es demasiado grande y limita el ancho de banda efectivo del lazo. Si se tiene un diseño que permite un mayor rizado de corriente, como el mostrado en la Fig. 3.8(b), sí que se aprovecha adecuadamente el ancho de banda del lazo de regulación del controlador. La ecuación 3.9 define la variación máxima de \bar{i}_L en función de L y la limitación que impone el circuito de control utilizado sobre d , que puede variar entre D_{\min} y D_{\max} [168].

$$\left. \frac{d\bar{i}_L}{dt} \right|_{\max} = \min \left\{ \frac{D_{\max} V_{bus} - V_o}{L}, \left| \frac{D_{\min} V_{bus} - V_o}{L} \right| \right\}. \quad (3.9)$$

Se debe seleccionar un valor de L adecuado que permita alcanzar, al menos, el valor de $f_{c\min}$ escogido. Igualando las ecuaciones 3.8b y 3.9 y despejando, se obtiene un límite superior sobre el valor de L definido por la ecuación 3.10.

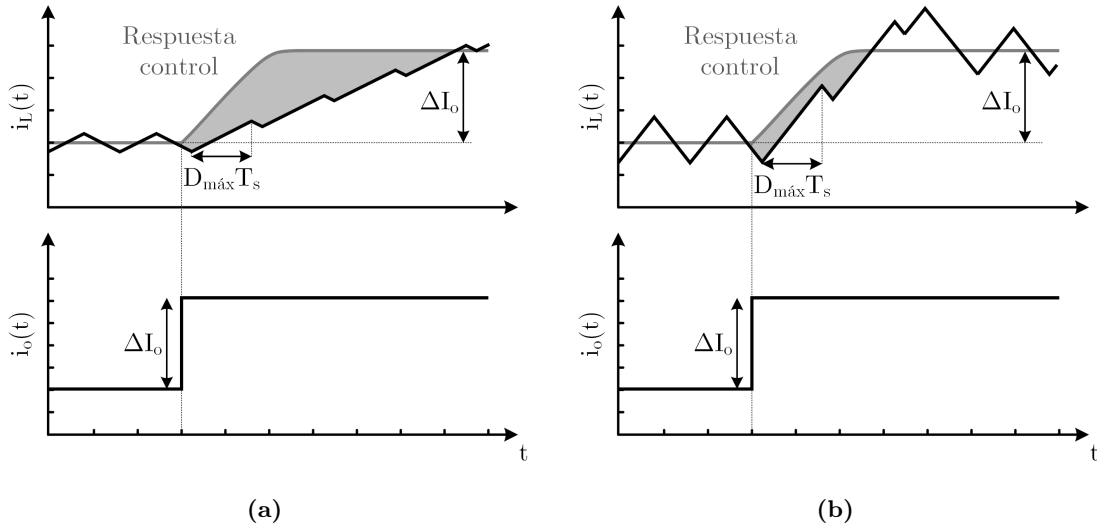


Figura 3.8: Formas de onda de la corriente demandada al reductor i_o , la corriente por la inductancia i_L y la respuesta del regulador: (a) con una f_c mayor que la permitida por L y (b) con una f_c ajustada al valor de L .

$$L \leq \frac{\text{mín} \{D_{\text{máx}}V_{\text{bus}} - V_o, |D_{\text{mín}}V_{\text{bus}} - V_o|\}}{4f_{c\text{mín}}\Delta I_o}. \quad (3.10)$$

Rizado estático de la tensión de salida Δv_{op} . Los elementos conectados al bus de 24 V demandan o inyectan una corriente continua de valor i_o , pero i_L tiene un cierto rizado. Es el filtro LC quien se encarga de compensar este desequilibrio entre la potencia instantánea inyectada por el convertidor y la demandada en el bus. Cuando Δi_L es grande, el condensador debe compensar una mayor cantidad de energía que cuando es pequeño, por lo que Δv_{op} depende tanto de L como de C_o según la ecuación 3.11 [166].

$$\Delta v_{op} = \frac{(1-D)V_o}{8f_s^2 LC_o}. \quad (3.11)$$

Para cada valor de L se puede definir un límite inferior sobre el condensador C_o para cumplir con el requisito de Δv_{op} .

$$C_o(\Delta v_{op}) \geq \frac{1}{L} \frac{(1-D)V_o}{8f_s^2 \Delta v_{op}}. \quad (3.12)$$

Variación máxima de la tensión de salida durante transitorios de carga Δv_{ot} . Como se ha visto anteriormente, el reductor no es capaz de reaccionar de forma instantánea a escalones de corriente de magnitud ΔI_o . Por esta razón, durante un escalón de carga, v_o se desvía de su valor nominal en una cantidad Δv_{ot} .

El valor exacto de Δv_{ot} es complejo de calcular, ya que influyen en él múltiples variables de diseño [168]. El condensador C_o es el responsable de proporcionar la diferencia entre la energía demandada a la salida y la energía proporcionada por el reductor durante el transitorio. La ecuación 3.13 marca un nuevo límite inferior para C_o . Esta aproximación asume la utilización de condensadores de muy baja ESR, por lo que la desviación depende casi exclusivamente de la dinámica del lazo de control del convertidor.

$$C_o(\Delta v_{ot}) \geq \frac{1}{\Delta v_{ot}} \left(D\Delta I_o T_s + \frac{\Delta I_o^2}{2 \frac{d\bar{i}_L}{dt}} \right). \quad (3.13)$$

En la ecuación 3.13 no se conoce, a priori, el valor de la derivada de \bar{i}_L . En el trabajo realizado en [166], se asume que:

- Para valores de L menores que el límite superior de L fijado en la ecuación 3.10, la derivada de \bar{i}_L es fija y se corresponde con la indicada en la ecuación 3.8b con un ancho de banda $f_{c\text{mín}}$.
- Para valores de L mayores que el límite superior de L fijado en la ecuación 3.10, es variable y se corresponde con el valor indicado en la ecuación 3.9.

Si bien este criterio de diseño es válido, no parece el más adecuado. Limitando artificialmente el ancho de banda, es necesario utilizar un valor de C_o mayor que si implementase un controlador con el mayor ancho de banda permitido por la L seleccionada. Optimizando el valor de f_c para usar el máximo permitido en cada situación se concreta el límite inferior impuesto sobre C_o en la ecuación 3.14.

$$C_o(\Delta v_{ot}) \geq \frac{1}{\Delta v_{ot}} \left(D\Delta I_o T_s + \frac{L\Delta I_o^2}{2 \min \{D_{\text{máx}} V_{\text{bus}} - V_o, |D_{\text{mín}} V_{\text{bus}} - V_o|\}} \right). \quad (3.14)$$

Las ecuaciones 3.7, 3.10, 3.12 y 3.14 permiten la confección de un mapa muy semejante al propuesto en [166]. Utilizando los requisitos de calidad de suministro seleccionados en la sección 3.2.1 y resumidos en la Tabla 3.3, se obtiene el mapa de diseño mostrado en la Fig. 3.9 para una f_s de 100 kHz. En este caso concreto, se puede ver cómo el límite inferior de C_o viene fijado únicamente por la condición impuesta sobre Δv_{op} y cómo éste depende de la inductancia utilizada. En cualquier caso, se observa la existencia de infinitas combinaciones $\{L, C_o\}$ que proporcionan un diseño válido. Parte de ellas se muestran en el área sombreada en gris en la Fig. 3.9, que se extiende fuera de la gráfica.

Si se modifica la frecuencia de conmutación, el mapa de diseño cambia sustancialmente. La Fig. 3.10 muestra el mapa de diseño obtenido con las mismas especificaciones de la Tabla 3.3 cuando el reductor conmuta a 200 kHz. Aumentar f_s reduce el límite inferior de L , ampliando el área de diseños válidos. También reduce el límite inferior de C_o impuesto

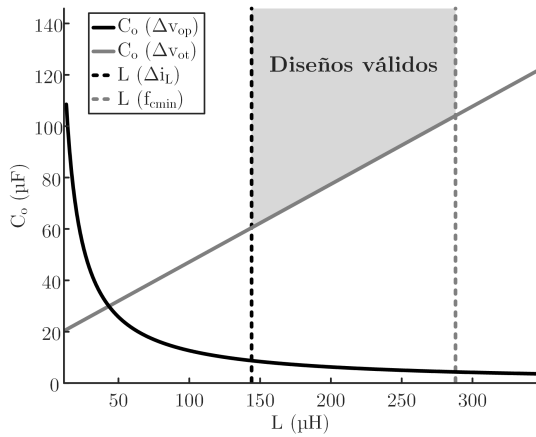


Tabla 3.3: Especificaciones de calidad de suministro y parámetros de diseño del reductor.

Parámetro	Valor
Δv_{op} (mV)	120
Δv_{ot} (V)	1,2
Δi_L (%)	20
$f_{c\text{mín}}$ (kHz)	5

Figura 3.9: Mapa de diseño a 100 kHz.

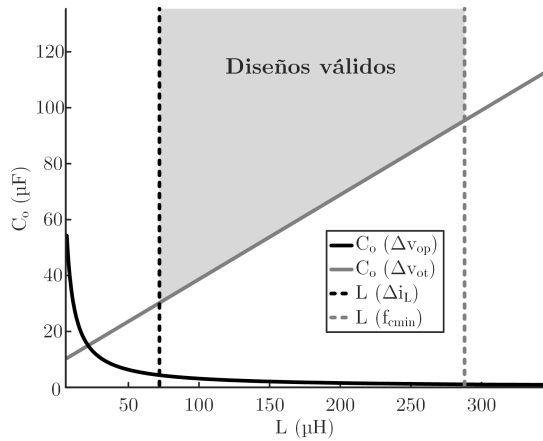


Figura 3.10: Mapa de diseño a 200 kHz.

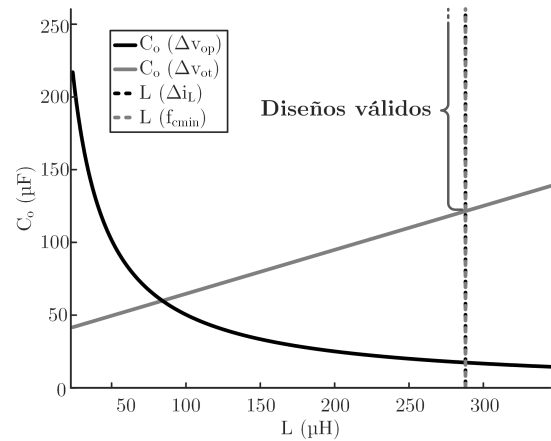


Figura 3.11: Mapa de diseño a 50 kHz.

por Δv_{op} , aunque en este caso no afecta a las posibles soluciones porque domina la condición debida a Δv_{ot} .

Cuando se reduce f_s , también se reduce el rango de valores de L que cumplen los requisitos. La Fig. 3.11 muestra un caso extremo en que el límite superior e inferior de L coinciden, con una f_s de 50 kHz. En este caso el área de diseños válidos se reduce a una recta. Aunque sigue habiendo un número infinito de combinaciones $\{L, C_o\}$ que cumplen con los requisitos impuestos, el valor de L es el mismo en todos ellos. Si se escoge una f_s aún menor, no es posible cumplir a la vez las ecuaciones 3.7 y 3.10 y no hay ningún diseño válido.

Estos mapas de diseño propuestos en [166], sin embargo, no permiten asegurar que el reductor utilizado para proporcionar el bus de 24 V en el PdB sea estable independientemente de los elementos conectados por el usuario. Es necesario analizar qué causa la inestabilidad para incorporarlo al mapa como una o más condiciones adicionales.

Tradicionalmente, la estabilidad de dos elementos conectados en cascada se ha analizado como una interacción entre dos impedancias [171]. Además del criterio original formulado en [133], se han propuesto varios métodos semejantes para comprobar la estabilidad de dos convertidores conectados en cascada [172]–[174]. Estos criterios son bastante conservadores para asegurar la robustez del sistema frente a posibles perturbaciones o desviaciones del punto de trabajo nominal que pudiesen causar inestabilidades. Sin embargo, todos ellos imponen condiciones suficientes pero no necesarias. Podría haber diseños menos conservadores que también fuesen estables pero que incumplen los criterios.

Otro problema que presentan estos criterios es que, en general, definen uno de los elementos como fuente de energía y el otro como carga o sumidero. En la arquitectura propuesta para la implementación del PdB, el reductor podrá actuar como fuente o como sumidero dependiendo del sentido del flujo de la energía. En [175] se propone analizar la estabilidad del sistema estudiando la pasividad de la impedancia del bus. Si bien este criterio es más flexible que los anteriores, sigue siendo sólo suficiente pero no necesario. Nuevamente, esto lleva a tener que realizar diseños más conservadores de lo estrictamente necesario para asegurar la estabilidad del sistema.

Un aspecto común a todos estos criterios es el estudio de la estabilidad del sistema a posteriori. Si bien permiten el cálculo de zonas seguras de diseño, los procedimientos propuestos están más enfocados a la verificación o permiten calcular qué cargas desestabilizan el sistema [176]. Para el diseño del reductor del PdB, parece más interesante abordar el problema estudiando directamente su ganancia de lazo abierto cuando se conectan diferentes equipos al bus de 24 V.

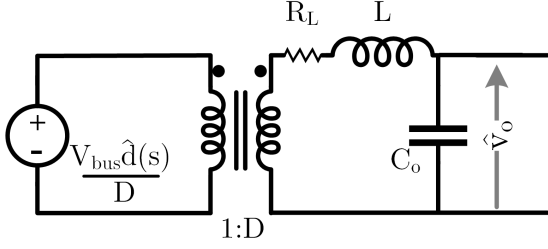


Figura 3.12: Modelo canónico del reductor para el cálculo de $G_{vdr}(s)$ con las condiciones de la ecuación 3.16.

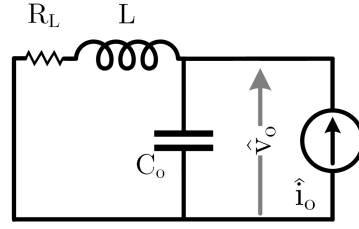


Figura 3.13: Modelo canónico del reductor para el cálculo de $G_{vdr}(s)$ con las condiciones de la ecuación 3.18.

Para evaluar el impacto de los elementos del bus en la dinámica y la estabilidad del reductor, se pueden utilizar el método propuesto en [177] y desarrollado más en detalle en [178]. Se define la ganancia de lazo abierto del reductor operando en vacío con un control en modo tensión como $T_r(s)$ según la ecuación 3.15 [143].

$$T_r(s) = G_{vdr}(s)G_{Mr}(s)G_{cvr}(s), \quad (3.15)$$

donde $G_{vdr}(s)$ es la planta del convertidor en vacío, definida en la ecuación 3.16 de acuerdo con el modelo de la Fig. 3.12 [143], $G_{Mr}(s)$ es la ganancia de su modulador PWM y $G_{cvr}(s)$ es la ganancia del regulador en modo tensión. En esta expresión se desprecia el efecto de la resistencia serie parásita R_{C_o} del condensador C_o . Debido al uso de condensadores cerámicos con muy baja ESR se puede considerar que el cero introducido se encuentra a una frecuencia suficientemente alta como para apenas tener efecto sobre la planta del reductor [179].

$$G_{vdr}(s) = \left. \frac{\hat{v}_o(s)}{\hat{d}(s)} \right|_{\substack{\hat{v}_{bus}=0 \\ \hat{i}_o=0}} \approx \frac{V_o}{D} \frac{1}{LC_o s^2 + R_L C_o s + 1}. \quad (3.16)$$

Cuando se conecta una carga externa genérica Z_e al reductor, su nueva ganancia de lazo abierto degradada $\check{T}_r(s)$ se puede calcular con la ecuación 3.17. Z_e se ha definido en la sección 3.2.2 con la ecuación 3.4. Z_{or} se corresponde con la impedancia de salida del reductor en lazo abierto, según la ecuación 3.18 de acuerdo con el modelo de la Fig. 3.13 [143].

$$\check{T}_r(s) = T_r(s) \frac{Z_e(s)}{Z_e(s) + Z_{or}(s)}. \quad (3.17)$$

$$Z_{or}(s) = \left. \frac{\hat{v}_o(s)}{\hat{i}_o(s)} \right|_{\substack{\hat{v}_{bus}=0 \\ \hat{d}=0}} \approx \frac{Ls + R_L}{LC_o s^2 + R_L C_o s + 1}. \quad (3.18)$$

El análisis exacto de la degradación de $T_r(s)$ en el reductor es extremadamente complejo, puesto que depende del diseño del propio reductor, los elementos que coloque el usuario y la implementación del control utilizado. Sin embargo, debido al sencillo modelado de las cargas realizado en la sección 3.2.2, se puede analizar por separado el efecto de R_e y C_e en la degradación de $T_r(s)$.

Efecto de R_e . Cuando los elementos conectados al bus de 24 V proporcionado a la salida del reductor se comportan globalmente como una CPC, la impedancia dinámica Z_e tiene una importante componente resistiva R_e . Según el modelado visto en la sección 3.2.2, esta resistencia será negativa y podría causar inestabilidades debidas a la aparición de uno o más polos en el semiplano positivo en $\check{T}_r(s)$ [180].

Para simplificar este análisis, se asume que las CPCs conectadas no tienen condensador de entrada. En esa situación, $\check{T}_r(s)$ viene dada por la ecuación 3.19.

$$\check{T}_r(s) = T_r(s) \frac{R_e}{R_e + Z_{or}(s)} = G_{vdr}(s) G_{Mr}(s) G_{cvr}(s) \frac{R_e}{R_e + Z_{or}(s)}. \quad (3.19)$$

Resulta sencillo estudiar los posibles polos en el semiplano positivo analizando cómo se ve afectado el término $G_{vdr}(s)$ por la interacción de impedancias. Identificando la ecuación 3.20a con la expresión genérica de un sistema de segundo orden mostrado en la ecuación 3.20b, se puede obtener la frecuencia f_r de los polos de acuerdo a la ecuación 3.20c.

$$G_{vdr}(s) \frac{R_e}{R_e + Z_{or}(s)} \approx \frac{V_o R_e}{D(R_e + R_L)} \frac{\frac{R_e + R_L}{R_e LC_o}}{s^2 + \frac{R_e R_L + L}{R_e LC_o} s + \frac{R_e + R_L}{R_e LC_o}}, \quad (3.20a)$$

$$G_{vdr}(s) \frac{R_e}{R_e + Z_{or}(s)} = \frac{\omega_o^2}{s^2 + \frac{\omega_o}{Q} s + \omega_o^2}, \quad (3.20b)$$

$$f_r = \frac{1}{2\pi} \sqrt{\frac{R_e + R_L}{R_e LC_o}}. \quad (3.20c)$$

Para calcular el número de polos en el semiplano positivo de $\check{T}_r(s)$ se puede utilizar el criterio de Routh sobre la ecuación 3.20a [180]. Sin embargo, no es necesario realizar este análisis si el lazo de regulación se diseña de forma adecuada. Independientemente del número de polos en el semiplano positivo, su frecuencia f_r estará siempre bien definida por la ecuación 3.20c. La magnitud de la resistencia parásita R_L será típicamente mucho menor que la magnitud de R_e , por lo que f_r será aproximadamente igual a la frecuencia de resonancia del filtro LC del reductor sin tener en cuenta los parásitos:

$$f_r \approx \frac{1}{2\pi \sqrt{LC_o}}. \quad (3.21)$$

Puesto que el regulador se diseña normalmente para que f_c sea mucho mayor que f_r , el reductor debería ser estable independientemente de si aparecen polos en el semiplano positivo debido al efecto de una R_e negativa [180].

Efecto de C_e . Cuando se introduce el condensador C_e en los cálculos de la degradación de $\check{T}_r(s)$, el cálculo resulta mucho más complejo que en el caso anterior. Las expresiones completas de Z_{or} y Z_e junto con los múltiples factores que definen $\check{T}_r(s)$ dificultan el análisis. Sin embargo, es posible estudiar cada una de estas funciones por intervalos de frecuencia y analizar el efecto en cada uno de ellos.

Por una parte, cuando se evalúan a frecuencias menores que f_r , tanto Z_{or} como Z_e son esencialmente resistivas. En ese intervalo de frecuencias:

$$\check{T}_r(s) \Big|_{f < f_c} \approx T_r(s) \frac{R_e}{R_e + R_L}. \quad (3.22)$$

Por otra, a frecuencias muy altas cercanas a f_s , ambas impedancias estarán dominadas por los parásitos, complicando el cálculo de $\check{T}_r(s)$. Sin embargo, $T_r(s)$ debería presentar una fuerte atenuación a estas frecuencias, haciendo poco importante la interacción entre impedancias en este intervalo.

El intervalo de frecuencias más crítico se encuentra en el entorno de f_c . Para cumplir con las condiciones impuestas en la sección anterior, f_c se fija a un valor mucho mayor que f_r . De esta forma, además de permitir una buena regulación con respuesta rápida, se asegura la estabilidad del reductor independientemente de cómo se comporte $T_r(s)$ entorno a f_r [180].

Para poder obtener una f_c adecuada con un control en modo tensión, es necesario utilizar un regulador de tipo III que proporcione un buen margen de fase φ_v [179]. Utilizando este control, la magnitud de $T_r(s)$ tiene una pendiente de -20 dB/dec y presenta una ganancia de 0 dB a f_c . Además, si está bien diseñado, la fase de $T_r(s)$ es relativamente plana en el entorno de f_c . A la vista de estas tendencias, se puede utilizar la aproximación de la ecuación 3.23.

$$T_r(s) \Big|_{f \approx f_c} \approx \frac{2\pi f_c}{s} e^{j(\varphi_v - \frac{\pi}{2})}. \quad (3.23)$$

De la misma forma, $Z_{or}(s)$ y $Z_e(s)$ se pueden aproximar por las impedancias correspondientes a C_o y C_e respectivamente. En las Fig. 3.14 y 3.15 se muestra la validez de estas aproximaciones en el rango de frecuencias de interés, sombreado en gris. Utilizando estos resultados, ahora $\check{T}_r(s)$ se puede estimar con la ecuación 3.24.

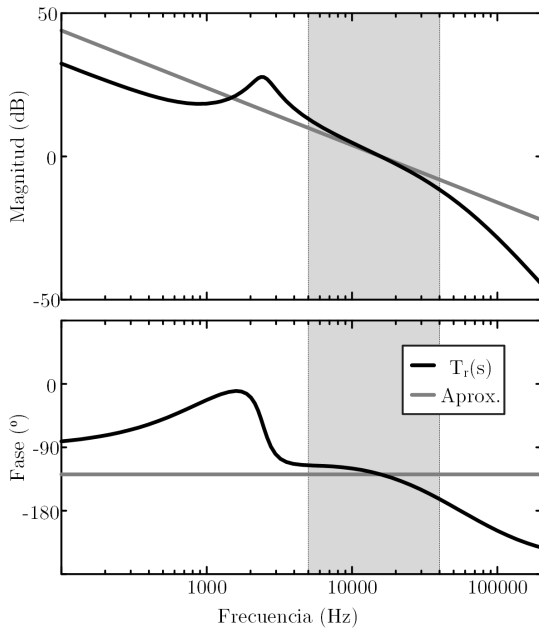


Figura 3.14: Diagrama de Bode de $T_r(s)$ calculada con la expresión completa y la aproximación de la ecuación 3.23.

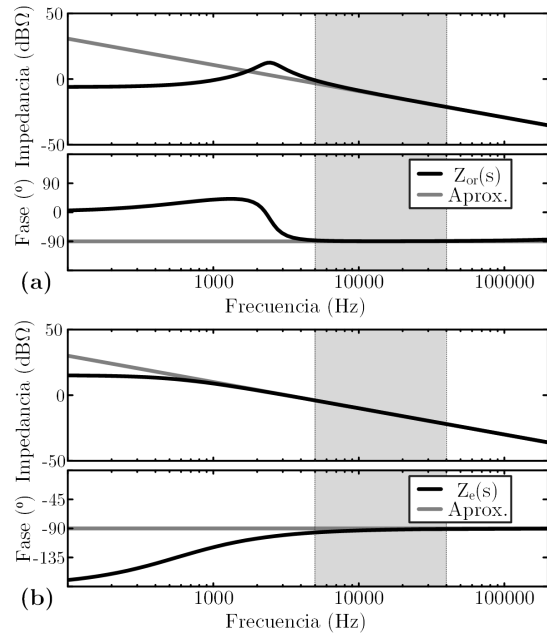


Figura 3.15: Diagrama de Bode de la expresión completa y la aproximación de: (a) Z_{or} y (b) Z_e .

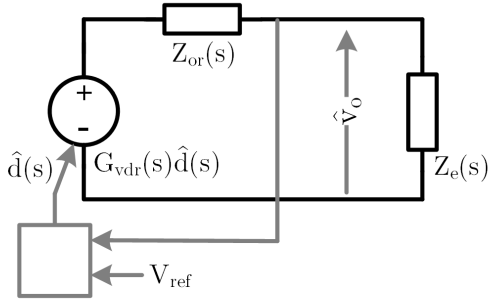


Figura 3.16: Modelo del divisor de impedancias para la degradación de la planta.

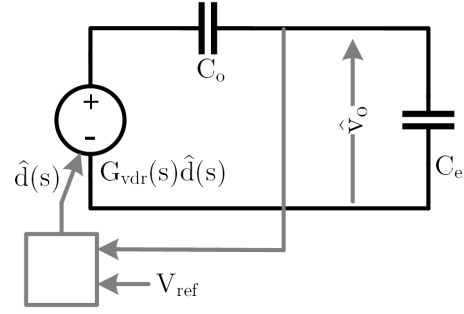


Figura 3.17: Aproximación del modelo del divisor de impedancias en el entorno de f_c .

$$\check{T}_r(s) \Big|_{f \approx f_c} \approx \frac{2\pi f_c}{s} e^{j(\varphi_v - \frac{\pi}{2})} \frac{C_o}{C_o + C_e}. \quad (3.24)$$

A partir de la ecuación 3.24, se puede estimar la degradación de f_c y φ_v . Estos son dos factores clave de $T_r(s)$ para la estabilidad del convertidor y su comportamiento dinámico.

- Puesto que f_c se define como la frecuencia a la que $T_r(s)$ tiene ganancia unidad, es sencillo calcular la nueva frecuencia de corte. La \check{f}_c resultante de la degradación del lazo es aquella en que $\check{T}_r(s)$ también tiene ganancia unidad. Dentro del rango de frecuencias en que la aproximación es válida, \check{f}_c se puede estimar según la ecuación 3.25.

$$\check{f}_c \Big|_{f \approx f_c} \approx f_c \frac{C_o}{C_o + C_e}. \quad (3.25)$$

- Siempre y cuando \check{f}_c se mantenga dentro del rango donde la aproximación es válida, se puede asumir que φ_v no se ve modificado significativamente. Esto es debido a que el coeficiente de degradación de la ecuación 3.24 es real, por lo que no modifica la fase de la función de transferencia.
- Colocar una Z_e a la salida del reductor también desplaza la resonancia de su planta. Partiendo de la ecuación 3.17 y desarrollando para poder identificar términos utilizando las ecuaciones 3.20b y 3.20c, se puede estimar la nueva frecuencia de resonancia \check{f}_r en base al desarrollo mostrado en la ecuación 3.26 [178].

$$G_{vdr}(s) \frac{Z_e}{Z_e + Z_{or}(s)} = \frac{V_o}{D} \frac{\frac{R_e + R_L}{R_e L (C_o + C_e)}}{s^2 + \frac{R_e R_L + L}{R_e L (C_o + C_e)} s + \frac{R_e + R_L}{R_e L (C_o + C_e)}}, \quad (3.26a)$$

$$\check{f}_r \approx \frac{1}{2\pi} \sqrt{\frac{R_e + R_L}{R_e L (C_o + C_e)}}, \quad (3.26b)$$

$$\check{f}_r \approx f_r \sqrt{\frac{C_o}{C_o + C_e}}. \quad (3.26c)$$

Es importante comprobar que el valor de \check{f}_c no se haya reducido lo suficiente como para estar fuera del rango de validez de la aproximación. Si esto ocurriera, \check{f}_c podría estar demasiado cerca de la nueva frecuencia de resonancia \check{f}_r y hacer que el reductor se vuelva inestable. Para evitarlo, se puede buscar una nueva condición de diseño que asegure que

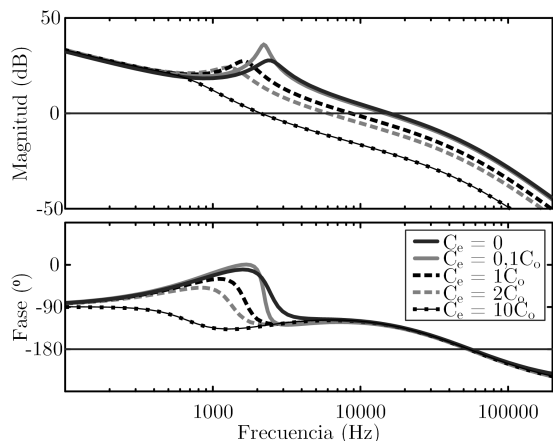


Tabla 3.4: Valores de \check{f}_c real y estimada, \check{f}_r y margen de fase real de la Fig. 3.18.

C_e	\check{f}_c (kHz)	Est. \check{f}_c (kHz)	\check{f}_r (kHz)	$\check{\phi}_v$ (°)
0	15,76	15,76	2,44	51,66
$0,1C_o$	14,54	14,33	2,33	50,91
$1C_o$	8,63	7,88	1,72	59,11
$2C_o$	6,03	5,26	1,41	60,53
$10C_o$	2,11	1,43	0,74	48,70

Figura 3.18: Diagrama de Bode de $T_r(s)$ sin carga y $\check{T}_r(s)$ para distintos valores de C_e .

\check{f}_c es suficientemente mayor que \check{f}_r y que la degradación causada por la conexión de Z_e no desestabiliza el sistema.

Como se puede ver en la Fig. 3.18, la degradación del lazo de regulación y su estabilidad están relacionadas directamente con el valor relativo de C_e y C_o . Si C_e es del orden de magnitud de C_o , la degradación de $T_r(s)$ es relativamente menor. Aunque \check{f}_c cambia sustancialmente con respecto a f_c , se mantiene suficientemente por encima de \check{f}_r y el margen de fase apenas se modifica. Cuando el valor de C_e es sustancialmente mayor que C_o , el impacto sobre $T_r(s)$ es mucho mayor, reduciendo la diferencia entre \check{f}_c y \check{f}_r y proporcionando un margen de fase adecuado, pero cada vez más reducido. Es importante tener en cuenta que la ganancia a bajas frecuencias apenas se ve afectada, lo que asegura la correcta regulación estática de v_o independientemente de la Z_e conectada.

La Tabla 3.4 muestra la diferencia entre los valores reales de \check{f}_c y la estimación realizada con la ecuación 3.25. Cuando la degradación de \check{f}_c con respecto a f_c es pequeña debido a un valor moderado de C_e , la aproximación es bastante precisa. Si bien se observa un ligero incremento en el margen de fase obtenido, esto se debe a la implementación típica de los reguladores tipo III. Estos reguladores normalmente obtienen el mayor incremento de fase a una frecuencia ligeramente menor que la f_c deseada, lo que encaja con los resultados de la Tabla 3.4.

Los problemas pueden aparecer cuando C_e es mucho mayor que C_o . En esta situación, \check{f}_c cada vez se acerca más a \check{f}_r y el error de la aproximación llega a ser de un 32 % cuando el valor de C_e es diez veces mayor que el de C_o . En este caso concreto, el sistema sigue siendo estable y la degradación real de \check{f}_c es menor que la estimada. Si, al contrario que en este ejemplo, el valor de R_e fuese tal que generase un polo en el semiplano positivo, resultaría difícil asegurar la estabilidad del sistema. En ese caso, \check{f}_c y \check{f}_r tienen valores semejantes y habría que estudiar la estabilidad del sistema utilizando otros criterios. Para evitar la aparición de estos problemas, se fija un límite que asegure que \check{f}_c siempre sea mucho mayor que \check{f}_r cuando se conecta el máximo valor permitido de C_e por el análisis de la sección 3.2.2. Despejando la ecuación 3.27a se puede obtener un nuevo límite inferior para C_o definido por la ecuación 3.27c³.

³Por simplicidad, se entiende que f_s es suficientemente alta y f_c solo depende de la derivada de i_L . Este es el caso más frecuente pero es necesario comprobarlo en el diseño final y ajustar la ecuación 3.27c para reflejar la limitación de f_c a una quinta parte de f_s .

$$\check{f}_c \geq N_e \check{f}_r, \quad (3.27a)$$

$$f_c \frac{C_o}{C_o + C_e} \geq N_e f_r \sqrt{\frac{C_o}{C_o + C_e}}, \quad (3.27b)$$

$$\frac{\pi^2 \min \{D_{\max} V_{\text{bus}} - V_o, |D_{\min} V_{\text{bus}} - V_o|\}^2}{4L\Delta I_o^2} C_o^2 - N_e^2 C_o - N_e^2 C_e \geq 0, \quad (3.27c)$$

$$C_o(C_e) \geq \frac{N_e^2 + \sqrt{N_e^4 + \frac{N_e^2 \pi^2 \min \{D_{\max} V_{\text{bus}} - V_o, |D_{\min} V_{\text{bus}} - V_o|\}^2 C_e}{L\Delta I_o^2}}}{\frac{\pi^2 \min \{D_{\max} V_{\text{bus}} - V_o, |D_{\min} V_{\text{bus}} - V_o|\}^2}{2L\Delta I_o^2}}. \quad (3.27d)$$

El coeficiente N_e de la ecuación 3.27 define la separación mínima requerida entre \check{f}_c y \check{f}_r . En este trabajo se fija un valor de 2,5 de forma empírica, atendiendo a los rangos de validez de la aproximación y el efecto de los posibles polos en el semiplano positivo. El valor de N_e se puede ajustar para sistemas con otras necesidades sin pérdida de generalidad.

Puesto que la conexión de uno o más POLs con una componente capacitiva C_e afecta a la respuesta dinámica del reductor, es necesario valorar el efecto que tiene sobre la respuesta a transitorios de carga. Como se puede ver en la ecuación 3.28, una carga capacitiva conectada en el bus de 24 V reduce la dinámica del reductor debido al efecto que tiene sobre f_c . Sin embargo, el condensador C_e añadido al bus también aumenta la capacidad de almacenamiento de energía que se puede utilizar para equilibrar la diferencia entre la corriente demandada por los POLs y la proporcionada por el reductor. Por esta razón, el requisito impuesto sobre Δv_{ot} siempre se cumple y no es necesario modificar el límite inferior de $C_o(\Delta v_{ot})$.

$$\Delta v_{ot} = \frac{d\Delta i_o T_s}{C_o} + \frac{\Delta I_o}{8f_c C_o}, \quad (3.28a)$$

$$\Delta \check{v}_{ot} = \frac{d\Delta i_o T_s}{C_o + C_e} + \frac{\Delta I_o}{8f_c \frac{C_o}{C_o + C_e} (C_o + C_e)} \leq \Delta v_{ot}. \quad (3.28b)$$

Debido a que no es necesario modificar los criterios de diseño anteriores para asegurar la estabilidad del reductor, es posible incorporar esta nueva restricción a los mapas de diseño originales. Añadiendo el límite inferior de C_o definido por la ecuación 3.27d a las condiciones impuestas sobre L y C_o en las ecuaciones 3.7, 3.10, 3.12 y 3.14, se puede generar un nuevo mapa de diseño como el mostrado en la Fig. 3.19. Con un regulador de tipo III adecuado, todos los pares $\{L, C_o\}$ válidos, no sólo aseguran el cumplimiento de las condiciones de calidad de suministro sino también la estabilidad del convertidor independientemente de la Z_e conectada.

3.3.3 Segunda aproximación: algoritmo de optimización

La confección de mapas de diseño resulta útil para analizar qué pares $\{L, C_o\}$ no cumplen con los requisitos impuestos para una f_s dada. Sin embargo, incluso con la condición de estabilidad impuesta en la ecuación 3.27d, siguen existiendo un número infinito de pares $\{L, C_o\}$ válidos. Para proporcionar un diseño optimizado, es necesario escoger una combinación $\{L, C_o\}$ única atendiendo a un compromiso entre eficiencia, volumen y prestaciones.

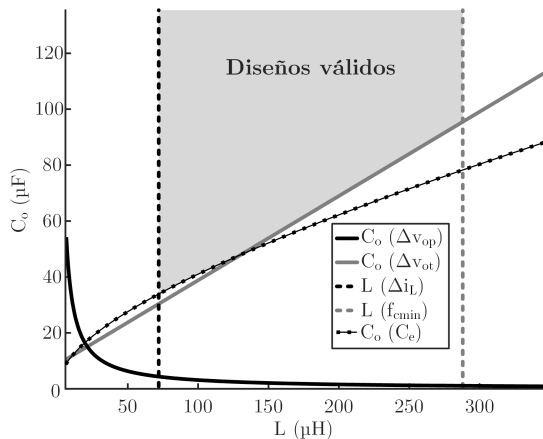


Figura 3.19: Mapa de diseño a 200 kHz incluyendo la condición de la ecuación 3.27d.

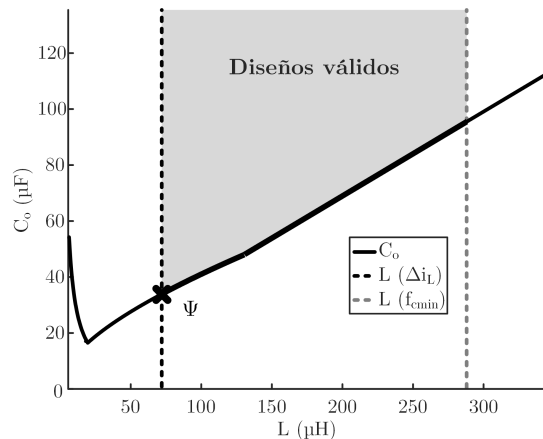


Figura 3.20: Simplificación del mapa de la Fig. 3.19 y punto de diseño Ψ .

El punto de diseño Ψ representado en la Fig. 3.20 se podría considerar como el óptimo para el filtro a la f_s escogida. Por una parte, el punto Ψ se encuentra sobre la línea que marca el límite inferior combinado de las tres condiciones impuestas sobre C_o . De esta forma, se minimiza el volumen y el coste del condensador sin penalizar las prestaciones del reductor. Por otra parte, seleccionar el menor valor de L que cumple con el requisito impuesto sobre Δi_L permite optimizar la f_c del regulador y usar el menor valor de C_o de todo el área de diseños válidos.

Si únicamente se considera el punto de diseño Ψ , ya no es necesario la confección de un mapa. Para un valor fijo de f_s y Δi_L , el par $\{L, C_o\}$ se puede definir únicamente con las ecuaciones 3.29 y 3.30.

$$L = \frac{(1-D)V_o}{f_s \Delta i_L}. \quad (3.29)$$

$$C_o(\Delta v_{op}) = \max \{C_o(\Delta v_{op}), C_o(\Delta v_{ot}), C_o(C_e)\}, \quad (3.30a)$$

$$C_o(\Delta v_{op}) = \frac{1}{L} \frac{(1-D)V_o}{8f_s^2 \Delta v_{op}}, \quad (3.30b)$$

$$C_o(\Delta v_{ot}) = \frac{1}{\Delta v_{ot}} \left(D\Delta I_o T_s + \frac{L\Delta I_o^2}{2 \min \{D_{\max} V_{bus} - V_o, |D_{\min} V_{bus} - V_o|\}} \right), \quad (3.30c)$$

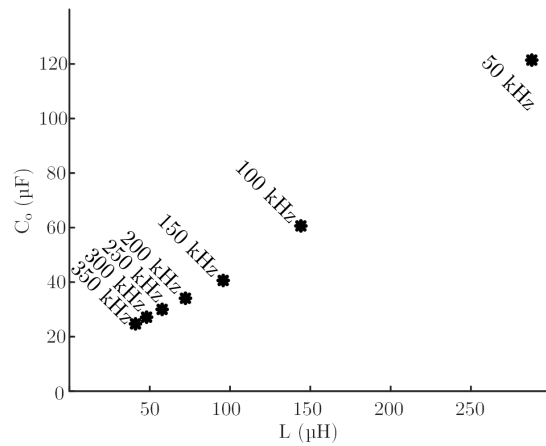
$$C_o(C_e) = \frac{N_e^2 + \sqrt{N_e^4 + \frac{N_e^2 \pi^2 \min \{D_{\max} V_{bus} - V_o, |D_{\min} V_{bus} - V_o|\}^2 C_e}{L\Delta I_o^2}}}{\frac{\pi^2 \min \{D_{\max} V_{bus} - V_o, |D_{\min} V_{bus} - V_o|\}^2}{2L\Delta I_o^2}}. \quad (3.30d)$$

Disponer de un único par de ecuaciones para encontrar el par $\{L, C_o\}$ de menor volumen para una f_s y un Δi_L dados permite plantear la optimización en frecuencia del convertidor. Como se ha visto anteriormente, incrementar la frecuencia del convertidor permite reducir su volumen debido a la menor necesidad de almacenamiento de energía en el filtro LC [111].

La Tabla 3.5 muestra los valores de L y C_o obtenidos a distintas frecuencias de conmutación con las ecuaciones 3.29 y 3.30. Como se puede ver en la Fig. 3.21, cuando se incrementa f_s el punto de diseño Ψ se desplaza hacia la esquina inferior izquierda de los ejes, reduciendo el

Tabla 3.5: Punto de diseño Ψ para distintos valores de f_s .

f_s (kHz)	L (μH)	C_o (μF)
50	288	121,5
100	144	60,77
150	96	40,51
200	72	33,92
250	57,6	29,87
300	48	26,96
350	41,1	24,74

Figura 3.21: Diagrama de Bode de $T_r(s)$ sin carga y $\tilde{T}_r(s)$ para distintos valores de C_e .

tamaño del filtro. Sin embargo, un valor muy elevado de f_s puede incrementar las pérdidas en exceso e incluso afectar negativamente al volumen del filtro LC a pesar de requerir un menor almacenamiento de energía [167]. Otra conclusión que se puede extraer de la Fig. 3.21 es que el efecto de incrementar f_s sobre la energía que debe almacenar el filtro es mucho más acusado a frecuencias bajas. A partir de una cierta f_s , en este caso entorno a 200 kHz, una frecuencia mayor apenas reduce el volumen del filtro.

Para poder evaluar el efecto de f_s sobre las pérdidas es necesario disponer de un modelo matemático que permita estimarlas. El reductor es un convertidor muy sencillo y las pérdidas están causadas esencialmente por tres componentes: los transistores Q_p y Q_s , la inductancia L y los condensadores utilizados para implementar $C_{bus\ n}$ y C_o .

Pérdidas en los MOSFETs Q_p y Q_s . Los procesos por los que se generan las pérdidas en los MOSFETs son muy complejos y dependen de múltiples factores: conducción por el canal del MOSFET, convivencia de tensión y corriente durante la conmutación, carga y descarga de las capacidades parásitas de la puerta, conducción y recuperación inversa en el diodo parásito, etc.

Es posible utilizar modelos relativamente sencillos que permiten aproximar las pérdidas de los MOSFETs con bastante precisión. Además, estos modelos, no requieren realizar medidas sobre el dispositivo sino que se basan en parámetros disponibles en las hojas de características proporcionadas por el fabricante [181], [182]. De esta forma se pueden evaluar múltiples dispositivos antes de seleccionar el más apropiado para la implementación del reductor.

Las pérdidas debidas a los MOSFETs se pueden expresar, de forma general, según la ecuación 3.31. Las pérdidas de cada uno de ellos se pueden agrupar en las debidas a la conducción de corriente a través del dispositivo y las debidas a sus procesos de conmutación.

$$P_Q = P_{Q_p} + P_{Q_s} \quad \text{con} \quad \begin{cases} P_{Q_p} = P_{cp} + P_{sp}, \\ P_{Q_s} = P_{cs} + P_{ss}, \end{cases} \quad (3.31)$$

donde P_Q son las pérdidas totales en los MOSFETs, P_{Q_p} las pérdidas en el MOSFET Q_p divididas en conducción (P_{cp}) y conmutación (P_{sp}) y P_{Q_s} las pérdidas en el MOSFET Q_s divididas nuevamente en conducción (P_{cs}) y conmutación (P_{ss}). Cada uno de estos cuatro

parámetros se puede calcular según las ecuaciones 3.32 a 3.35 en función de variables eléctricas del reductor y los parámetros de las hojas de características del MOSFET elegido. Puesto que no todos los fabricantes proporcionan los mismos parámetros, en [181] y [182] se dan distintas ecuaciones para poder calcular P_{cp} , P_{sp} , P_{cs} y P_{ss} desde distintos conjuntos de datos.

$$P_{cp} = I_{QP\text{ ef}}^2 R_{dSONP} = D \left(I_o^2 + \frac{\Delta i_L^2}{12} \right) R_{dSONP}, \quad (3.32)$$

$$P_{cs} = I_{QS\text{ ef}}^2 R_{dSONS} = (1 - D) \left(I_o^2 + \frac{\Delta i_L^2}{12} \right) R_{dSONS}, \quad (3.33)$$

$$P_{sp} = (E_{ONP} + E_{OFFP} + V_{dr} Q_{gsp} + V_{bus} Q_{rrs}) f_s, \quad (3.34)$$

$$P_{ss} = (E_{ONS} + E_{OFFS} + V_{dr} Q_{gss}) f_s, \quad (3.35)$$

donde $I_{QP\text{ ef}}$ e $I_{QS\text{ ef}}$ son las corrientes eficaces por los MOSFETs Q_p y Q_s , R_{dSONP} y R_{dSONS} son las resistencias de encendido de dichos MOSFETs, los términos E_{ON} y E_{OFF} hacen referencia a las energías de encendido y apagado de sus respectivos MOSFETs, V_{dr} es la tensión con la que se controlan las puertas, cuyas cargas vienen dadas por Q_{gsp} y Q_{gss} , y Q_{rrs} es la carga de recuperación inversa del diodo parásito de Q_s . Agrupando las expresiones anteriores, las pérdidas en los transistores se pueden simplificar en la siguiente ecuación:

$$P_Q = P_c + K_s f_s. \quad (3.36)$$

Como se puede ver en la ecuación 3.36, las pérdidas en los MOSFETs se componen de un factor P_c que sólo depende de la corriente por la inductancia del reductor y las características de los MOSFETs escogidos y un factor K_s que engloba todos los procesos de conmutación y hace que las pérdidas asociadas a los mismos sean directamente proporcionales a f_s .

Pérdidas en la inductancia L. Al igual que en el caso de los transistores, las pérdidas en la inductancia dependen de múltiples mecanismos [183]. Para simplificar su cálculo, éstas se pueden estimar utilizando modelos más o menos sencillos [184].

De nuevo se pueden separar las pérdidas en la inductancia en dos componentes:

- Las pérdidas en el núcleo, P_{co} , se pueden aproximar utilizando la ecuación de Steinmetz [184]. Los valores de K_e , V_e , α y β son constantes que dependen del núcleo y el material magnético escogidos.

$$P_{co} = K_e V_e f_s^\alpha B_p^\beta. \quad (3.37)$$

En caso de necesitar una aproximación más precisa, se podría utilizar otros modelos más complejos como la ecuación de Steinmetz mejorada generalizada [185].

- Las pérdidas en el devanado, P_{cu} , dependen exclusivamente de la resistencia R_{cc} del mismo y la corriente eficaz por la inductancia [184]. La ecuación 3.38 muestra el cálculo de R_{cc} en función de las características del núcleo magnético escogido [139].

$$R_{cc} = \frac{l_m}{\sigma_{cu} A_w f_w} N_L^2, \quad (3.38)$$

donde l_m es la longitud media por vuelta del carrete escogido, N_L el número de vueltas del devanado, σ_{cu} la conductividad del cobre, A_w el área de ventana disponible y f_w el factor de aprovechamiento del mismo. Se pueden entonces estimar las pérdidas en el devanado según la ecuación 3.39, suponiendo que el efecto pelicular es despreciable y el hilo de cobre se ha escogido de forma apropiada:

$$P_{cu} = i_L^2 R_{cc} = \left(I_o^2 + \frac{\Delta i_L^2}{12} \right) R_{cc}. \quad (3.39)$$

En [183] se detallan los efectos de las componentes de alta frecuencia sobre las pérdidas de conducción en los devanados de la inductancia. Estas modifican la resistencia efectiva del devanado, incrementando las pérdidas. Sin embargo, como se muestra en [186], este incremento se puede despreciar para rizados y frecuencias de conmutación moderadas.

Teniendo en cuenta las aproximaciones realizadas, las pérdidas en la inductancia se pueden expresar como:

$$P_L = P_{cu} + P_{co} = \left(I_o^2 + \frac{\Delta i_L^2}{12} \right) \frac{l_m}{\sigma_{cu} A_w f_w} N_L^2 + K_e V_e f_s^\alpha B_p^\beta. \quad (3.40)$$

Al igual que en las pérdidas de los MOSFETs, la ecuación 3.40 tiene un término constante y otro dependiente de f_s .

Pérdidas en los condensadores C_{bus} y C_o . Las pérdidas en los condensadores se deben principalmente a la resistencia parásita que presentan [187]. Sin embargo, para las especificaciones del reductor, el uso de condensadores cerámicos permite despreciar estas pérdidas debido a su baja ESR [166].

Se puede concluir que las pérdidas en el reductor están dominadas por los MOSFETs y la inductancia. Estas a su vez vienen marcadas por las características eléctricas del reductor y una serie de constantes que dependen del modelo de MOSFET escogido, el núcleo magnético utilizado y la implementación del devanado.

Como se puede observar en la ecuación 3.36, las pérdidas debidas a los MOSFETs son directamente proporcionales a f_s y los factores de proporcionalidad dependen únicamente de constantes eléctricas del reductor y características de los MOSFETs escogidos. En cambio, las pérdidas en la inductancia son más complejas de calcular. Debido al procedimiento de diseño propuesto, basado en el punto Ψ , el valor de L necesario depende del Δi_L fijado por el diseñador y de f_s . Igualmente, otros factores de la ecuación 3.40 como el número de vueltas N_L o el valor máximo de la componente de alterna de la densidad de flujo magnético B_p dependen no sólo de L sino también del núcleo seleccionado y otros parámetros de diseño.

Para poder encontrar la f_s óptima, es necesario obtener una expresión alternativa de la ecuación 3.40 que sólo dependa de características del núcleo, constantes eléctricas del reductor y la propia f_s . De esta forma, se puede obtener una expresión de pérdidas semejante a la ecuación 3.36 que simplifique la optimización. Para ello, se analizan los dos únicos parámetros que dependen de uno o más factores: B_p y N_L .

- B_p se puede calcular según la siguiente ecuación [139]:

$$B_p = \frac{L \Delta i_L}{2 N_L A_e}, \quad (3.41)$$

donde A_e es el área efectiva del núcleo magnético. Puesto que el valor de L no es conocido a priori, se puede sustituir con la condición de diseño del punto Ψ definida en la ecuación 3.29:

$$B_p = \frac{(1-D)V_o}{f_s \Delta i_L} \frac{\Delta i_L}{2N_L A_e} = \frac{1}{f_s} \frac{1}{N_L} \frac{(1-D)V_o}{2A_e}. \quad (3.42)$$

- N_L está ahora presente en ambos términos de P_L . Aunque puede tomar diversos valores dependiendo de la implementación escogida por el diseñador, parece lógico optar por un valor que permita minimizar las pérdidas en la inductancia. Para ello se opera con la ecuación 3.40 para llegar a la expresión de la ecuación 3.43. Se definen los coeficientes K_{cu} y K_{co} , relacionados respectivamente con las pérdidas en el cobre y en el núcleo, para simplificar la expresión y facilitar el proceso de optimización.

$$P_L = K_{cu} N_L^2 + K_{co} f_s^{\alpha-\beta} N_L^{-\beta} \quad \text{con} \quad \begin{cases} K_{cu} = \left(I_o^2 + \frac{\Delta i_L^2}{12} \right) \frac{l_m}{\sigma_{cu} A_w f_w}, \\ K_{co} = K_e V_e \left(\frac{(1-D)V_o}{2A_e} \right)^\beta. \end{cases} \quad (3.43)$$

Minimizando P_L en la ecuación 3.43 se obtiene el siguiente valor de N_L que optimiza el diseño de la inductancia en función de la frecuencia de conmutación f_s y el coeficiente K_n que relaciona K_{co} , K_{cu} , α y β :

$$N_L = \left(\frac{\beta K_{co} f_s^{\alpha-\beta}}{2K_{cu}} \right)^{\frac{1}{2+\beta}} = K_n f_s^{\frac{\alpha-\beta}{2+\beta}}. \quad (3.44)$$

Sustituyendo la ecuación 3.44 en la expresión completa de P_L de la ecuación 3.43 se obtiene:

$$P_L = (K_{cu} K_n^2 + K_{co} K_n^{-\beta}) f_s^{2\frac{\alpha-\beta}{2+\beta}}. \quad (3.45)$$

La ecuación 3.45 finalmente proporciona una expresión para P_L que depende únicamente de f_s . Como se puede ver en la Fig. 3.22, la tendencia de las pérdidas en la inductancia con respecto a f_s es muy distinta a la de las pérdidas debidas a los MOSFETS. Desde el punto de vista de los MOSFETS, utilizar una frecuencia baja como f_{s1} reduce el valor de P_Q . Sin embargo, las menores pérdidas en la inductancia se obtienen a frecuencias de conmutación más altas. Debido a estas tendencias, es posible obtener una frecuencia de conmutación f_{sopt} que minimiza las pérdidas globales del reductor (P_{totr}). Expresando P_{totr} como la suma de las ecuaciones 3.36 y 3.45 se puede calcular esta frecuencia óptima según la ecuación 3.46b.

$$P_{totr} = P_Q + P_L = P_c + K_s f_s + (K_{cu} K_n^2 + K_{co} K_n^{-\beta}) f_s^{2\frac{\alpha-\beta}{2+\beta}}, \quad (3.46a)$$

$$f_{sopt} = \left(\frac{K_s}{2(K_{cu} K_n^2 + K_{co} K_n^{-\beta}) \frac{\beta-\alpha}{2+\beta}} \right)^{\frac{2+\beta}{2\alpha-3\beta-2}}. \quad (3.46b)$$

El resultado obtenido en la ecuación 3.46b para minimizar las pérdidas del reductor no tiene en cuenta que la inductancia puede no ser realizable a esa frecuencia con el núcleo

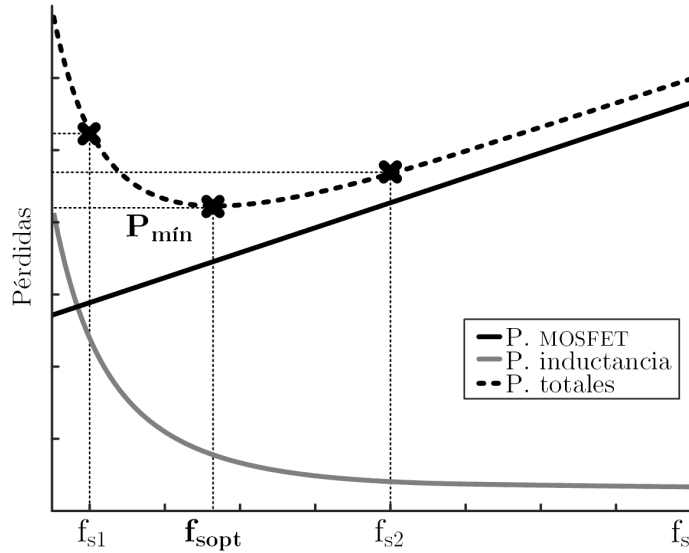


Figura 3.22: Tendencia de las pérdidas en los MOSFETs, la inductancia L y el reductor completo en función de f_s .

y material escogidos. El proceso seguido hasta ahora, asume que siempre se puede escoger el número óptimo de vueltas para el valor de inductancia deseado. Sin embargo, es posible que el núcleo magnético sature si se implementa con el valor de N_L obtenido en la ecuación 3.44 [139].

Para evitar la saturación del núcleo magnético, es necesario asegurar un número mínimo de vueltas $N_{L\text{min}}$. Si este es mayor o igual que N_L , se deberá implementar la inductancia con $N_{L\text{min}}$ vueltas y sus pérdidas serán mayores de lo esperado por no poder utilizar el valor óptimo. Este límite inferior al número de vueltas se calcula según la siguiente ecuación [139]:

$$N_{L\text{min}} = \frac{L\Delta i_L}{2B_{\text{max}}A_e} = \frac{1}{f_s} \frac{(1-D)V_o \left(I_o + \frac{\Delta i_L}{2} \right)}{2B_{\text{max}}A_e\Delta i_L} = \frac{K_{\text{min}}}{f_s}. \quad (3.47)$$

En este caso las pérdidas totales en la inductancia (P_L) y en el reductor (P_{totr}) se pueden expresar como:

$$P_L = K_{\text{cu}}K_{\text{min}}^2 f_s^{-2} + K_{\text{co}}K_{\text{min}}^{-\beta} f_s^\alpha, \quad (3.48a)$$

$$P_{\text{totr}} = P_Q + P_L = P_c + K_s f_s + K_{\text{cu}}K_{\text{min}}^2 f_s^{-2} + K_{\text{co}}K_{\text{min}}^{-\beta} f_s^\alpha. \quad (3.48b)$$

Para obtener la frecuencia de conmutación mínima que evita la saturación del núcleo es necesario minimizar la ecuación 3.48, obteniendo la expresión mostrada en la ecuación 3.49 que debe ser resuelta de forma numérica.

$$K_s f_{\text{smin}}^3 + \frac{K_{\text{co}}\alpha f_{\text{smin}}^{\alpha+2}}{K_{\text{min}}^\beta} - 2K_{\text{cu}}K_{\text{min}}^2 = 0. \quad (3.49)$$

En la ecuación 3.47 se puede ver que el número de vueltas mínimo es inversamente proporcional a f_s . Si se obtiene un valor para f_{smin} mayor que el obtenido para f_{sopt} , se debe utilizar f_{smin} . De no ser así, la inductancia no sería realizable puesto que $N_{L\text{min}}$ a f_{sopt} será

mayor que el número óptimo. Para asegurar que se escoge la frecuencia de conmutación que minimiza las pérdidas con una inductancia realizable, f_{sopt} se redefine como:

$$f_{\text{sopt}} = \text{máx} \left\{ f_{\text{smin}}, \left(\frac{K_s}{2(K_{\text{cu}}K_n^2 + K_{\text{co}}K_n^{-\beta})^{\frac{\beta-\alpha}{2+\beta}}} \right)^{\frac{2+\beta}{2\alpha-3\beta-2}} \right\}. \quad (3.50)$$

3.3.4 Descripción del algoritmo de diseño

Para poder automatizar el diseño optimizado del reductor se propone un algoritmo basado en el análisis realizado en las secciones anteriores. La Fig. 3.23 muestra un diagrama de flujo simplificado que resume este algoritmo. Los pasos a seguir son los siguientes:

Condiciones iniciales de diseño. En primer lugar, es necesario fijar un pequeño conjunto de condiciones iniciales de diseño. Estas incluyen:

- Las características eléctricas del reductor, definidas en el capítulo anterior, que son:
 - La tensión de entrada V_{bus} .
 - La tensión de salida V_o .
 - La potencia nominal P_r .
 - La máxima variación instantánea de la corriente de salida ΔI_o .
- Los requisitos de calidad de suministro definidos en la sección 3.2.1:
 - La máxima variación estática de la tensión de salida Δv_{op} .
 - La máxima variación de la tensión de salida durante transitorios de carga Δv_{ot} .
- El máximo valor de C_e calculado con las directrices dadas en la sección 3.2.2.
- El valor de Δi_L deseado para el reductor.

Selección de los MOSFETs y el núcleo magnético. A partir de los esfuerzos eléctricos del reductor es posible escoger los componentes que se van a usar para su implementación.

Por una parte es necesario escoger un par de MOSFETs con una capacidad de soportar tensión y una R_{dsON} adecuados [159]. Además, es deseable que tengan un empaquetado sencillo de montar y refrigerar y que sean asequibles. En este caso, por tratarse de un reductor con D de 0,5, se escoge el mismo modelo para Q_p y Q_s . Sin embargo, el algoritmo propuesto es válido también si se utilizan transistores distintos o HEMTs de GaN.

La selección del núcleo magnético utilizado y su material es un proceso complejo. Si bien existen métodos para calcular el tamaño mínimo de núcleo necesario, también es posible estimarlo y escoger una solución tentativa [183]. La selección final dependerá fuertemente del volumen disponible, el presupuesto y el factor de forma preferido.

Cálculo de f_{sopt} . Una vez se han determinado los posibles puntos de trabajo del convertidor y se conocen todas las características de los MOSFETs y el núcleo magnético, es posible utilizar la ecuación 3.50 para calcular la frecuencia óptima de conmutación f_{sopt} .

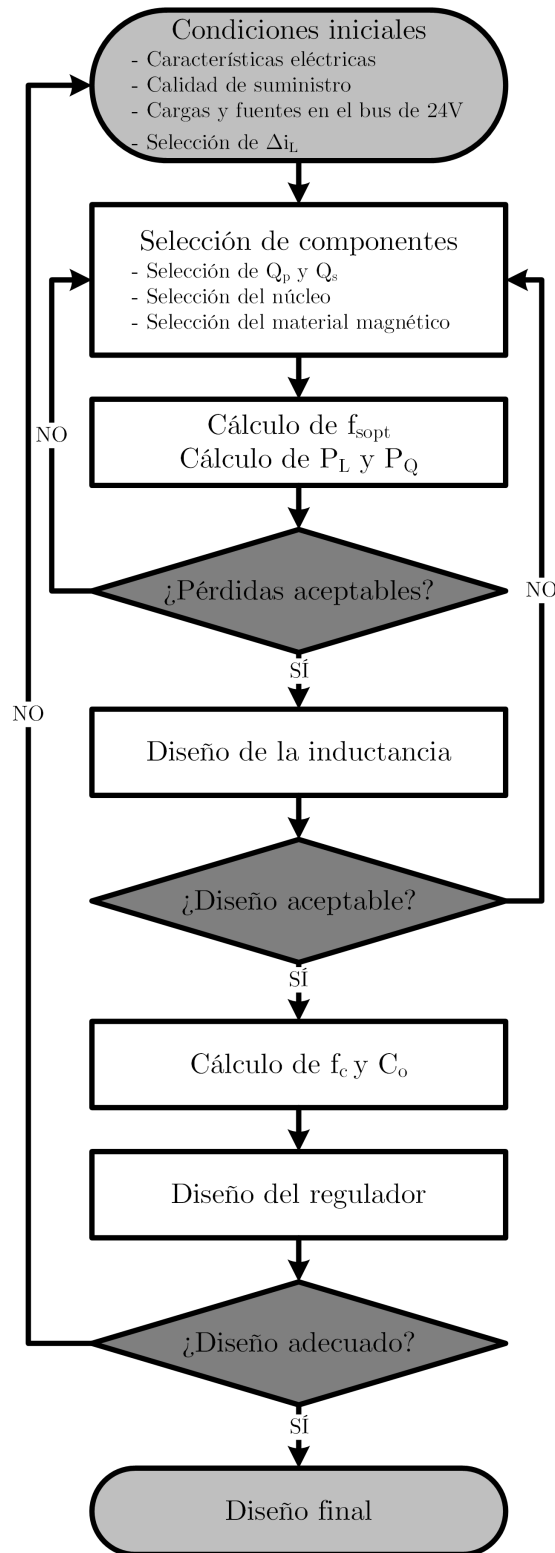


Figura 3.23: Diagrama de flujo simplificado del algoritmo de diseño del reductor.

Cálculo de pérdidas y primera comprobación de diseño. Conociendo f_{sopt} , se pueden utilizar las ecuaciones 3.36 y 3.40 para estimar las pérdidas en los MOSFETs y la inductancia respectivamente. En función de los objetivos de eficiencia y la temperatura máxima que pueden alcanzar estos elementos, estas pérdidas podrían resultar demasiado elevadas y requerir la selección de componentes distintos.

Cálculo del punto de diseño Ψ . Con el valor de f_{sopt} validado, se calcula el par $\{L, C_o\}$ que se debe utilizar para implementar el filtro LC del reductor. Para ello, se utilizan las ecuaciones 3.29 y 3.30.

En primer lugar se realiza el diseño de la inductancia, determinando el valor real de N_L y el entrehierro necesario para ajustar el valor de L [139]. Si el entrehierro es demasiado grande, podría ser necesario seleccionar un núcleo o un material distinto para evitar incrementar fuertemente las pérdidas debido al efecto borde o *fringing* [183].

Una vez comprobado que el diseño es factible, es necesario calcular el máximo valor de f_c permitido por el valor de la inductancia y f_s . Conociendo f_c , es posible calcular el valor de C_o necesario y seleccionar condensadores cerámicos apropiados para su implementación.

Finalmente, se puede calcular el valor de $C_{\text{bus n}}$ necesario para limitar el rizado de la tensión de entrada con el procedimiento descrito en [145].

Diseño del regulador con control en modo tensión. Una vez determinado el diseño de la etapa de potencia del reductor, se puede escoger un circuito integrado comercial para controlar el convertidor en modo tensión. Este debe permitir la conmutación a f_s y no incluir mecanismos que impidan la operación bidireccional del reductor.

Para poder obtener el valor de f_c deseado, se debe implementar un controlador de tipo III que proporcione un margen de fase adecuado [170]. Este además debe permitir el uso de las aproximaciones utilizadas en la sección 3.3.1 para el modelado de la planta.

Comprobación del diseño realizado. Con el convertidor reductor diseñado por completo, se comprueba que cumple con todos los requisitos impuestos además de los objetivos mínimos de eficiencia, volumen y precio.

Además, este procedimiento se puede utilizar como el proceso interno de otro algoritmo iterativo de nivel superior que permita evaluar el efecto de las diferentes condiciones iniciales en el diseño, de forma semejante a los utilizados en [111], [112].

El algoritmo propuesto minimiza las pérdidas a plena carga. Si se conociese el perfil de carga, sería posible optimizar la eficiencia en el punto de trabajo más frecuente con sólo adaptar los parámetros de los modelos de pérdidas a ese modo de operación.

3.4 Análisis de los parámetros de diseño

En esta sección se analiza el efecto que tienen los diferentes parámetros que el diseñador puede escoger sobre el resultado del algoritmo propuesto para el diseño del reductor. Para ello, se realizan ejemplos de diseño con las especificaciones fijadas en las secciones 3.2.1 y 3.2.2 y se proporcionan resultados experimentales que validan el procedimiento propuesto. La Tabla 3.6 resume las características eléctricas y las especificaciones de calidad de suministro de los reductores utilizados para implementar el PdB.

3.4.1 Ejemplo de diseño

Con las condiciones iniciales establecidas en la Tabla 3.6 se realiza un primer diseño del reductor. Para este caso se escoge un valor de Δi_L del 20 % para reducir el esfuerzo de corriente sin penalizar en exceso el valor necesario de L .

Para la implementación Q_p y Q_s se utiliza el FDB3502 de On Semiconductor. Este es un MOSFET de 75 V, 14 A y una $R_{ds(on)}$ de 47 m Ω . Tiene unas características apropiadas para el reductor, es barato y muy sencillo de ensamblar. Además, su empaquetado D2PAK permite refrigerarlo sin necesidad de añadir elementos adicionales, reduciendo el volumen del convertidor.

El núcleo magnético escogido es un RM8. Su valor de área-producto está muy por encima del mínimo necesario para esta aplicación y su formato permite disponer de una gran A_e en un pequeño volumen. El material N97 de EPCOS [188] se utiliza en esta inductancia por sus bajas pérdidas y por estar recomendado para componentes magnéticos de potencia a frecuencias por debajo de los 500 kHz.

Una vez seleccionados los componentes, es posible calcular $f_{s,opt}$. Utilizando únicamente la ecuación 3.46b se obtiene un valor de 34,4 kHz. Sin embargo, la inductancia no es realizable a esta frecuencia sin saturar el núcleo magnético escogido. Utilizando la ecuación 3.50, que sí tiene en cuenta los efectos de saturación en la inductancia, se obtiene una $f_{s,opt}$ de 183,5 kHz para una densidad de flujo magnético del 80 % de la de saturación.

Las ecuaciones 3.36 y 3.40 proporcionan una estimación de pérdidas de 0,932 W en Q_p , 0,800 W en Q_s y 0,413 W en la inductancia. Teniendo en cuenta unas pérdidas en el entorno de 0,509 W debidas a los conectores utilizados y el consumo de los circuitos auxiliares de control, las pérdidas totales del reductor suman 2,655 W. La eficiencia teórica del reductor con estas pérdidas es de un 97,41 %.

La estimación de pérdidas permite calcular de forma aproximada el incremento de temperatura en los MOSFETs y la inductancia. Utilizando los datos proporcionados por el fabricante y las ecuaciones de [162], se puede estimar el incremento de temperatura de la unión en Q_p y Q_s de 37 °C y 32 °C respectivamente. Estos valores son muy razonables para operar en un entorno doméstico donde la temperatura ambiente no será particularmente elevada.

Para el incremento de temperatura en la inductancia se puede estimar utilizando el procedimiento descrito en [189]. Para unas pérdidas obtenidas a $f_{s,opt}$, el incremento de temperatura en un RM8 es de aproximadamente 18 °C. Nuevamente, la temperatura ambiente de un hogar es lo suficientemente baja como para que este incremento de temperatura no ponga en peligro el buen funcionamiento del reductor.

Con f_s validado, se escoge como controlador el MC33023 de On Semiconductor. Se trata de un circuito de control muy sencillo con frecuencia de conmutación ajustable y con una red de compensación externa, lo que permite diseñar un controlador tipo III sin restricciones.

Tabla 3.6: Características eléctricas y especificaciones de calidad de suministro del reductor.

Parámetro	Valor	Parámetro	Valor
V_{bus} (V)	48	Δv_{op} (mV)	120
V_o (V)	24	Δv_{ot} (V)	1,2
P_r (W)	± 100	ΔI_o (A)	$\pm 4,16$

Su ciclo de trabajo está limitado entre 0 y 0,9. Esto no es ideal para una implementación real pero resulta útil para mostrar la diferente dinámica dependiendo del signo de ΔI_o [168].

El valor de L correspondiente al 20 % de Δi_L y la $f_{s\text{opt}}$ obtenida es de 78,5 μH . Con el núcleo seleccionado, su devanado debe tener 18 vueltas y necesita un entrehierro de 0,31 mm. Puesto que estos valores son razonables, se puede continuar con el diseño.

De acuerdo con la ecuación 3.10, el f_c efectivo que se puede obtener está limitado por L . En este diseño, el límite de f_c está a 14,64 kHz. Con las condiciones impuestas por la ecuación 3.30, los límites inferiores de C_o obtenidos para este ejemplo de diseño son los siguientes:

- Para $C_o(\Delta v_{\text{op}})$ se obtiene 4,73 μF .
- Para $C_o(\Delta v_{\text{ot}})$ se obtiene 39,0 μF .
- Para $C_o(C_e)$ se obtiene 35,6 μF .

Para poder cumplir con la condición de la ecuación 3.30a, se utiliza un valor de 39,0 μF para C_o . Puesto que este valor es demasiado grande para implementarlo con un único condensador cerámico, es necesario utilizar un banco de condensadores [166].

Finalmente, se diseña el regulador de tipo III teniendo en cuenta la planta de la etapa de potencia y los coeficientes de escala que introduce el MC33023. Debido a la limitación en la disponibilidad de componentes comerciales para la implementación del regulador, la f_c real obtenida es de 15,76 kHz con un margen de fase de 51,66°.

3.4.2 Validación de la calidad de suministro

En primer lugar se comprueba que el diseño realizado cumple con los requisitos impuestos sobre la calidad de suministro eléctrico en el bus de 24 V. Para ello, se mide la salida del reductor cuando éste se somete a escalones de corriente de magnitud ΔI_o .

Los escalones sobre i_o se consiguen conectando a la salida del reductor una fuente de corriente controlable y una carga resistiva de 5,76 Ω , que se corresponde con un consumo de 100 W cuando se conecta al bus de 24 V. La fuente de corriente fija el punto de operación inicial del reductor y el escalón de $+\Delta I_o$ o $-\Delta I_o$ se consigue respectivamente con la conexión o desconexión de la resistencia. Utilizar una carga resistiva permite asegurar que los escalones de carga son esencialmente instantáneos.

En la Fig. 3.24 se muestra un escalón de carga de magnitud $+\Delta I_o$ en el que el reductor pasa de modo sumidero a modo fuente. Inicialmente, la fuente de corriente está inyectando hacia el bus 1,2 A y la resistencia está desconectada. Se puede observar cómo Δi_L se corresponde con el 20 % de la corriente nominal (0,83 A) y el ciclo de trabajo D es de aproximadamente un 50 %. La corriente de salida i_o es continua e igual al valor medio de i_L .

Cuando se conecta la resistencia, i_o sube rápidamente hasta 3,0 A. Debido a la dinámica del regulador implementado, i_L no puede seguirla y se produce una caída de v_o como se predijo en la sección 3.2.1. Puesto que se ha diseñado el regulador para tener un f_c adecuado para el valor de L escogido, i_L sube de forma casi lineal, limitada únicamente por el $D_{\text{máx}}$ del circuito de control.

El escalón mostrado en la Fig. 3.24 se corresponde con uno de los peores casos posibles con respecto a Δv_{ot} . Al producirse aproximadamente a la mitad del periodo de conmutación, el convertidor no puede reaccionar hasta el siguiente periodo y el condensador C_o debe

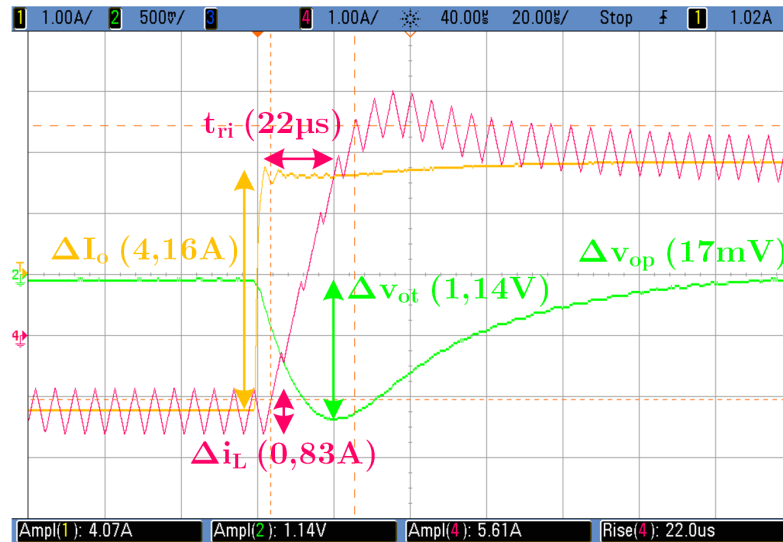


Figura 3.24: Medidas del comportamiento del reductor frente a un escalón sobre i_o (CH1) entre $-1,2\text{ A}$ y $3,0\text{ A}$, mostrando v_o (CH2) e i_L (CH4). Escala de tiempos: $20\ \mu\text{s}/\text{div}$.

proporcionar aún más carga. Incluso en esta situación, el valor de Δv_{ot} es de $1,14\text{ V}$, lo que se encuentra ligeramente por debajo del límite de $1,20\text{ V}$ establecido.

En esta captura se puede comprobar además que el Δv_{op} medido es de tan sólo 17 mV , casi diez veces menor que el límite impuesto. Esto se debe a que la condición sobre C_o impuesta por Δv_{op} es mucho menos restrictiva que la impuesta por Δv_{ot} en este ejemplo de diseño.

En la Fig. 3.25 se muestra un escalón de magnitud $-\Delta I_o$. El reductor se encuentra inicialmente en modo fuente, proporcionando una corriente de $2,1\text{ A}$ y se desconecta la carga resistiva para que entre en modo sumidero. Debido a que el $D_{\text{mín}}$ del controlador utilizado es 0, la transición de i_L es lineal. El tiempo de bajada de esta transición es de sólo $19,8\ \mu\text{s}$ frente a los $22,0\ \mu\text{s}$ de la transición de subida. Por esta razón, Δv_{ot} es sustancialmente menor para escalones descendentes de carga.

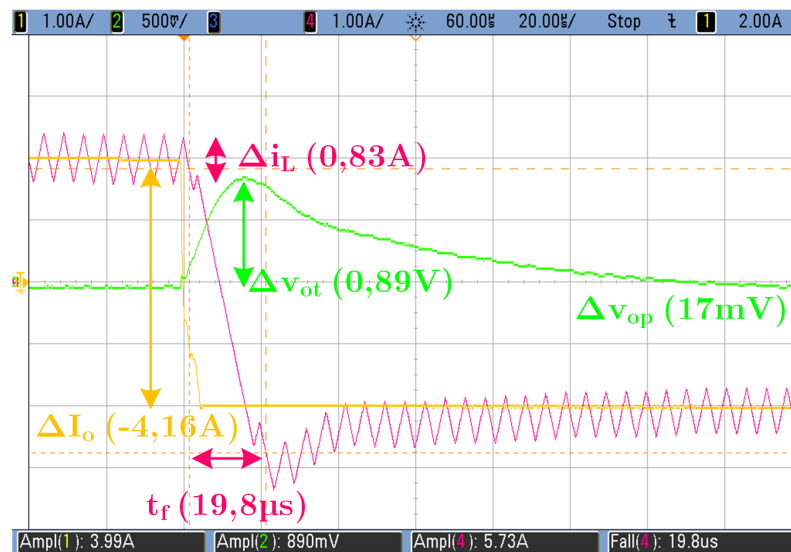


Figura 3.25: Medidas del comportamiento del reductor frente a un escalón sobre i_o (CH1) entre $2,1\text{ A}$ y $-2,1\text{ A}$, mostrando v_o (CH2) e i_L (CH4). Escala de tiempos: $20\ \mu\text{s}/\text{div}$.

3.4.3 Validación de la optimización

Para verificar la validez del algoritmo de optimización, se realizan diseños a frecuencias distintas de f_{sopt} . De esta forma, se puede comprobar no solo que el diseño realizado a f_{sopt} presenta las pérdidas mínimas para los componentes escogidos sino también que el modelo de pérdidas escogido es apropiado y proporciona un resultado preciso.

La Tabla 3.7 muestra los parámetros más importantes del ejemplo descrito en la sección 3.4.1 y dos alternativas: el diseño 1 y el diseño 2. El diseño 1 utiliza un valor de f_s de aproximadamente la mitad de f_{sopt} mientras que el reductor del diseño 2 conmuta a casi $2f_s$. El valor de Δi_L se mantiene en un 20 % en todos ellos. Esta tabla demuestra la validez de los análisis realizados en la sección 3.3.3:

- El ancho de banda del regulador, definido por f_c , se reduce al disminuir f_s . Esto es debido a la limitación impuesta sobre Δi_L y su efecto sobre el diseño de la inductancia.
- El valor de L requerido es inversamente proporcional a f_s . El valor de C_o también disminuye al aumentar f_s , pero la condición impuesta por C_e y la degradación del lazo de regulación hacen que la disminución de volumen de C_o no sea totalmente lineal con la frecuencia de conmutación.
- Como se mostró en la Fig. 3.22, modificar f_s modifica el reparto de las pérdidas entre los MOSFETS y la inductancia. Disminuir f_s , como en el diseño 1, reduce las pérdidas de conmutación en los MOSFETS significativamente. Sin embargo, debido al mayor valor de L , sus pérdidas son más de tres veces mayores que en el diseño óptimo. En el diseño 2, donde f_s es mayor, las pérdidas en la inductancia se reducen pero no lo suficiente como para compensar las mayores pérdidas de conmutación en los MOSFETS, obteniendo un diseño con menor eficiencia que el óptimo.

Para validar los resultados teóricos, se mide la eficiencia (η) sobre prototipos de los tres diseños propuestos. La Tabla 3.8 muestra las pérdidas y las eficiencias medidas sobre cada uno de ellos y los valores teóricos obtenidos con los modelos de pérdidas. Se puede ver cómo el error cometido con estos modelos es muy pequeño y las medidas encajan con la tendencia predicha.

Tabla 3.7: Parámetros principales de diseño de los tres reductores analizados.

Parámetro	Diseño Óptimo	Diseño 1	Diseño 2
f_s (kHz)	183,5	90	360
f_c (kHz)	14,7	7,2	28,8
L (μH)	78,5	160,0	40,0
$C_o(\Delta v_{\text{op}})$ (μF)	4,7	9,7	2,4
$C_o(\Delta v_{\text{ot}})$ (μF)	39,0	79,6	19,9
$C_o(C_e)$ (μF)	35,6	54,3	24,4
C_o (μF)	39,0	79,6	24,4
P_L (W)	0,41	1,45	0,19
P_Q (W)	1,73	1,41	2,34
P_{aux} (W)	0,51	0,51	0,51
P_{totr} (W)	2,65	3,36	3,03

Tabla 3.8: Medidas y valores teóricos de pérdidas y eficiencia en los diseños de la Tabla 3.7.

Parámetro	Diseño Óptimo	Diseño 1	Diseño 2
$P_{\text{teórico}}$ (W)	2,65	3,36	3,03
P_{medido} (W)	2,87	3,48	3,15
$\eta_{\text{teórico}}$ (%)	97,4	96,7	97,0
η_{medido} (%)	97,2	96,6	96,9

3.4.4 Evaluación del núcleo magnético seleccionado

En el procedimiento de diseño propuesto, el tamaño del núcleo magnético se escoge de forma arbitraria en función de la experiencia del diseñador o de métodos de estimación del tamaño mínimo necesario [183]. Esta selección es especialmente importante puesto que el elemento magnético suele representar un porcentaje muy significativo del volumen del convertidor [190].

Para evaluar el efecto de esta elección, se realizan dos diseños alternativos al ejemplo de diseño óptimo, que utiliza un RM8. Para poder realizar una comparación más directa, se hacen dos diseños con los núcleos en formato RM inmediatamente superior e inferior, un RM10 y un RM6.

La Tabla 3.9 muestra los resultados teóricos de estos diseños. Se puede ver cómo la utilización de un núcleo distinto, modifica la f_s óptima, condicionando el diseño del filtro. Esto es debido al efecto del núcleo sobre las pérdidas en la inductancia, mostrado en la Fig. 3.26. Un núcleo más pequeño incrementa significativamente las pérdidas, especialmente cuando se utilizan valores bajos de f_s .

Puesto que las pérdidas P_Q en los MOSFETs son independientes del núcleo utilizado, usar un núcleo de menor tamaño lleva a una f_s óptima más elevada y unas pérdidas ligeramente mayores, como se puede ver en la Fig. 3.27. Cuando se utiliza un núcleo mayor, la tendencia es la opuesta, reduciendo las pérdidas a costa de reducir f_s y aumentar el condensador C_o requerido para el filtro.

Las Fig. 3.26 y 3.27 presentan además una ligera diferencia con respecto a las tendencias de pérdidas ideales mostradas en la Fig. 3.22. P_L no es una función continua si no que tiene ligeras irregularidades. Esto se debe a que para el cálculo de las curvas de estas figuras se ha tenido en cuenta que N_L sólo puede tomar valores enteros, lo que genera discontinuidades

Tabla 3.9: Parámetros principales de diseño utilizando distintos tamaños de núcleo magnético en formato RM.

Parámetro	Diseño Óptimo RM8	Diseño Óptimo RM10	Diseño Óptimo RM6
f_s (kHz)	183,5	131,2	303,5
L (μH)	78,5	109,75	47,4
C_o (μF)	39,0	54,6	26,8
P_L (W)	0,41	0,31	0,63
P_Q (W)	1,73	1,55	2,15
P_{aux} (W)	0,51	0,51	0,51
P_{total} (W)	2,65	2,37	3,29

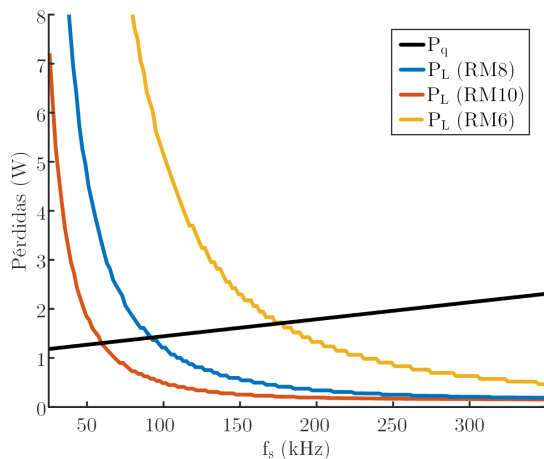


Figura 3.26: Valores de P_Q para un par de FDB3502 y de P_L para distintos núcleos RM en función de f_s .

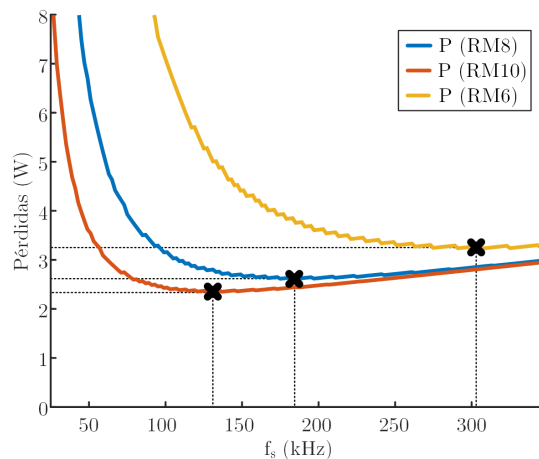


Figura 3.27: Pérdidas totales para distintos núcleos RM en función de f_s y puntos de diseño óptimo.

Tabla 3.10: Parámetros principales distintos transistores para el reductor.

Parámetro	FDB3502	TPH7R006PL	TPW1R306PL	EPC2007C
$V_{ds\ máx}$ (V)	75	60	60	100
$I_{ds\ máx}$ (A)	14	60	100	6
R_{dsON} (m Ω)	47	7	2,3	30
C_{oss} (pF)	75	300	1160	110
Q_g (nC)	11	20	91	1,6

en la ecuación 3.43. Estas son lo suficientemente pequeñas como para que la diferencia entre $f_{s\ opt}$ obtenida en la ecuación 3.50 y la f_s que realmente minimiza las pérdidas sean despreciables.

La selección del núcleo magnético plantea, por tanto, el dilema de escoger entre minimizar el volumen o las pérdidas. Utilizar un núcleo más pequeño permite reducir el volumen del reductor entero pero reduce la eficiencia del mismo. Utilizar un núcleo más grande reduce fuertemente las pérdidas pero incrementa el volumen y coste del convertidor. Una vez más, la elección dependerá de la prioridad asignada a objetivo de diseño.

3.4.5 Evaluación de los transistores seleccionados

Al igual que en el caso de la inductancia, la selección del transistor juega un importante papel en las pérdidas del reductor. Para estudiar su efecto, se analizan cuatro modelos distintos, mostrados en la Tabla 3.10. En esta tabla se muestran las características más relevantes de estos transistores:

- La tensión y corriente de CC máxima que soporta el transistor son, en todos los casos, suficientes para ser utilizados en esta aplicación.
- La R_{dsON} del transistor está directamente relacionada con las pérdidas de conducción mientras que C_{oss} y Q_g afectan a las pérdidas de conmutación.

- Puesto que no es posible reducir a la vez R_{dsON} y las capacidades parásitas al mismo tiempo sin cambiar el tipo o tecnología de transistor, es necesario escoger un dispositivo adecuado a la aplicación [159].
 - Basado en el modelo de pérdidas planteado en 3.3.3, la R_{dsON} afecta a la ordenada en el origen de la recta de P_Q , y las capacidades afectan a su pendiente.
 - El EPC2007C es un HEMT de GaN. Utilizar una tecnología distinta permite reducir al mismo tiempo R_{dsON} y las capacidades parásitas con respecto a un MOSFET semejante como puede ser el FDB3502 [155].
- Se observan discrepancias entre la R_{dsON} y la capacidad de corriente máxima de los dispositivos. Esto es debido al empaquetado de cada uno de ellos y sus características térmicas.

La Fig. 3.28 muestra las tendencias de las pérdidas en la inductancia P_L con un núcleo RM8 y en los transistores P_Q en función de f_s . En ellas se observa:

- El FDB3502 escogido para el ejemplo de diseño no es el transistor con menores pérdidas a ningún valor de f_s .
- El TPH7R006PL presenta menores pérdidas que el FDB3502 por debajo de los 350 kHz. A pesar de tener unas pérdidas de conmutación ligeramente más elevadas, lo que lleva a una mayor pendiente de su curva P_Q , lo compensa con una R_{dsON} muy reducida.
- El TPW1R306PL tiene una R_{dsON} muy baja pero sus elevadas pérdidas de conmutación hace que no sea una opción adecuada, sobre todo a frecuencias altas.
- el EPC2007C presenta muy bajas pérdidas, semejantes a las del TPH7R006PL. Su mayor R_{dsON} penaliza ligeramente sus pérdidas para valores bajos de f_s . Sin embargo, se comporta mucho mejor al incrementar f_s que los demás transistores considerados.

En la Fig. 3.29 se muestran las pérdidas totales del reductor junto con los puntos de diseño de máxima eficiencia para cada combinación de transistores. Los diseños que utilizan los dos transistores con mejor comportamiento, el TPH7R006PL y el EPC2007C, son los que presentan menores pérdidas y deberían ser utilizados para el diseño definitivo del reductor.

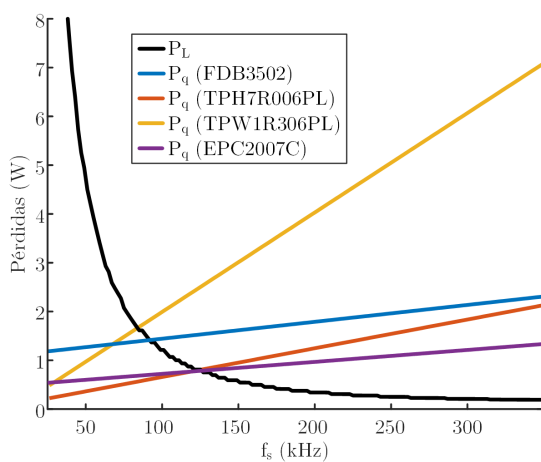


Figura 3.28: Valores de P_L para un RM8 y de P_Q para distintos pares de transistores en función de f_s .

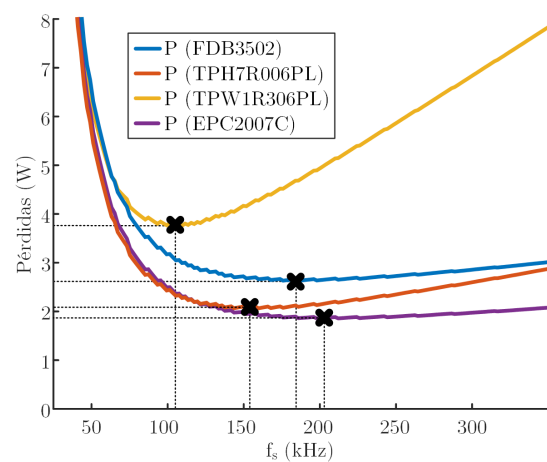


Figura 3.29: Pérdidas totales para distintos pares de transistores en función de f_s y puntos de diseño óptimo.

Tabla 3.11: Parámetros principales de diseño utilizando distintos transistores.

Parámetro	FDB3502	TPH7R006PL	TPW1R306PL	EPC2007C
f_s (kHz)	183,5	155,6	104,0	203,0
L (μ H)	78,5	92,6	138,5	70,8
C_o (μ F)	39,0	46,0	68,9	35,2
P_L (W)	0,41	0,54	1,14	0,34
P_Q (W)	1,73	1,04	2,14	1,02
P_{aux} (W)	0,51	0,51	0,51	0,51
P_{total} (W)	2,65	2,09	3,78	1,87

Analizando la Tabla 3.11 se observan tendencias semejantes a las obtenidas para los distintos núcleos. Los diseños que permiten una mayor f_s también reducen el valor de C_o , reduciendo el volumen y coste del convertidor. En base a estas consideraciones, el EPC2007C parece la opción más prometedora.

Las Fig. 3.30 y 3.31 permiten analizar más en profundidad las prestaciones de cada par de transistores. Si bien es evidente que el TPW1R306PL es el que tiene mayores pérdidas en todos los escenarios, el resto de transistores tienen distintas ventajas y desventajas que hay que estudiar para seleccionar el más apropiado.

El EP2007C presenta menores pérdidas en todo el rango de potencias y proporciona el diseño con la mayor eficiencia. Sin embargo, la utilización de estos HEMT de GaN presenta otros problemas. La rápida conmutación de estos transistores requiere muy bajos parásitos en el camino de conmutación [161]. Esto implica no solo el uso de empaquetados especiales sino también el montaje sobre PCBs con múltiples capas, microvías y parámetros de fabricación no estándar [191].

Si se utiliza una PCB de solo dos capas, mucho más sencilla y barata que la implementación recomendada en [191], las prestaciones del HEMT se deterioran significativamente. Como se puede ver en la Fig. 3.32, la rápida conmutación del EPC2007C y los parásitos introducidos por la PCB genera grandes oscilaciones de tensión que podrían dañar el HEMT e impiden la operación del reductor en su punto de trabajo nominal [192].

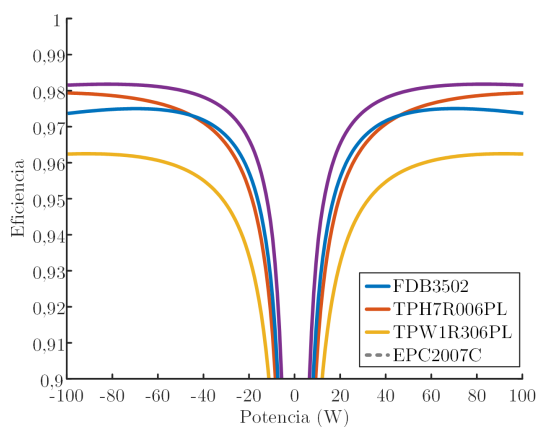


Figura 3.30: Eficiencia del reductor para distintos pares de transistores en función de la potencia procesada.

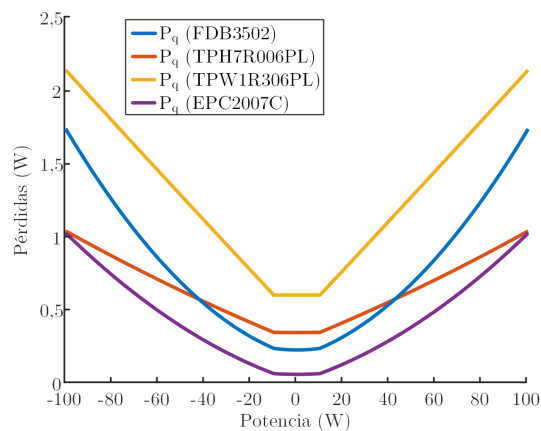


Figura 3.31: P_Q para distintos pares de transistores en función de la potencia procesada.

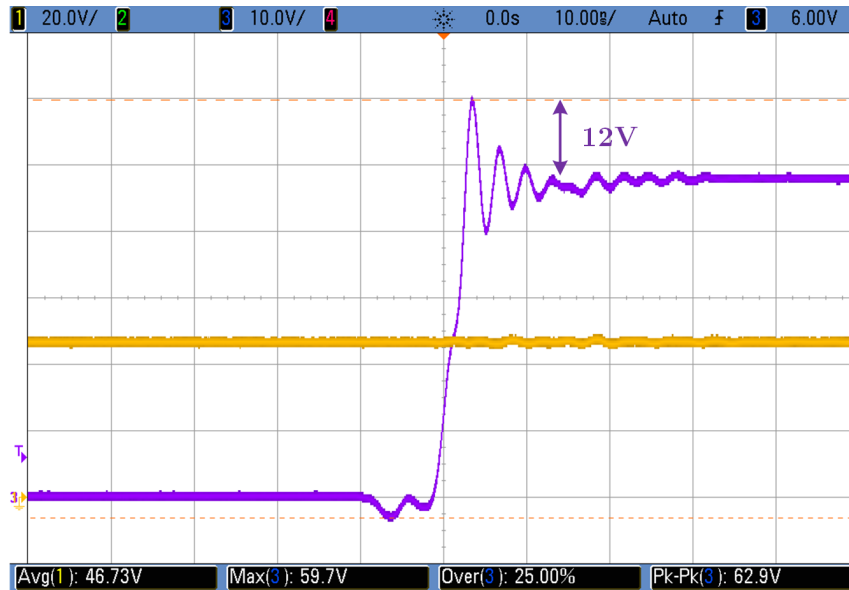


Figura 3.32: Tensión entre el drenador y la fuente del EPC2007C (CH3) y tensión v_{bus} (CH1) con $0\ \Omega$ de resistencia externa de puerta. Escala de tiempos: 10 ns/div.

Para poder utilizar una PCB de dos capas, es necesario hacer que la conmutación del HEMT sea lo suficientemente lenta como para eliminar la mayor parte de oscilación de la tensión. En la Fig. 3.33 se muestra la tensión entre el drenador y la fuente del HEMT cuando se coloca una resistencia de $30\ \Omega$ en la puerta del mismo. Si bien las oscilaciones son despreciables en esta situación, las pérdidas en el HEMT aumentan significativamente debido a las conmutaciones lentas. Volviendo a realizar los cálculos de pérdidas y realizando un diseño para esta situación, se obtienen los resultados mostrados en las Fig. 3.34 y 3.35. Las mayores pérdidas del EPC2007C con la conmutación ralentizada hacen que su f_{sopt} se encuentre ahora a 153,5 kHz. No sólo las pérdidas totales a plena carga son mayores sino que también desaparece la ventaja de requerir un menor C_o con respecto al TPH7R006PL.

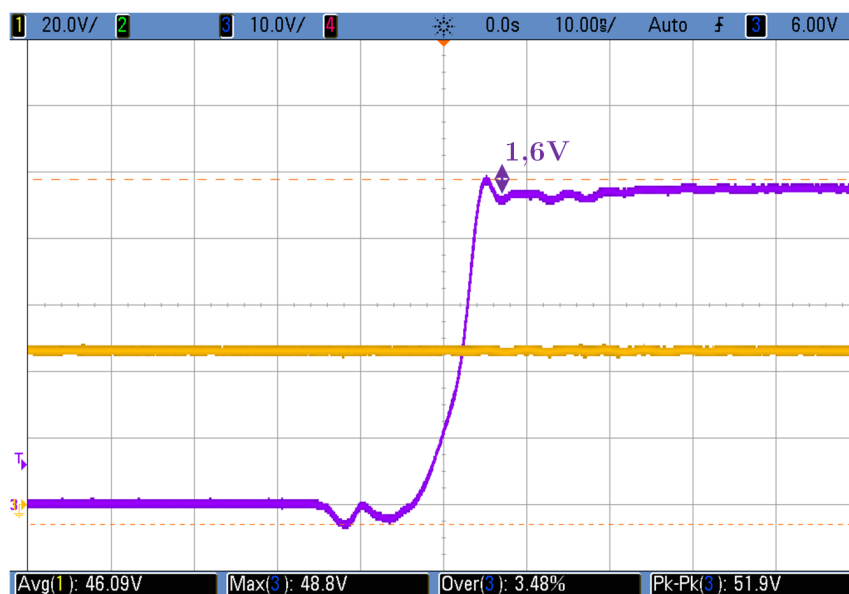


Figura 3.33: Tensión entre el drenador y la fuente del EPC2007C (CH3) y v_{bus} (CH1) con $30\ \Omega$ de resistencia externa de puerta. Escala de tiempos: 10 ns/div.

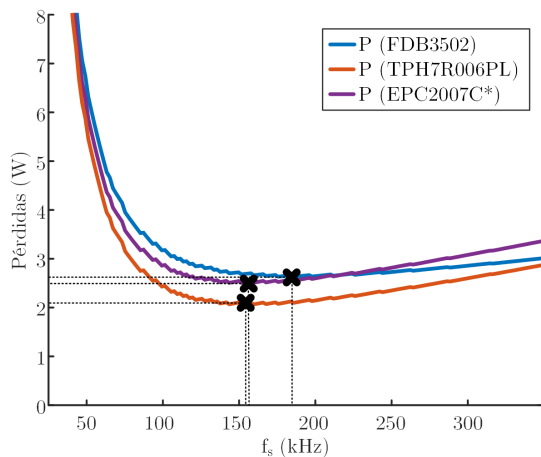


Figura 3.34: Pérdidas totales para distintos pares de transistores en función de f_s y puntos de diseño óptimo con 30Ω de resistencia externa de puerta para el EPC2007C.

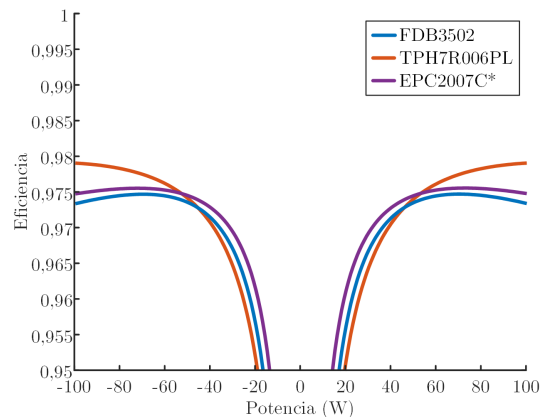


Figura 3.35: Eficiencia del reductor para distintos pares de transistores en función de la potencia procesada con 30Ω de resistencia externa de puerta para el EPC2007C.

Aún con las prestaciones degradadas del EPC2007C, este sigue siendo un buen candidato para la implementación del reductor. La eficiencia que se obtiene con él es siempre mayor que la que se puede conseguir con el FDB3502. Sin embargo, no resulta sencillo escoger entre el EPC2007C y el TPH7R006PL. El primero optimiza la eficiencia del reductor cuando este opera a baja carga, mientras que el segundo tiene menores pérdidas a cargas altas.

Como se ha comentado anteriormente, para poder tomar una decisión plenamente fundamentada, sería necesario conocer en detalle el perfil de carga del convertidor. Puesto que este no se conoce, parece lógico escoger el TPH7R006PL para la implementación del reductor puesto que presenta una mejor eficiencia a plena carga, donde las pérdidas son mayores. Si bien la eficiencia a baja carga es ligeramente menor que con el EP2007C, la diferencia a estos niveles de potencia es suficientemente pequeña como para poder despreciarla.

Otra razón para escoger MOSFETs de silicio frente a los HEMTs de GaN es su mayor madurez. Los dispositivos tradicionales tienen una gran variedad de fabricantes y modelos entre los que escoger y sus mecanismos de fallo han sido estudiados meticulosamente [193], [194]. En el caso de los HEMTs, unos pocos fabricantes ofrecen catálogos relativamente reducidos, los dispositivos son generalmente más caros y, debido a su reciente comercialización, los estudios sobre su fiabilidad se basan en modelos y pruebas de corta duración [195].

3.4.6 Evaluación del efecto de Δi_L

El valor de Δi_L es el tercer grado de libertad que se fija de forma arbitraria durante el algoritmo de diseño propuesto. Al igual que en el caso del tamaño del núcleo y la selección de Q_p y Q_s , es necesario estudiar su efecto en el funcionamiento del reductor.

En primer lugar, se analiza su impacto sobre las pérdidas y la eficiencia del reductor a plena carga. El valor de Δi_L aparece en varios factores del modelo de pérdidas:

- El efecto más evidente de Δi_L es la modificación de las corrientes eficaces que circulan por los MOSFETs y la inductancia. Un valor alto de Δi_L incrementará ligeramente las pérdidas, sobre todo a bajas potencias donde el valor medio es mucho menor que el rizado. A potencias altas con i_L moderado, el efecto es prácticamente despreciable.

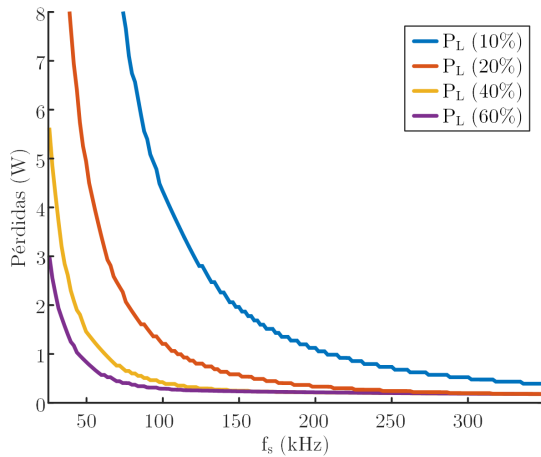


Figura 3.36: Pérdidas en la inductancia para distintos valores de Δi_L en función de f_s .

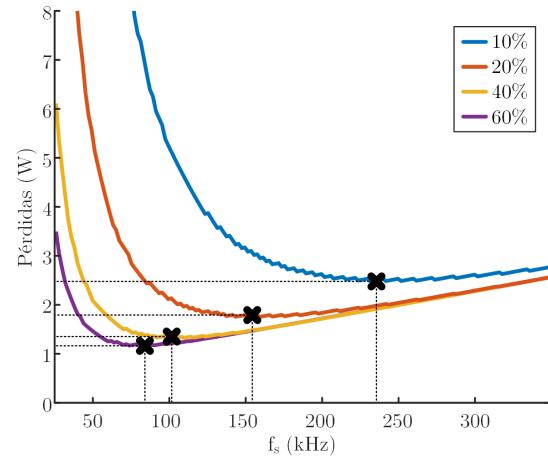


Figura 3.37: Pérdidas totales para distintos valores de Δi_L en función de f_s y puntos de diseño óptimo.

- En el instante de la conmutación, la corriente que conducen Q_p o Q_s se corresponde con el pico y el valle de i_L . Por esta razón, las pérdidas de conmutación de los MOSFETS también se ven ligeramente afectadas por el valor de Δi_L .
- El efecto más complejo de analizar es el que tiene Δi_L sobre las pérdidas totales P_L en la inductancia. Por una parte, un valor mayor de Δi_L incrementa las pérdidas de conducción y la densidad de flujo magnético que se aplica al núcleo. Por otra parte, reduce el valor de L necesario, el número de vueltas N_L y f_{sopt} .

La Fig. 3.36 muestra la tendencia de pérdidas en la inductancia para distintos valores de Δi_L calculadas según la ecuación 3.40. En ella se puede ver cómo los diseños con un mayor valor de Δi_L presentan menores pérdidas, especialmente cuando f_s es baja. Sin embargo, por encima del 40 % de rizado se observa cómo la reducción en las pérdidas debida a Δi_L es cada vez menos significativa.

En la Fig. 3.37 se pueden ver las pérdidas totales del reductor para distintos valores de Δi_L . Puesto que las pérdidas en los MOSFETS a plena carga son prácticamente independientes de Δi_L , la mejor eficiencia se obtiene con rizados de corriente grandes. En la Tabla 3.12 se detallan los cuatro diseños optimizados para sus respectivos valores de Δi_L ⁴.

La selección de Δi_L también tiene efecto sobre el filtro LC del reductor, como se puede ver en la Tabla 3.12. A pesar de que la mayor parte de su volumen depende del tamaño del núcleo magnético escogido, un valor menor de C_o permite reducir ligeramente el volumen y el coste del reductor. Puesto que C_o depende de tres condiciones distintas, es necesario analizar las tendencias por separado. Aunque para las especificaciones del PdB y los diseños propuestos siempre domina la condición impuesta por Δv_{ot} , otros requisitos podrían dar mayor importancia a alguno de los otros dos criterios.

- El valor de C_o requerido para cumplir el requisito de Δv_{op} aumenta con Δi_L . Los diseños con mayor rizado también presentan una menor f_{sopt} , incrementando significativamente la energía que debe almacenar el condensador para proporcionar una tensión con bajo rizado a la salida. En el caso del 60 %, $C_o(\Delta v_{op})$ llega a ser comparable a las otras dos condiciones.

⁴Nótese que el valor de P_{aux} es ahora menor que en los resultados anteriores. Esto se debe a una modificación en la implementación de los circuitos de mando de los MOSFETS y el uso de conectores distintos.

Tabla 3.12: Parámetros principales de diseño utilizando distintos Δi_L .

Parámetro	10 %	20 %	40 %	60 %
f_s (kHz)	241,6	155,6	101,6	80,0
f_c (kHz)	9,7	12,4	16,2	16,0
L (μ H)	119,2	92,6	70,9	60,0
$C_o(\Delta v_{op})$ (μ F)	1,8	5,6	17,1	32,6
$C_o(\Delta v_{ot})$ (μ F)	52,1	46,0	43,8	44,3
$C_o(C_e)$ (μ F)	45,5	39,2	33,6	37,7
C_o (μ F)	52,1	46,0	43,8	44,3
P_L (W)	0,74	0,54	0,39	0,38
P_Q (W)	1,54	1,04	0,72	0,59
P_{aux} (W)	0,22	0,22	0,22	0,22
P_{total} (W)	2,50	1,80	1,33	1,20

- El valor de C_o definido por la condición sobre Δv_{ot} se reduce ligeramente al incrementar Δi_L pero el efecto no es muy significativo. A pesar de que la dinámica del reductor puede ser más rápida con rizados de corriente grandes, f_s es menor y genera un mayor retardo entre el escalón de carga y la reacción del lazo en el siguiente periodo de conmutación. Además, como se observa en el caso del 60 % de rizado, se puede llegar a un punto en que la dinámica del reductor no está limitada por el valor de la inductancia sino por f_s , requiriendo un condensador ligeramente mayor que en el caso del 40 % de rizado.
- La condición sobre C_o impuesta por el C_e máximo que se puede conectar al bus de 24 V tiene una tendencia semejante a la anterior. El efecto es relativamente menor aunque el C_o requerido disminuye ligeramente con rizados grandes que no tengan su dinámica limitada por f_s .

Para comprobar la validez del análisis realizado, se construye un prototipo de cada uno de los diseños mostrados en la Tabla 3.12. Sobre ellos se realizan las pruebas mostradas anteriormente para el diseño de ejemplo de la sección 3.4.1.

La Tabla 3.13 muestra la estimación y la medida de las pérdidas y la eficiencia de los diferentes prototipos comparados con el diseño de ejemplo. Nuevamente, los resultados experimentales son muy semejantes a los predichos con los modelos teóricos. Por una parte, esto permite confirmar que los diseños del reductor realizados con el MOSFET TPH7R006PL proporcionan una mejor eficiencia, incluso cuando se tiene en cuenta la pequeña discrepancia en el valor de P_{aux} . Por otra parte, se verifica que un mayor Δi_L permite reducir las pérdidas del reductor. También se puede ver, no obstante, cómo el error entre la medida y el valor teórico es mayor al aumentar Δi_L . Esto encaja con la aproximación tomada en la ecuación 3.39 en la que se desprecian los efectos del rizado de alta frecuencia en las pérdidas del devanado.

Para poder analizar con más detalle el efecto de Δi_L sobre la eficiencia del reductor se estudia la tendencia en diferentes puntos de funcionamiento. La Fig. 3.38 muestra las medidas de rendimiento en todo el rango de potencia del reductor y los resultados teóricos en las mismas condiciones. Al igual que en el caso de la Tabla 3.13, se puede ver cómo el modelo es mucho más preciso para valores de Δi_L bajos ((a) y (b)) pero el error sigue siendo relativamente bajo cuando se incrementa el rizado ((c) y (d)).

Tabla 3.13: Medidas y valores teóricos de pérdidas y eficiencia en el diseño de ejemplo de la sección 3.4.1 y los diseños de la Tabla 3.12.

Parámetro	Ejemplo	10 %	20 %	40 %	60 %
$P_{\text{teórico}}$ (W)	2,65	2,50	1,80	1,33	1,20
P_{medido} (W)	2,87	2,63	2,05	1,66	1,62
$\eta_{\text{teórico}}$ (%)	97,4	97,6	98,2	98,7	98,8
η_{medido} (%)	97,2	97,4	98,0	98,4	98,4

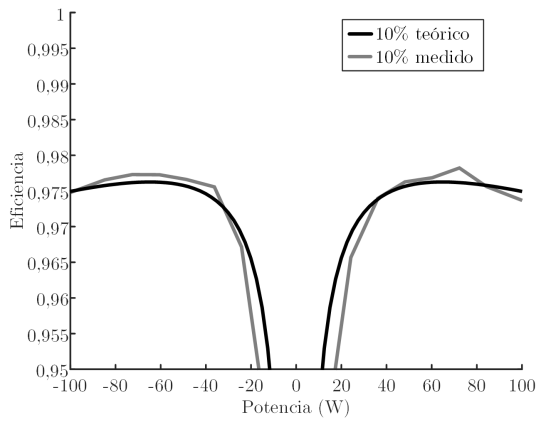
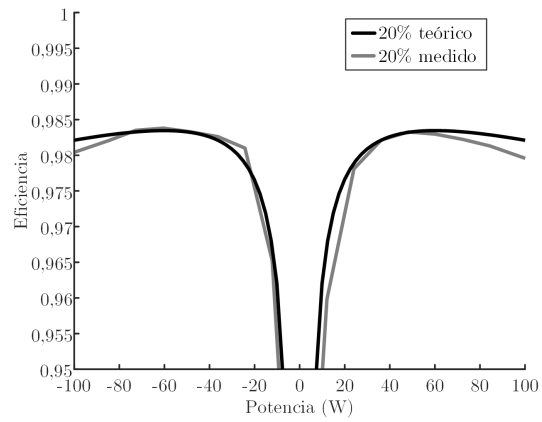
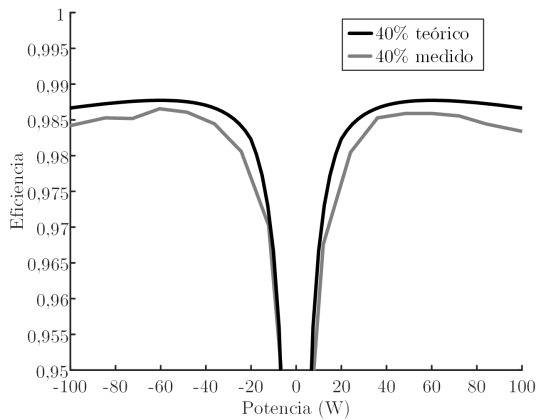
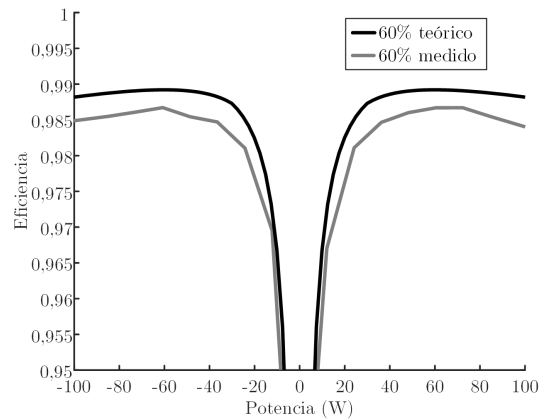
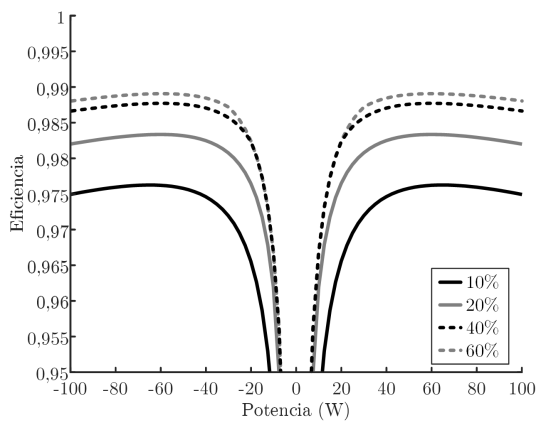
Una vez verificado el modelo de pérdidas para distintos rizados y niveles de potencia procesados, es posible comparar los distintos diseños propuestos. La Fig. 3.38e muestra la eficiencia teórica de las cuatro alternativas. Atendiendo únicamente al modelo teórico de pérdidas, el mejor rendimiento se obtiene para un Δi_L del 60 % tanto a plena carga como a potencias más reducidas. Sin embargo, la Fig. 3.38f permite ver la escasa diferencia entre la eficiencia de este diseño y el que usa un 40 % de Δi_L . Puesto que éste último requiere un valor de C_o más bajo y apenas penaliza la eficiencia, parece el punto más adecuado para el diseño del convertidor reductor con las especificaciones impuestas por el PdB.

Puede resultar llamativo que la eficiencia a baja potencia siga siendo mayor con rizados grandes, a pesar del incremento de la corriente eficaz que circula por la inductancia y los MOSFETS. Esto se debe principalmente a la baja R_{dsON} del MOSFET escogido, que permite tener unas bajas pérdidas de conducción a pesar del alto valor de Δi_L y una alta eficiencia global gracias al diseño de la inductancia para rizados de corriente altos. Si se utilizase otro transistor con una mayor R_{dsON} , como el EPC2007C analizado anteriormente, las pérdidas de conducción son significativamente mayores, penalizando el rendimiento a baja carga con valores altos de Δi_L .

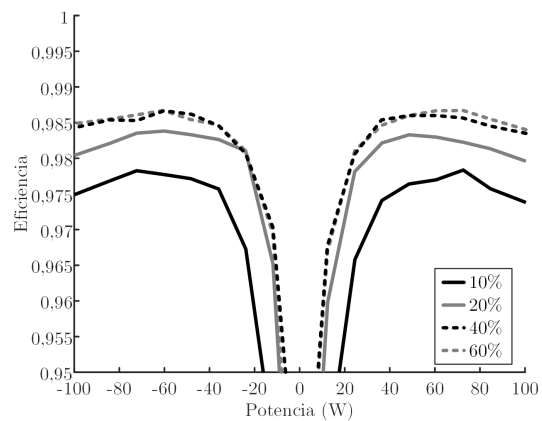
Este efecto se puede ver claramente en la Fig. 3.39, donde se comparan las eficiencias teóricas que se pueden obtener con ambos transistores. En el caso del EPC2007C, la mayor eficiencia para cargas extremadamente bajas se consigue con un Δi_L de tan sólo el 10 %. Sin embargo, es necesario plantearse si la ligera mejora de eficiencia en un intervalo de potencias estrecho y donde las pérdidas van a ser bajas en cualquier caso justifica la pérdida de eficiencia en el resto de puntos de funcionamiento del convertidor o si simplemente se debería diseñar con valores de Δi_L moderados para obtener una eficiencia más plana.

Además del modelo de pérdidas y el efecto de Δi_L sobre estas, es necesario verificar el comportamiento dinámico de los cuatro prototipos. Para ello se someten a escalones de carga bidireccionales entre $-1,8\text{ A}$ y $2,4\text{ A}$, como se muestra en la Fig. 3.40. En esta se comprueba que los cuatro prototipos tienen un comportamiento muy semejante y cumplen con los requisitos de calidad de suministro impuestos en la sección 3.2.1. Sin embargo, se observan algunos detalles dignos de mención:

- Como se había predicho, el diseño con un Δi_L del 60 % tiene su f_c limitado por su frecuencia de conmutación y no por la inductancia. Esto hace que su ciclo de trabajo d no llegue a saturar a $D_{\text{máx}}$ o $D_{\text{mín}}$ en las Fig. 3.40d y 3.40h.
- Hay ligeras discrepancias entre los valores de Δv_{ot} medidos en la Fig. 3.40 para los diferentes diseños. Esto se debe, por una parte, a los distintos retardos entre el escalón de carga y el siguiente ciclo de conmutación y, por otra, a que la implementación de C_o con el valor teórico exacto no es siempre posible debido a tolerancias y disponibilidad de componentes.

(a) Δi_L del 10 %(b) Δi_L del 20 %(c) Δi_L del 40 %(d) Δi_L del 60 %

(e) Comparativa de resultados teóricos



(f) Comparativa de resultados experimentales

Figura 3.38: Eficiencia estimada y medida del reductor para distintos valores de Δi_L utilizando el MOSFET TPH7R006PL y un núcleo RM8 en material N97.

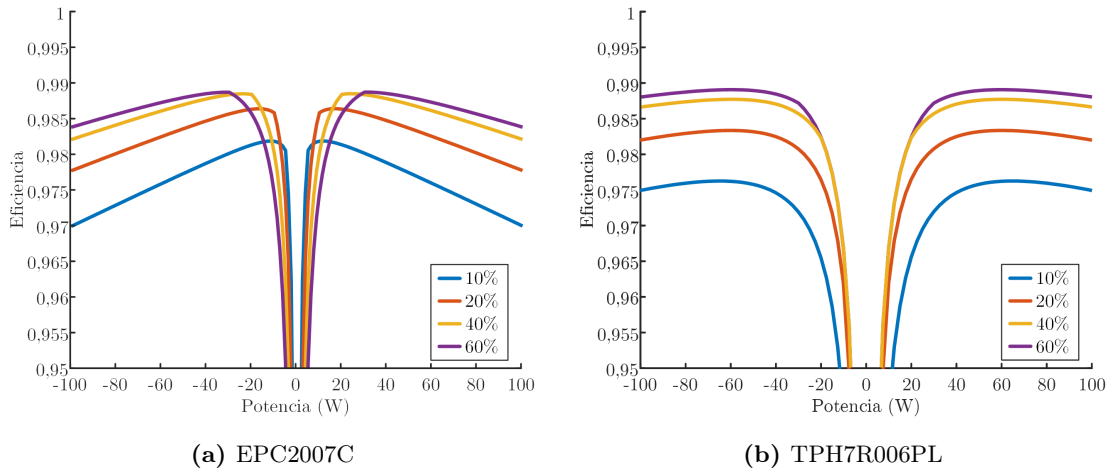


Figura 3.39: Comparativa de la eficiencia estimada del reductor para distintos valores de Δi_L con dos transistores diferentes.

- La Fig. 3.40 muestra también la corriente de entrada i_{bus} del reductor. Se puede ver cómo, utilizando un mismo C_{bus} de $17 \mu\text{F}$, esta corriente tiene un rizado proporcional a Δi_L . Además, se observa cómo durante el intervalo en que el control satura el valor de d , i_{bus} es prácticamente igual a i_L .

3.4.7 Estabilidad con elementos en el bus

Finalmente, se comprueba que el algoritmo de diseño propuesto para el reductor asegura la estabilidad del mismo cuando el usuario conecta cargas o fuentes al bus de 24 V. Para ello, se comprueba la validez de las aproximaciones utilizadas en las ecuaciones 3.19 a 3.27 para simplificar el modelado de la planta y poder estimar la degradación de la misma realizando medidas en frecuencia y en el tiempo.

Para estas pruebas se utiliza el diseño identificado en la sección anterior como más adecuado para la implementación del reductor:

- Dos MOSFETs TPH7R006PL para implementar Q_p y Q_s y un núcleo magnético RM8 en material N97.
- Una frecuencia de conmutación f_s de 102 kHz y un ancho de banda teórico del regulador f_c de 16,2 kHz.
- Una inductancia L de 70,9 μH y un condensador de salida C_o de 43,8 μF .

Sobre este diseño, se analiza por una parte el modelo teórico completo de la ganancia de lazo abierto $T_r(s)$ y por otra las medidas obtenidas con un analizador de respuesta en frecuencia Venable 6320 [196].

En primer lugar se estudia el efecto sobre la estabilidad del reductor de colocar únicamente un condensador C_e en el bus de 24 V. En las Fig. 3.41 y 3.42 se muestran los diagramas de Bode teóricos y medidos de la ganancia en lazo abierto $T_r(s)$ y las ganancias degradadas $\check{T}_r(s)$. En la Tabla 3.14 se puede ver cómo la estimación de \check{f}_c y $\check{\phi}_v$ según las ecuaciones 3.23 y 3.24 se ajusta con precisión a los valores medidos. Si bien se observa un pequeño error entre la estimación y las medidas a altas frecuencias debido a los parásitos que no se han tenido en cuenta en el modelo teórico, esta diferencia apenas tiene efecto sobre la estabilidad del reductor por producirse a frecuencias muy por encima de \check{f}_c .

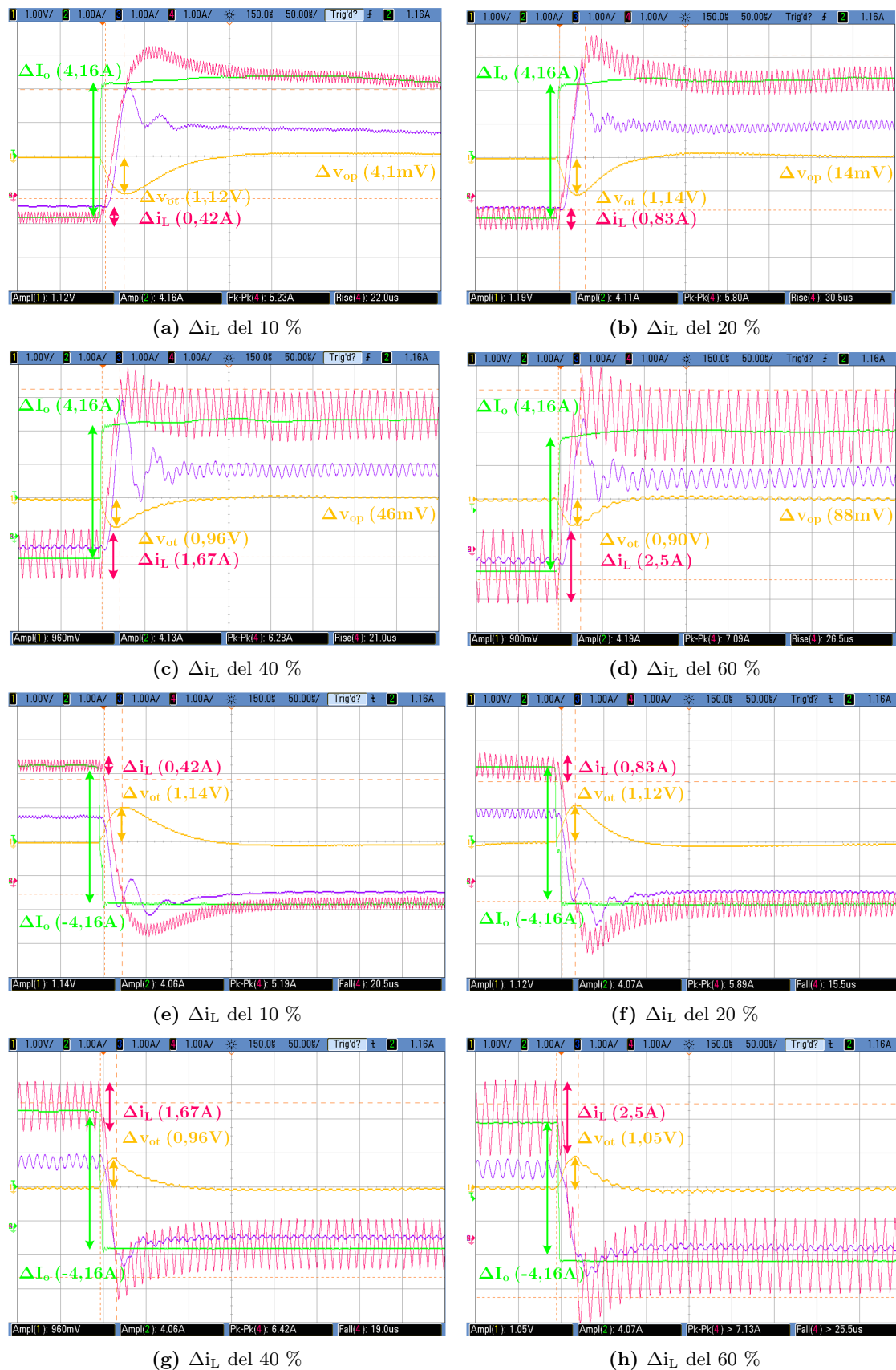


Figura 3.40: Medidas del comportamiento del reductor frente a un escalón sobre i_o (CH2) entre $-1,8\text{ A}$ y $2,4\text{ A}$, mostrando v_o (CH1), i_{bus} (CH3) e i_L (CH4). Escala de tiempos: $50\ \mu\text{s}/\text{div}$.

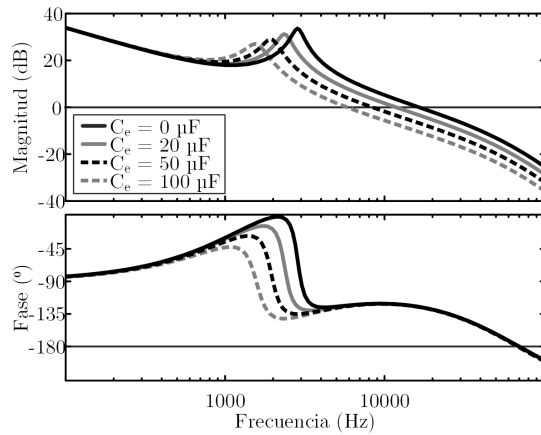


Figura 3.41: Diagrama de Bode de $T_r(s)$ ($C_e = 0$) y $\check{T}_r(s)$ teóricos.

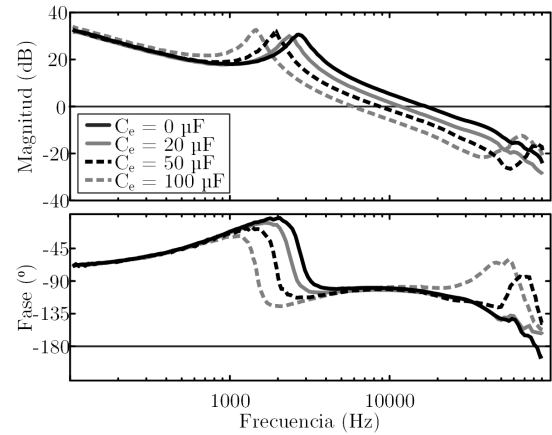


Figura 3.42: Diagrama de Bode de $T_r(s)$ ($C_e = 0$) y $\check{T}_r(s)$ medidos.

El siguiente paso es la evaluación de la degradación cuando el usuario conecta no solo un condensador C_e sino un convertidor al bus de 24 V. Para ello, se diseñan y construyen tres convertidores distintos que permiten simular las cargas y fuentes del usuario, cuyas características se detallan en el Anexo A.

- POL 1, con un C_e de 4,5 μF y una potencia máxima de 12 W en modo sumidero.
- POL 2, con un C_e de 7 μF y una potencia máxima de 24 W en modo sumidero.
- POL 3, con un C_e de 78 μF , una potencia máxima de ± 100 W y con capacidad de operar como fuente o sumidero.

La impedancia Z_e de estos POLs se mide siguiendo el procedimiento descrito en el Anexo B. Como se puede ver en las Fig. 3.43 y 3.44, hay una buena correspondencia entre las medidas y el modelo simplificado utilizado en la sección 3.2.2. Al igual que en el caso anterior, hay pequeñas discrepancias a altas frecuencias, donde los parásitos del condensador de entrada no se ha tenido en cuenta para el modelo teórico pero modifican ligeramente la fase en las medidas. Nuevamente, no se considera que esta diferencia entre el modelo teórico y el real pueda tener un efecto significativo sobre la estabilidad del reductor por encontrarse a frecuencias cercanas a la de conmutación. En este rango de frecuencias la atenuación de $\check{T}_r(s)$ sigue siendo lo suficientemente alta como para que no tenga importancia.

En la Fig. 3.45 se pueden ver los diagramas de Bode de $\check{T}_r(s)$ medidos y teóricos cuando se conectan diferentes agrupaciones de POLs a la salida del reductor.

- La Fig. 3.45(a) se corresponde con un escenario en el que se conecta al bus de 24 V un POL 1 con una carga de 10 W. Como se puede ver, la medida y la estimación teórica son casi idénticas. Además, debido a a la baja potencia procesada y el pequeño valor

Tabla 3.14: Valores de \check{f}_c y $\check{\phi}_v$ teóricos y medidos.

C_e (μF)	0	20	50	100
\check{f}_c teórico (kHz)	16,5	11,8	8,4	5,8
\check{f}_c medido (kHz)	16,5	11,7	8,5	5,8
$\check{\phi}_v$ teórico ($^\circ$)	54,9	58,4	58,8	55,5
$\check{\phi}_v$ medido ($^\circ$)	54,9	56,8	58,9	57,1

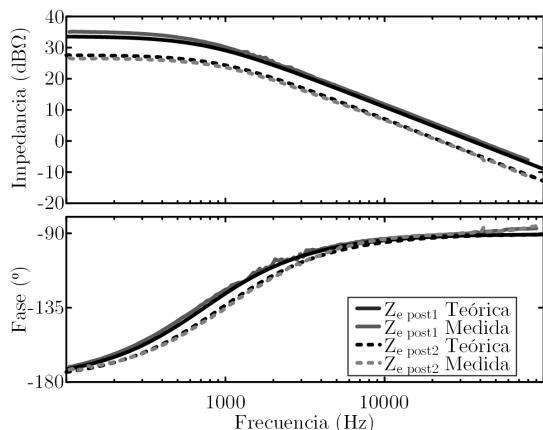


Figura 3.43: Z_e teórica y medida para los POLs 1 y 2.

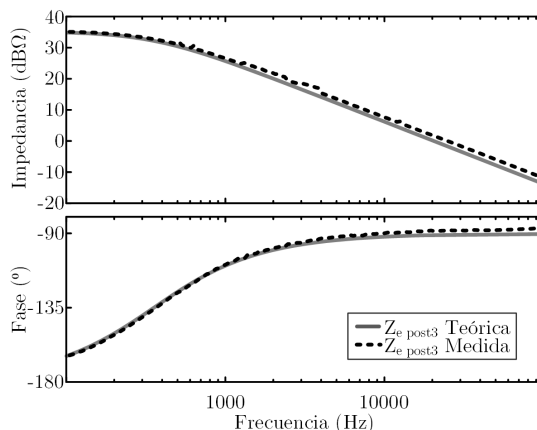


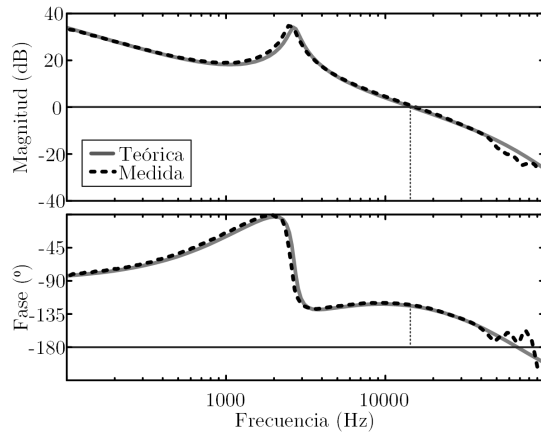
Figura 3.44: Z_e teórica y medida para el POL 3 en modo sumidero.

de C_e en este escenario, la degradación de $T_r(s)$ es mínima. $\check{T}_r(s)$ presenta una \check{f}_c de 15,7 kHz y una $\check{\phi}_v$ de 56,4°, muy semejantes a los de $T_r(s)$ según la Tabla 3.14.

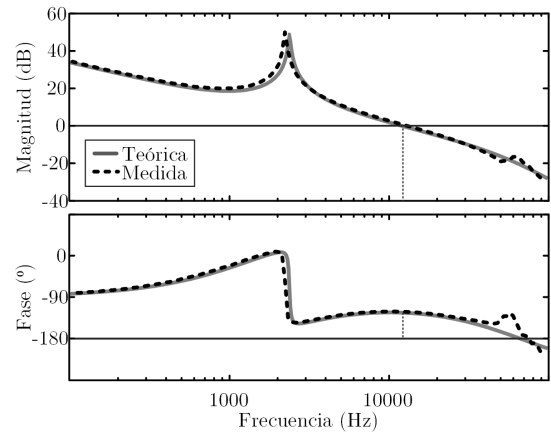
- Para la Fig. 3.45(b) se colocan tres POLs 1 en el bus de 24 V. El incremento del C_e equivalente y la potencia procesada tiene un mayor impacto sobre $T_r(s)$ que el caso anterior. $\check{T}_r(s)$ ahora presenta una frecuencia de corte de 13,7 kHz y se aprecia cómo el efecto de la R_e negativa acentúa la resonancia.
- La Fig. 3.45(c) presenta un escenario en que se añade un POL 2 al caso anterior, demandando al reductor 55 W. En este caso, R_e es lo suficientemente pequeña como para hacer aparecer un polo en el semiplano positivo en el entorno de la resonancia de $\check{T}_r(s)$. Sin embargo, como se puede ver en la figura, \check{f}_c es mucho mayor que la frecuencia del polo, asegurando la estabilidad del sistema.
- Las Fig. 3.45(d) y 3.45(e) muestran dos escenarios en los que se procesa aún más potencia con un valor de C_e elevado. El incremento en la demanda de potencia reduce el valor de R_e , acentuando aún más la resonancia y manteniendo el polo en el semiplano positivo. Ahora \check{f}_c es de 7,02 kHz y 7,05 kHz respectivamente. Sin embargo, debido al diseño realizado, sigue habiendo un gran margen de seguridad para asegurar la estabilidad del sistema.
- La Fig. 3.45(f) se corresponde con un escenario donde dos POLs 1 demandan un total de 20 W mientras que el POL 3 inyecta 100 W hacia el bus de 24 V. En esta situación, el reductor debe actuar como sumidero procesando -80 W. Al tener un C_e equivalente relativamente grande, \check{f}_c se reduce significativamente hasta los 6,95 kHz. Por otra parte, R_e ahora es positiva, por lo que atenúa la resonancia de $\check{T}_r(s)$ y no puede provocar la aparición de un polo en el semiplano positivo.
- En todos los escenarios, sobre todo en los últimos tres, aparecen discrepancias entre la medida y la estimación a altas frecuencias debidos a los elementos parásitos. Como se puede ver, estos apenas tienen efecto sobre \check{f}_c y $\check{\phi}_v$.

Finalmente, tras haber comprobado la estabilidad del reductor con diferentes cargas y fuentes reales conectadas a su bus de 24 V, se mide la dinámica cuando se producen escalones de carga en los POLs. En las Fig. 3.47 y 3.48 se muestran dos escenarios representativos de operación.

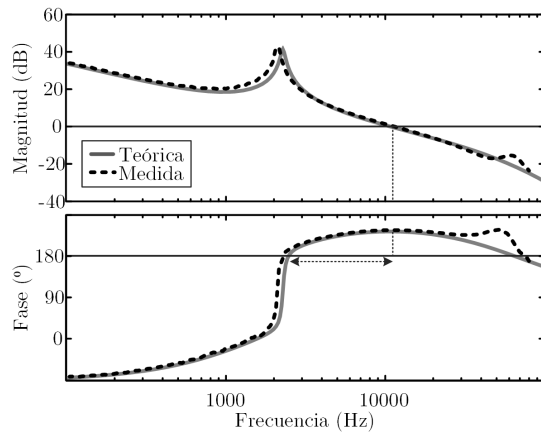
La Fig. 3.47 se corresponde con la conexión de una carga de 24 W a la salida de un POL 2 mientras el POL 3 inyecta 50 W hacia el bus de 24 V proporcionado por el reductor. En la



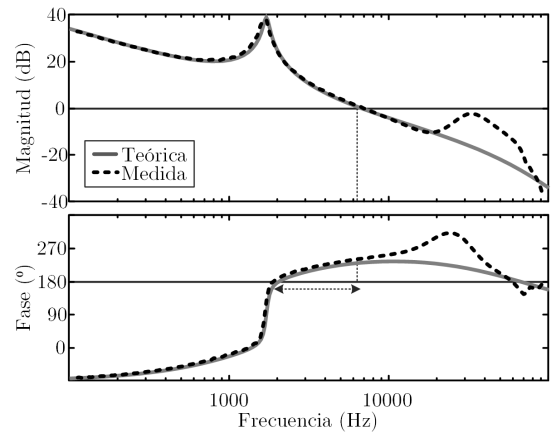
(a) POL 1 procesando 10 W



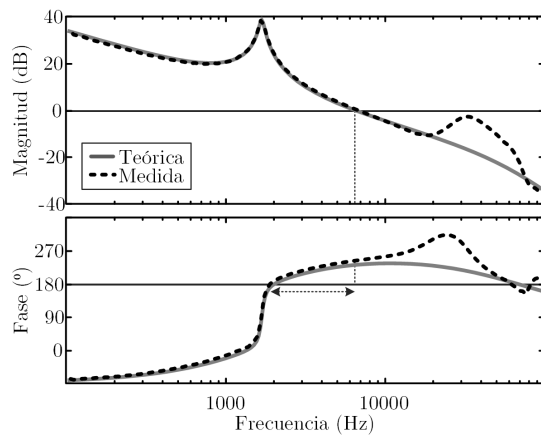
(b) Tres POLs 1 procesando 30 W



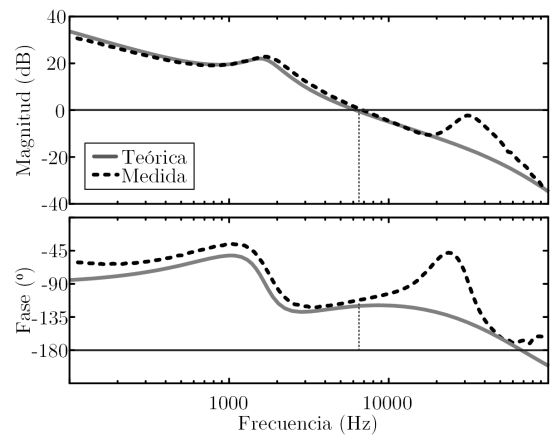
(c) Tres POLs 1 y un POL 2 procesando 55 W



(d) POL 3 procesando 95 W



(e) POL 1 y POL 3 procesando 100 W



(f) Dos POLs 1 y un POL 3 procesando -80 W

Figura 3.45: Diagrama de Bode de $\check{T}_r(s)$ medido y teórico con distintas configuraciones de cargas y fuentes en el bus de 24 V.

figura se puede ver cómo la variación de i_o es mucho más lenta que la de i_{opol} . Sin embargo, la pequeña magnitud del escalón unido a la capacidad C_e conectada al bus, hace que Δv_{ot} sea de tan solo 191 mV. Una vez que el reductor vuelve a alcanzar régimen permanente, se observa que éste es estable, de acuerdo con los resultados mostrados en la Fig. 3.45.

En la Fig. 3.48 se muestra un escalón de carga de 0 a 100 W sobre un POL 3. Nuevamente, además de la operación estable del reductor, se puede ver cómo el efecto de la dinámica del POL 3 sobre i_o y el condensador C_e de 78 μ F reducen el valor de Δv_{ot} desde los 900 mV medidos en la Fig. 3.40c a tan solo 820 mV.

Estos resultados verifican las aproximaciones utilizadas para caracterizar las cargas en la sección 3.2.2, la degradación de la dinámica del reductor y el efecto de C_e sobre Δv_{ot} en la sección 3.3.1 y el procedimiento de diseño propuesto. La Fig. 3.46 muestra el prototipo del reductor síncrono con el diseño correspondiente a los MOSFETs TPH7R006PL, un núcleo RM8 en material N97 y un Δi_L de un 40 %.

3.5 Diseño con control en modo corriente de pico

3.5.1 Posibles alternativas al control en modo tensión

Durante el análisis previo a la concepción del procedimiento de diseño propuesto se ha considerado que se utiliza un control en modo tensión para regular la tensión de salida v_o del reductor. Sin embargo, parece lógico plantearse si esta es la mejor opción disponible para cumplir con los requisitos de calidad de suministro y estabilidad establecidos en las secciones 3.2.1 y 3.2.2. Algunos de los controles más utilizados para la regulación de convertidores son las siguientes:

Control en modo corriente de pico. En este modo de control a frecuencia fija, la conmutación del transistor Q_p se produce cuando i_L alcanza un cierto valor de pico marcado por el lazo de regulación [197]. De esta forma, el reductor se comporta como una fuente de corriente controlada por el regulador, que modificará el pico de la corriente para obtener la tensión de salida v_o deseada [198], [199].



Figura 3.46: Prototipo del reductor síncrono controlado en modo tensión con dos MOSFETs TPH7R006PL, un núcleo RM8 en material N97 y un Δi_L de un 40 %.

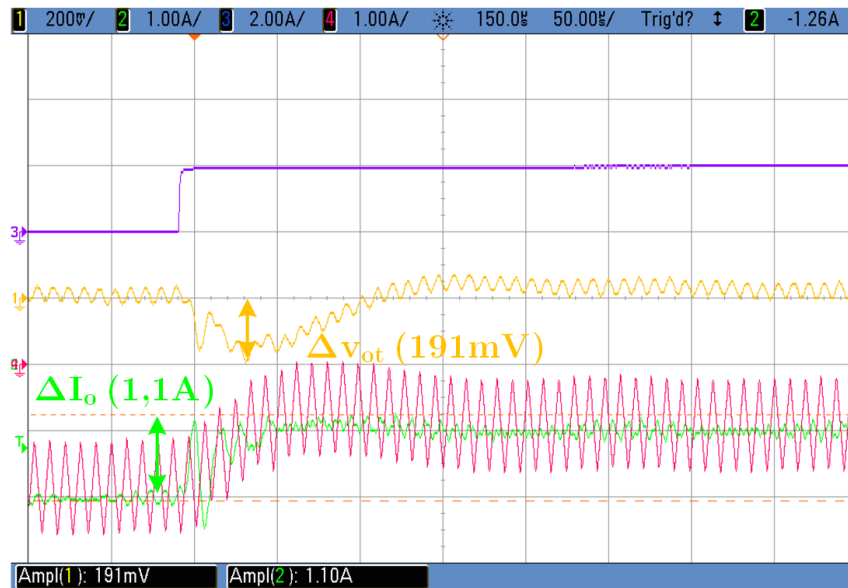


Figura 3.47: Medidas del comportamiento del reductor frente a un escalón sobre i_{opol} (CH3) entre $-3,0$ A y $-1,9$ A, mostrando v_o (CH1), i_o (CH2) e i_L (CH4). Escala de tiempos: $50 \mu\text{s}/\text{div}$.

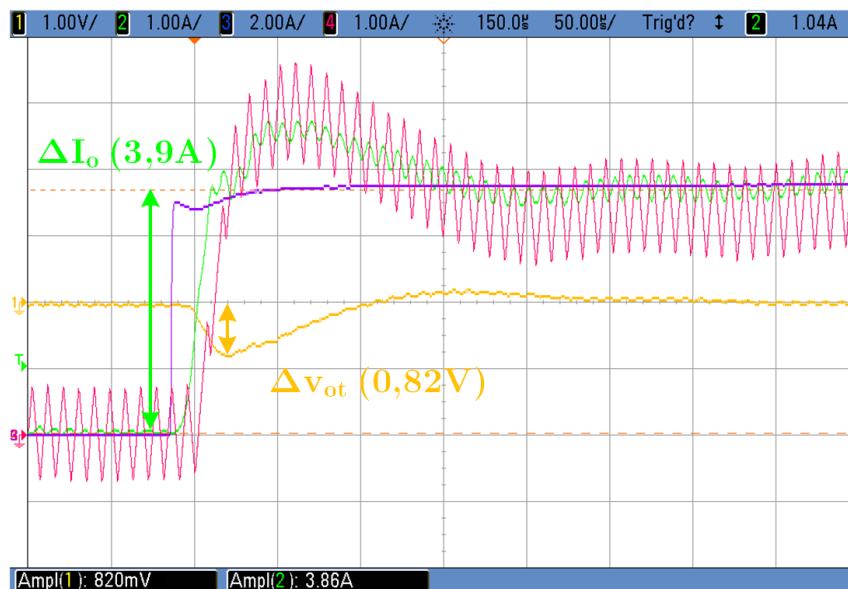


Figura 3.48: Medidas del comportamiento del reductor frente a un escalón sobre i_{opol} (CH3) entre $0,0$ A y $3,9$ A, mostrando v_o (CH1), i_o (CH2) e i_L (CH4). Escala de tiempos: $50 \mu\text{s}/\text{div}$.

La principal ventaja de este modo de control es la simplificación de la planta del convertidor con respecto a la obtenida para el control en modo tensión. Cuando la inductancia se comporta como una fuente de corriente, el sistema pasa a ser de primer orden. De esta forma, se puede conseguir una dinámica rápida con un simple regulador tipo II [197]. Otras ventajas que presenta el control en modo corriente son la protección contra sobrecorrientes en los dispositivos y cortocircuitos a la salida [198] y la fuerte reducción de la audiosusceptibilidad con respecto a un control en modo tensión [197]. Estas características hacen del control en modo corriente de pico una opción a priori atractiva para el control de los reductores en el PdB.

Sin embargo, la implementación de este control también presenta algunos problemas. Además de ser muy susceptible a ruidos [199], la operación con valores de d por encima de 0,5 genera oscilaciones subarmónicas que deben ser eliminadas utilizando una rampa de compensación [199]. El diseño de esta rampa debe realizarse con cuidado, seleccionando el valor adecuado para proporcionar inmunidad frente a oscilaciones subarmónicas sin convertir el control en un modo tensión [139].

Control en modo corriente promediada. Para evitar los problemas del control en modo corriente de pico, se sustituye su comparador por un lazo de regulación. De esta forma, el control no se realiza sobre el valor máximo de i_L sino sobre su valor medio [199].

Una de las principales ventajas de este tipo de control es la inmunidad a ruidos sin necesidad de utilizar una rampa de compensación. Sin embargo, es necesario añadir un lazo interno de regulación con un controlador. Este debe estar diseñado correctamente para alcanzar las mismas prestaciones en cuanto a dinámica que el control en modo corriente de pico. Si bien esta opción es especialmente atractiva para topologías como el *flyback* [199], la complejidad adicional de este modo para obtener ligeras ventajas no justifica su utilización en el reductor.

Control por *feedforward* de la tensión de entrada En [200] se propone una técnica de control en la que se fija el ciclo de trabajo del convertidor en función de la tensión de entrada del mismo y la tensión de salida deseada. De esta forma, se evita la utilización de un controlador y los posibles problemas de estabilidad debidos a la conexión de convertidores al bus de salida. Sin embargo, esta implementación se basa en la relación ideal entre las tensiones de un convertidor, no permitiendo corregir las desviaciones causadas por las no idealidades sin introducir un lazo de regulación adicional.

One-Cycle Control (OCC). Una posible alternativa al uso del *feedforward* es el *One-Cycle Control* propuesto en [201]. En lugar de calcular el ciclo de trabajo en función de las tensiones, este control utiliza un integrador que regula de forma indirecta la tensión de salida actuando sobre el ancho de los pulsos aplicados al filtro LC del reductor. Puesto que el filtro proporciona a su salida el valor medio de la señal aplicada a su entrada, este control hace conmutar el transistor principal cuando la integral de la señal pulsada alcanza el valor necesario para obtener la v_o deseada. La principal ventaja de este control es que es capaz de corregir las perturbaciones en un solo periodo de conmutación.

A pesar de la dinámica rápida de este control, no resulta particularmente apropiado para esta aplicación. Aunque la variable de control sea capaz de actualizarse ciclo a ciclo sin error, la variación real de la tensión de salida estará condicionada por el filtro. Esto causa retardos, error en el punto de regulación e incluso sobreoscilaciones [202] que no son admisibles en esta aplicación. Un lazo adicional de regulación permite solucionar este problema,

sin embargo, esto limitaría la dinámica del convertidor al ancho de banda del regulador, anulando la principal ventaja de este control [201], [202].

Controles con frecuencia de conmutación variable. Además del modo corriente de pico, existen múltiples variantes de control basadas en eventos relacionados con i_L [197], [203]. En la mayor parte de estos controles, la frecuencia de conmutación no es fija sino que depende de múltiples variables de diseño y del punto de operación.

En el caso concreto del reductor utilizado en el PdB, la frecuencia de conmutación será constante e independiente de la potencia procesada. Esto se debe a que las tensiones de entrada y salida del reductor, que marcan las variaciones de i_L durante el periodo de conmutación, están reguladas. De esta forma se evitan los problemas inherentes al uso de controles de frecuencia variable como la dificultad para optimizar los componentes utilizados o los filtros de salida de los convertidores.

A pesar de que algunos de estos controles tienen pequeñas ventajas como la sencillez de diseño de sus reguladores [203], la máxima respuesta dinámica que se puede obtener es comparable con la que se consigue con un control modo corriente de pico. La máxima variación de i_L que se puede producir está siempre limitada por el valor de la inductancia, independientemente de la capacidad de operar a frecuencia variable. Además, los circuitos comerciales disponibles tienden a estar orientados a aplicaciones concretas e implementar múltiples protecciones, dificultando su uso para escenarios bidireccionales.

Puesto que el control en modo corriente de pico parece la opción potencialmente más atractiva para sustituir al control en modo tensión propuesto, es necesario evaluar en detalle las ventajas y desventajas que éste tiene para su uso en los reductores del PdB.

3.5.2 Estabilidad y control en modo corriente de pico

La principal diferencia entre estos controles es la planta que se ha de regular. Utilizando el modo corriente de pico, el doble polo del filtro LC desaparece. La separación de los dos polos proporciona un sistema de segundo orden definido por la ecuación 3.51, según [204]. En esta ecuación se asume que la carga del reductor es una fuente o sumidero de corriente ideal.

$$T_u(s) = \frac{R_v}{R_f} \frac{1}{(1 + R_v C_o s) \left(1 + \frac{n_{cp}(1-D)s}{2f_s}\right)}, \quad (3.51)$$

donde R_f es el factor de escala entre la acción de control y la medida de corriente, R_v es una resistencia virtual que aparece en paralelo con el condensador C_o en el modelo de [204] y viene dada por la ecuación 3.52 y n_{cp} se relaciona según la ecuación 3.53 con la pendiente de la rampa de compensación M_c .

$$R_v = \frac{2Lf_s}{n_{cp}(1-D)D}. \quad (3.52)$$

$$n_{cp} = 1 + 2L \frac{M_c}{v_{bus} - v_o}. \quad (3.53)$$

Como se puede ver en la Fig. 3.50, la gran separación entre los polos permite aproximar la planta por un sistema de primer orden. Ésta es más sencilla de regular que la planta

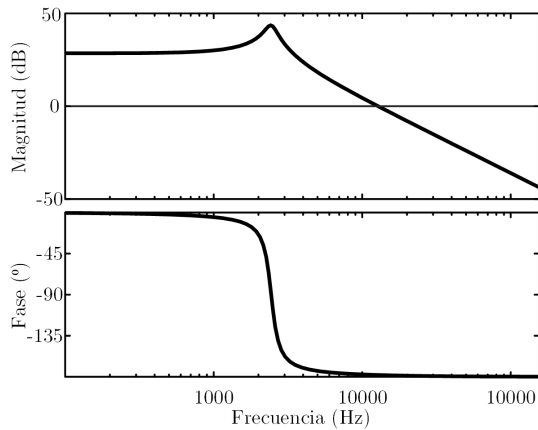


Figura 3.49: Diagrama de Bode de la planta de un reductor con control en modo tensión.

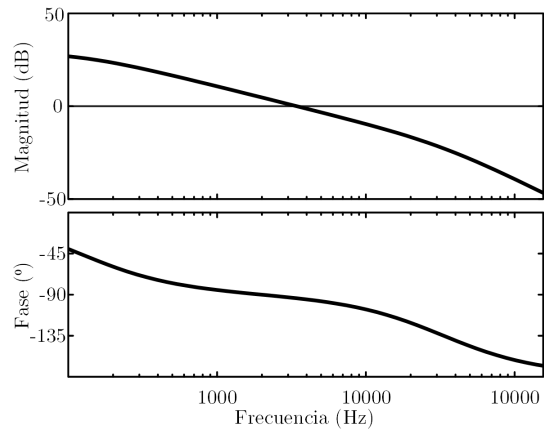


Figura 3.50: Diagrama de Bode de la planta de un reductor con control en modo corriente de pico.

obtenida para el control en modo tensión mostrada en la Fig. 3.49. A pesar de que sigue presentando dos polos, uno de ellos se encuentra a una frecuencia fija y relativamente elevada. Esto hace que la fase por debajo de el límite teórico de la frecuencia de corte ($0,2f_s$) sea suficientemente mayor que -180° . Por esta razón, es posible utilizar un regulador tipo II en lugar del tipo III necesario para el control en modo tensión.

El simple hecho de que la regulación de la planta sea más sencilla no parece suficiente justificación para sustituir el modo tensión por el control en modo corriente de pico. Como se puede ver en las Fig. 3.51 y 3.52, la diferencia entre los dos reguladores es de únicamente un condensador y una resistencia. Además, por tratarse de un reductor, cuya planta no presenta un cero en el semiplano positivo, el diseño del regulador en modo tensión es relativamente sencillo.

Quizás la ventaja más relevante del modo corriente de pico con respecto al modo tensión es que la degradación de la planta cuando se coloca una carga o fuente en el bus es distinta. Sin embargo, a pesar de que la planta del reductor en modo corriente de pico no tiene un doble polo resonante que proporcione una fase de -180° , colocar una carga externa Z_e también podría causar la inestabilidad del convertidor en este caso.

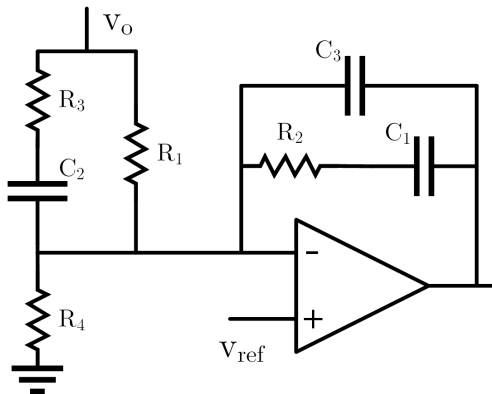


Figura 3.51: Implementación práctica de un regulador tipo III con un amplificador operacional.

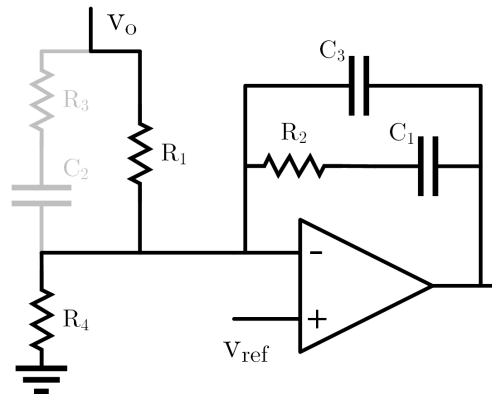


Figura 3.52: Implementación práctica de un regulador tipo II con un amplificador operacional.

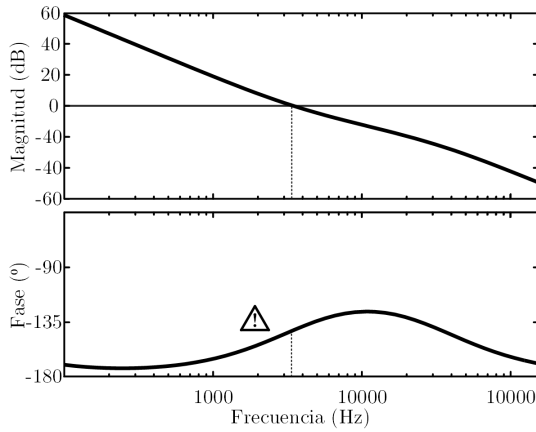


Figura 3.53: Diagrama de Bode de $T_r(s)$ con un regulador mal diseñado en modo corriente de pico.

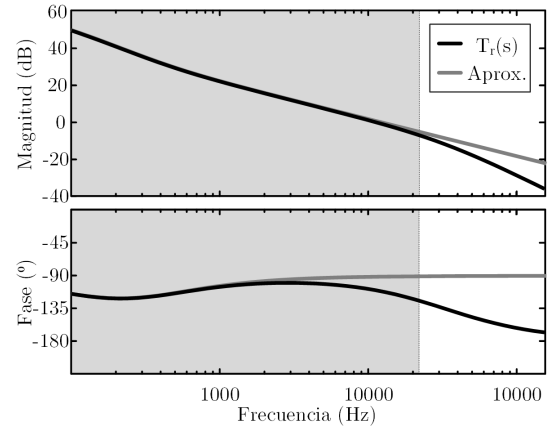


Figura 3.54: Diagrama de Bode de $T_r(s)$ teórico y aproximado en modo corriente de pico.

- Como se puede ver en la Fig. 3.53, si el polo de baja frecuencia de la planta pasa a estar a una frecuencia muy inferior a la del cero del regulador tipo II, el margen de fase φ_c se ve seriamente comprometido, pudiendo llegar a hacer el reductor inestable. Se debe diseñar el regulador para proporcionar un margen de fase adecuado en todas las posibles condiciones de operación.
- En aquellos casos en que se conecte una R_e negativa al bus de 24 V, el polo de baja frecuencia del reductor podría situarse en el semiplano positivo y variar en frecuencia con respecto al valor nominal. Es necesario asegurar que la frecuencia de corte degradada \check{f}_c siempre se encuentra muy por encima de la frecuencia del polo para que el reductor no oscile.

Para poder asegurar la correcta operación del reductor independientemente de la impedancia Z_e conectada, es necesario estudiar cómo ésta afecta al polo de baja frecuencia y a la frecuencia de corte degradada \check{f}_c . Una posibilidad para realizar este análisis es utilizar la ecuación general 3.17 para estimar la ganancia de lazo abierto degradada $\check{T}_r(s)$. Sin embargo, debido a la sencillez del modelo propuesto en [204], parece más apropiado modificar directamente la planta del convertidor asociando en paralelo las resistencias R_v y R_e por una parte y los condensadores C_o y C_e por otra. La nueva expresión en ambos casos se debe corresponder con la ecuación 3.54, donde $G_{ccr}(s)$ es la ganancia del regulador.

$$\check{T}_r(s) = \frac{R_v R_e}{R_f(R_v + R_e)} \frac{1}{\left(1 + \frac{R_v R_e}{R_v + R_e} (C_o + C_e) s\right) \left(1 + \frac{n_{cp}(1-D)s}{2f_s}\right)} G_{ccr}(s). \quad (3.54)$$

En la Fig. 3.54 se puede observar cómo el polo de alta frecuencia apenas tiene efecto sobre la planta en las frecuencias de interés. Para simplificar los cálculos, se aproxima $\check{T}_r(s)$ por la expresión de la ecuación 3.55.

$$\check{T}_r(s) = \frac{R_v R_e}{R_f(R_v + R_e)} \frac{1}{1 + \frac{R_v R_e}{R_v + R_e} (C_o + C_e) s} G_{ccr}(s). \quad (3.55)$$

Ahora es posible analizar por separado el efecto de R_e y C_e sobre la estabilidad y la degradación de $\check{T}_r(s)$.

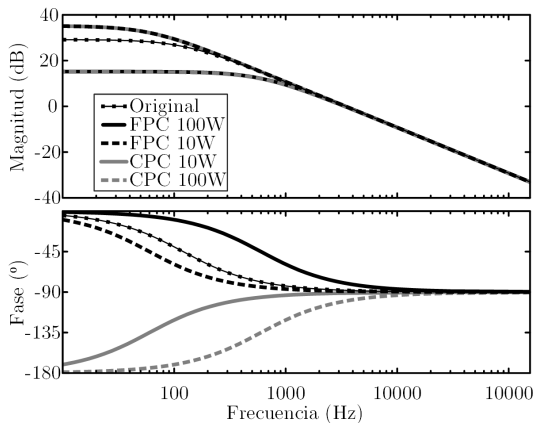


Figura 3.55: Diagrama de Bode de la planta del reductor en modo corriente de pico para diferentes R_e .

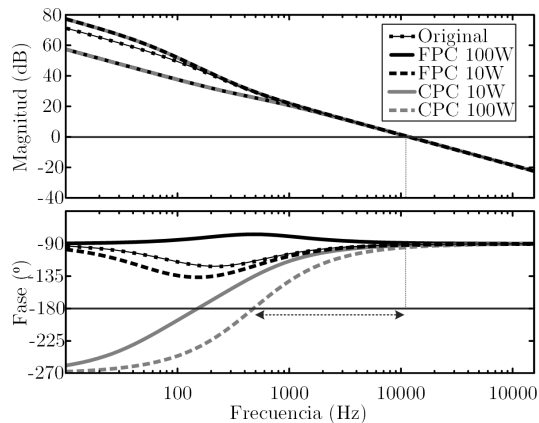


Figura 3.56: Diagrama de Bode de $T_r(s)$ y $\check{T}_r(s)$ en modo corriente de pico para diferentes R_e .

Anulando C_e en la ecuación 3.55 se puede ver cómo R_e afecta tanto a la posición del polo de baja frecuencia como a la ganancia en el origen. La Fig. 3.55 muestra un ejemplo de la planta del reductor del PdB sin ninguna carga conectada y cuatro plantas modificadas por la conexión de CPCs y FPCs de 10 W y 100 W. Las ganancias a bajas frecuencias varían sustancialmente con el nivel de potencia procesada, aunque se pueden considerar independientes de la dirección del flujo de potencia. A pesar de esta diferencia en la ganancia, la variación que se produce en la frecuencia del polo compensa este efecto y hace que el comportamiento a alta frecuencia sea prácticamente independiente de R_e .

La Fig. 3.56 muestra la ganancia de lazo abierto de los diferentes escenarios con un regulador bien diseñado. Se puede ver cómo f_c y φ_c no varían con los distintos valores de R_e , lo que simplifica enormemente el diseño del regulador. Sin embargo, sí que se debe tener en cuenta la frecuencia máxima y mínima del polo. La primera podría causar inestabilidades si el polo estuviese en el semiplano positivo (como en el caso de las dos CPCs del ejemplo) y su frecuencia fuese cercana a f_c . La frecuencia mínima del polo debe ser tenida en cuenta para escoger el cero del regulador y asegurar que la fase de $\check{T}_r(s)$ sea relativamente plana en todos los escenarios.

Para estudiar el efecto del condensador sobre \check{f}_c , se puede seguir una aproximación análoga a la de la sección 3.3.2. Por un lado, la ganancia de lazo abierto se puede volver a aproximar utilizando la ecuación 3.23. Si el regulador está bien diseñado, $T_r(s)$ presenta una pendiente de -20 dB/dec y una fase razonablemente plana en el entorno de f_c , al igual que cuando se utiliza un control en modo tensión. Por otro lado, la impedancia de salida del reductor en modo corriente de pico a frecuencias en el entorno de f_c es aproximadamente igual a la del modo tensión [143], por lo que las estimaciones realizadas en la sección 3.3.2 son válidas también para el análisis en este modo.

La principal diferencia que presenta el control en modo corriente de pico con respecto al modo tensión es que, en este caso, la frecuencia del polo y la frecuencia de corte se degradan proporcionalmente, según la ecuación 3.56.

$$\check{f}_c \approx f_c \frac{C_o}{C_o + C_e}, \quad (3.56a)$$

$$\check{f}_{polo} \approx f_{polo} \frac{C_o}{C_o + C_e}. \quad (3.56b)$$

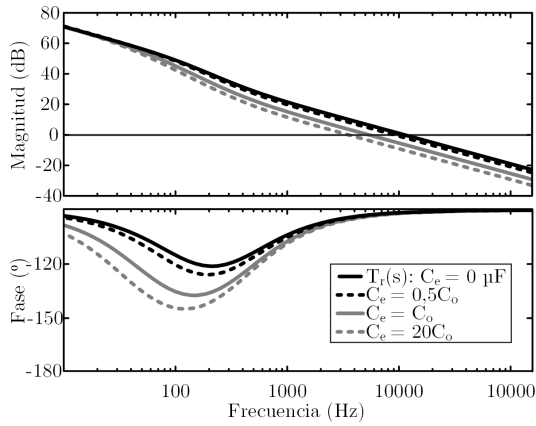


Figura 3.57: Diagrama de Bode de $T_r(s)$ y $\check{T}_r(s)$ en modo corriente de pico para diferentes C_e .

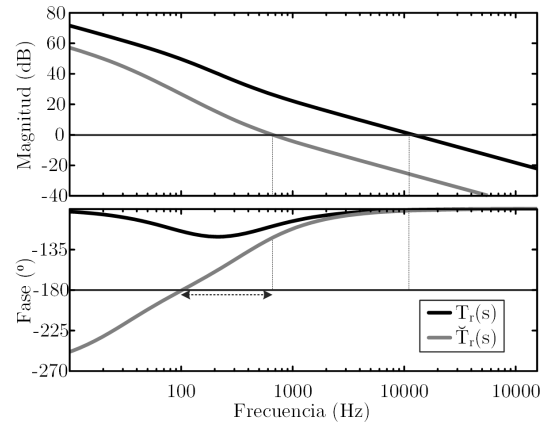


Figura 3.58: Diagrama de Bode de $T_r(s)$ y $\check{T}_r(s)$ con una CPC de 100 W y un C_e de $20C_o$ conectados al bus de 24 V.

Esta diferencia con el modo tensión es la principal ventaja de utilizar un control en modo corriente de pico. Como se puede ver en la Fig. 3.57, el reductor sigue siendo estable y presentando un buen margen de fase incluso cuando C_e es mucho mayor que C_o . Con solo asegurar que C_o sea del mismo orden de magnitud que C_e es posible asegurar que el reductor será estable.

En la Fig. 3.58 se muestra el peor escenario posible, donde se conecta un C_e veinte veces mayor que C_o y una CPC de 100 W. Incluso en esta situación en la que el polo de baja frecuencia se encuentra en el semiplano positivo, \check{f}_c está suficientemente por encima del polo como para hacer el reductor estable y además se obtiene un buen margen de fase.

A pesar de que el modo corriente de pico es menos sensible a C_e que el modo tensión, éste podría tomar un valor lo suficientemente elevado como para hacer inestable el reductor. Si la nueva frecuencia del polo se encontrase muy por debajo de la frecuencia del cero del regulador, se podría dar un escenario como el mostrado anteriormente en la Fig. 3.53. Por esta razón, se fija el siguiente límite inferior sobre C_o análogo a la ecuación 3.27d para el modo corriente de pico.

$$C_o(C_e) = \frac{C_e}{20}. \quad (3.57)$$

3.5.3 Respuesta dinámica frente a escalones de carga

Como se vio anteriormente, no es posible asegurar una respuesta rápida a escalones de i_o simplemente incrementando f_c [168]. La inductancia limita la variación de i_L lo que, a su vez, limita el ancho de banda práctico del lazo de regulación. En el caso del modo corriente de pico la variación de \bar{i}_L cuando se produce un escalón en la carga de magnitud ΔI_o , viene dada por la ecuación 3.58 según [168].

$$\bar{i}_L(t) \approx \Delta I_o(1 - e^{-2\pi f_c t}). \quad (3.58)$$

La mayor derivada de \bar{i}_L está definida, en este caso, por la ecuación 3.59. A partir de ella, se puede calcular la relación entre la máxima f_c y L según la ecuación 3.60.

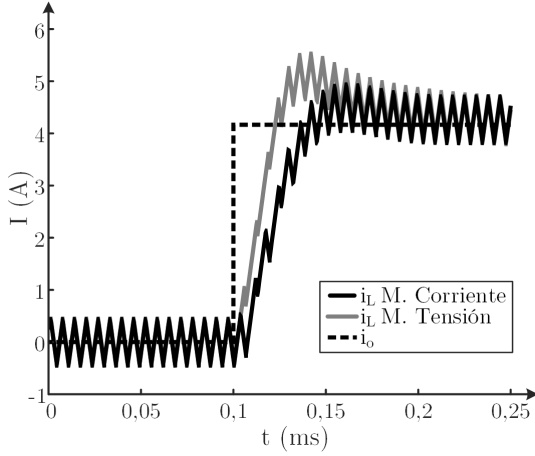


Figura 3.59: Evolución de i_L frente a un escalón de i_o para control modo corriente de pico y modo tensión.

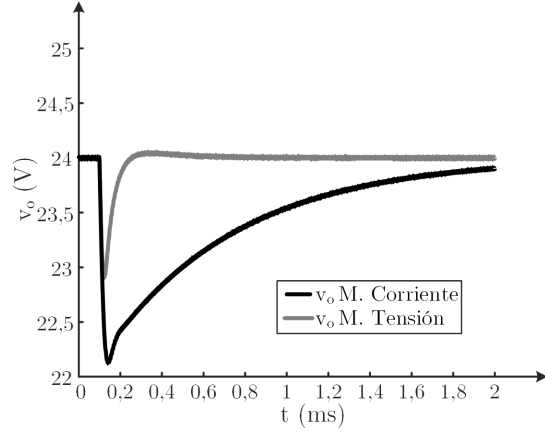


Figura 3.60: Evolución de v_o frente a un escalón de i_o para control modo corriente de pico y modo tensión.

$$\left. \frac{d\bar{i}_L}{dt} \right|_{\text{máx}} \approx 2\pi f_c \Delta I_o. \quad (3.59)$$

$$f_c \leq \frac{\text{mín} \{D_{\text{máx}} V_{\text{bus}} - V_o, |D_{\text{mín}} V_{\text{bus}} - V_o|\}}{2\pi L \Delta I_o}. \quad (3.60)$$

A la vista de estas ecuaciones, se observan dos diferencias clave con el control en modo tensión:

- La máxima f_c es menor en el modo corriente de pico. Sin embargo, si se diseña para el mayor valor permitido, la máxima variación de \bar{i}_L será igual para ambos controles y dependiente solo de L .
- En el control en modo corriente de pico, la variación de \bar{i}_L no es lineal. Aunque la reacción inicial del lazo de regulación es igual de rápida que en el modo tensión, el efecto de la exponencial ralentiza la respuesta conforme va pasando el tiempo. En la Fig. 3.59 se puede ver la diferencia entre los dos controles diseñando para el máximo f_c de cada uno de los modos.

Si se calcula el límite inferior de $C_o(\Delta v_{ot})$ utilizando la ecuación 3.14, se está asumiendo erróneamente que en el modo corriente de pico \bar{i}_L cambia linealmente durante el transitorio. Teniendo en cuenta la evolución real de la corriente según la ecuación 3.58, el valor de C_o realmente necesario para cumplir el requisito impuesto sobre Δv_{ot} debe calcularse a partir de la carga que debe de aportar C_o para compensar la diferencia entre i_o y \bar{i}_L . Asumiendo nuevamente que hay un retardo de DT_s entre el escalón de carga y la reacción del lazo, $C_o(\Delta v_{ot})$ se puede estimar según la ecuación 3.61.

$$C_o(\Delta v_{ot}) \geq \frac{Q C_o}{\Delta v_{ot}} \approx \frac{1}{\Delta v_{ot}} \left(\int_0^{DT_s} \Delta I_o dt + \int_0^{6\pi f_c} \Delta I_o e^{-2\pi f_c t} dt \right), \quad (3.61a)$$

$$C_o(\Delta v_{ot}) \geq \frac{\Delta I_o}{\Delta v_{ot}} \left(DT_s + \frac{1 - e^{-12\pi^2 f_c^2}}{2\pi f_c} \right). \quad (3.61b)$$

Además de requerir un mayor valor de C_o para conseguir el mismo Δv_{ot} , el control modo corriente de pico tarda más tiempo que un control en modo tensión equivalente en devolver

v_o a su valor nominal tras un escalón de carga. En la Fig. 3.60 se muestra la respuesta simulada de dos reductores con el mismo filtro LC y f_s con los dos controles. Se puede ver cómo el reductor que utiliza un control en modo tensión presenta una muy ligera sobreoscilación pero tarda unas veinte veces menos en volver a los 24 V nominales que el mismo reductor controlado en modo corriente de pico. Esto es debido a que la impedancia de salida del reductor en modo corriente es significativamente mayor a bajas frecuencias, lo que penaliza el tiempo de establecimiento [205]. Si bien no afecta al valor máximo Δv_{ot} ni tiene efecto sobre el buen funcionamiento de los elementos colocados en el bus de 24 V, parece deseable reducir este tiempo al mínimo posible.

3.5.4 Implementación práctica del control en modo corriente de pico

Para validar los análisis realizados en las secciones anteriores, se diseña y construye un reductor para el PdB utilizando control en modo corriente de pico y se compara con un diseño equivalente con control en modo tensión. Utilizando un Δi_L del 20 %, se obtiene la misma f_{sopt} en los dos casos, puesto que el control no afecta al diseño de la etapa de potencia, sólo al valor de C_o y el regulador a usar.

La Tabla 3.15 resume las características de los diseños obtenidos. Como se había predicho en la sección 3.5.2, el valor mínimo de $C_o(C_e)$ es casi ocho veces menor en el caso del modo corriente de pico que en el modo tensión. Sin embargo, debido a la evolución más lenta de \bar{i}_L debida a las razones detalladas en la sección 3.5.3, el $C_o(C_e)$ requerido es casi el doble en el modo corriente que en el modo tensión.

Para poder evaluar de forma más sencilla la degradación de la respuesta dinámica en el modo corriente de pico, el nuevo prototipo se implementa con un C_o de 46,0 μF , el mismo que el prototipo controlado en modo tensión. El regulador tipo II se diseña para proporcionar la f_c máxima de 7,9 kHz marcada por el valor de L.

De igual manera que en los prototipos de modo tensión, el control se implementa con un circuito integrado MC33023, que permite realizar control en modo corriente de pico con pequeñas modificaciones:

- Tradicionalmente, el control en modo corriente de pico en un reductor se implementa midiendo con un pequeño transformador la corriente pulsada que circula por Q_p [204], [206]. Este circuito es muy sencillo en aplicaciones unidireccionales con un ciclo de trabajo moderado que permita la desmagnetización del sensor en todos los posibles escenarios de operación. Sin embargo, para medidas de corriente bidireccio-

Tabla 3.15: Parámetros principales de diseño utilizando modo tensión y modo corriente de pico.

Parámetro	Modo tensión	Modo corriente
f_s (kHz)	155,6	155,6
f_c (kHz)	12,4	7,9
L (μH)	92,6	92,6
$C_o(\Delta v_{op})$ (μF)	5,6	5,6
$C_o(\Delta v_{ot})$ (μF)	46,0	80,9
$C_o(C_e)$ (μF)	39,2	5,0
C_o (μF)	46,0	80,9

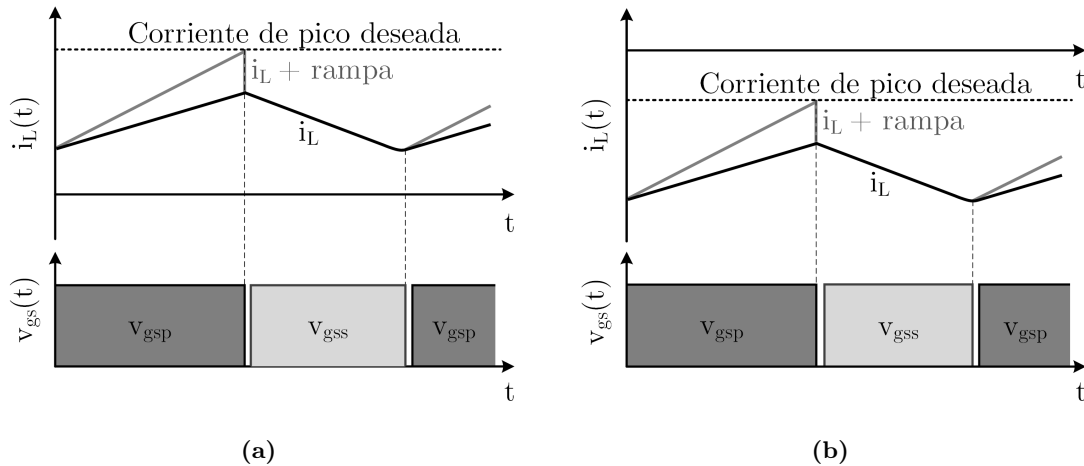


Figura 3.61: Formas de onda principales y variables de control en un reductor con control en modo corriente de pico: (a) modo fuente (b) modo sumidero.

nales resulta más práctico utilizar una sonda de efecto Hall o un amplificador de corriente con una pequeña resistencia de medida [207].

- Puesto que estos sensores permiten medir corrientes con componentes de continua, parece apropiado medir i_L en lugar de la corriente que circula por Q_p . De esta forma, la introducción del sensor no penaliza la conmutación de los MOSFETs y se tiene acceso a toda la información necesaria para el control en modo corriente de pico.
- Como se puede ver en la Fig. 3.61, el funcionamiento del control en este modo es independiente de si la corriente i_L tiene un valor medio positivo o negativo y, por tanto, de la dirección del flujo de potencia. Cuando el pico de la corriente sumado a la rampa de compensación alcance el valor marcado por el control, los MOSFETs Q_p y Q_s conmutan. Sin embargo, la medida de i_L debe ser compatible con el controlador. Puesto que la alimentación del MC33023 es asimétrica, no admite medidas negativas de corriente en el pin de rampa. Para evitar este problema, el sensor de corriente debe sumar un nivel fijo de tensión a la medida. Para este prototipo, mostrado en la Fig. 3.62, se utiliza el sensor INA240 de Texas Instruments, que incluye esta funcionalidad, y una resistencia de medida de $1,5\text{ m}\Omega$.
- Al tratarse de un controlador relativamente antiguo, la rampa de compensación no es interna. Se genera desde el oscilador interno del MC33023 y se suma a la medida de corriente a través de una red RC que debe ser ajustada para determinar su magnitud [208].
- Algunos controladores más modernos implementan un control en modo corriente de pico emulado. Este tipo de control gestiona la rampa internamente y reconstruye i_L a partir de la medida de la corriente por el MOSFET referido a masa [209]. Este tipo de implementación es más sencillo de diseñar, requiere un menor número de componentes y es más robusto frente a los ruidos pero, en general, impide la operación bidireccional del convertidor por no ser capaz de medir ni reconstruir corrientes negativas.

En las Fig. 3.63 y 3.64 se muestran las respuestas a dos escalones de carga medidos sobre el prototipo controlado en modo corriente de pico. Al igual que en las simulaciones mostradas en la sección 3.5.3 se puede ver cómo la evolución de i_L es sustancialmente más lenta que la medida con el control en modo tensión. Como se ha utilizado un C_o de tan solo $46,0\text{ }\mu\text{F}$ en lugar de los $80,9\text{ }\mu\text{F}$ requeridos para cumplir con los requisitos, la Δv_{ot} medida es de aproximadamente el doble que el límite impuesto. Este resultado encaja con el valor

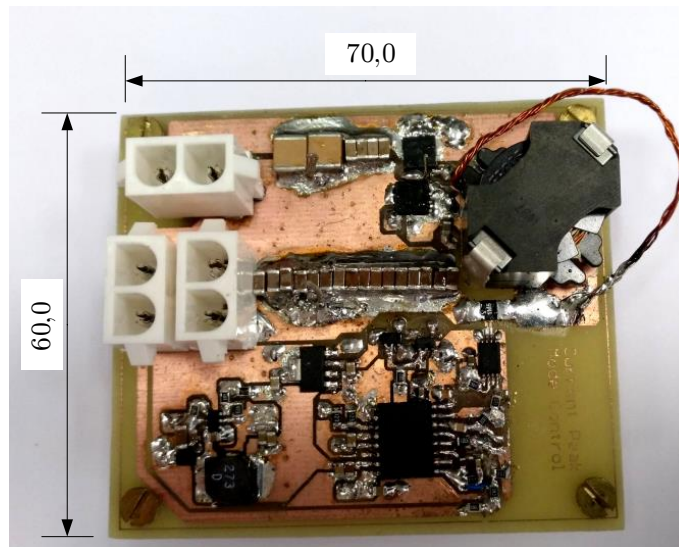


Figura 3.62: Prototipo del reductor síncrono controlado en modo corriente de pico con dos MOSFETs TPH7R006PL, un núcleo RM8 en material N97 y un Δi_L de un 20 %.

estimado, ya que Δv_{ot} es inversamente proporcional a C_o . También se puede ver en ambas figuras que el tiempo de establecimiento de v_o es mucho más lento que en los resultados obtenidos para el modo tensión en la Fig. 3.40.

Es importante tener en cuenta que, como el lazo de regulación no llega a saturar d , la limitación de $D_{m\acute{a}x}$ no afecta al comportamiento de i_L , que es casi idéntico en los dos casos.

La Tabla 3.16 muestra los valores de \check{f}_c y φ_c medidos sobre el prototipo y los compara con los teóricos para distintos valores de C_e conectados al bus de 24V. Se puede ver que \check{f}_c nuevamente se ajusta bien a la estimación realizada en la sección 3.5.2. En φ_c hay una discrepancia mayor, debido a que el polo del regulador tipo II modifica la fase en el entorno de f_c . Sin embargo, debido al buen margen de fase que se obtiene en el modo corriente de pico, esta discrepancia no es importante para la estabilidad del reductor.

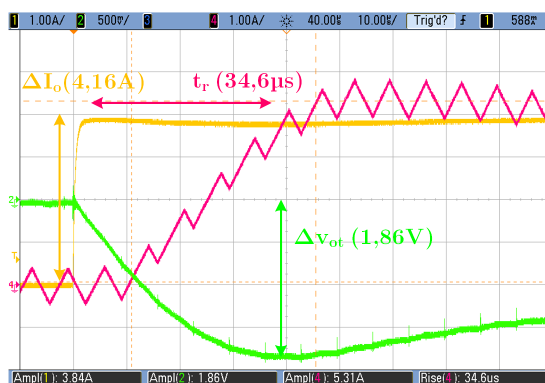


Figura 3.63: Medidas del comportamiento del reductor frente a un escalón sobre i_o (CH1) entre 0A y 4,16A, mostrando v_o (CH2) e i_L (CH4). Escala de tiempos: $10 \mu s/div$.

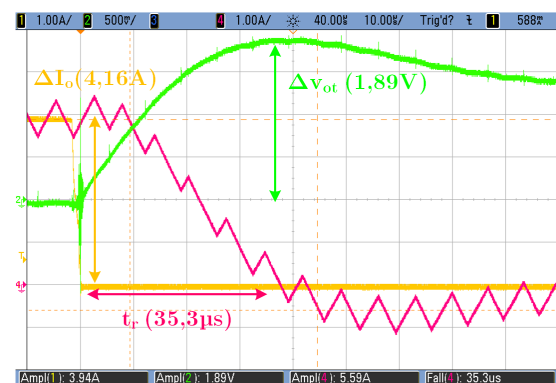


Figura 3.64: Medidas del comportamiento del reductor frente a un escalón sobre i_o (CH1) entre 4,16A y 0A, mostrando v_o (CH2) e i_L (CH4). Escala de tiempos: $10 \mu s/div$.

Tabla 3.16: Valores de \check{f}_c y $\check{\varphi}_c$ teóricos y medidos.

C_e (μF)	0	20	50	100
\check{f}_c teórico (kHz)	7,9	5,8	4,0	2,7
\check{f}_c medido (kHz)	7,9	5,9	3,9	2,6
$\check{\varphi}_c$ teórico ($^\circ$)	66,7	66,7	66,7	66,7
$\check{\varphi}_c$ medido ($^\circ$)	62,8	71,9	78,9	84,8

3.5.5 Comparativa y conclusiones

Con los resultados teóricos y experimentales obtenidos, parece claro que el control en modo corriente de pico solo es más apropiado para la implementación del reductor del PdB en situaciones en que el usuario pueda conectar grandes valores de C_e a los buses de 24 V. Sin embargo, con las especificaciones fijadas para el PdB, el reductor controlado en modo corriente de pico requiere un C_o sustancialmente mayor que si se usa el modo tensión.

Incluso en una situación en la que el máximo C_e fuese muy grande, habría que valorar cuidadosamente si la implementación del modo corriente de pico resulta realmente ventajosa. La necesidad de utilizar un circuito de control especialmente adaptado a la aplicación, un sensor de corriente bidireccional y un sistema para generar y acoplar la rampa de compensación a la medida podría encarecer y complicar el reductor más que un valor mayor de C_o .

3.6 Diseño a frecuencia variable en modo QSW-ZVS

Un método de control alternativo que puede resultar interesante es el *Quasi-Square-Waveform* (QSW) [210], también conocido como Modo de Corriente Triangular (TCM) [211]. Al hacer conmutar el convertidor a frecuencia variable, adaptada a la potencia demandada o entregada por los elementos conectados al bus de 24 V, se puede conseguir la conmutación a tensión cero en los MOSFETs (*Zero Voltage Switching* o ZVS) [210]–[212]. Cuando se utiliza un reductor síncrono, es posible además obtener operación en ZVS con flujos de potencia bidireccionales [213]. La operación del convertidor reductor síncrono con ZVS permite, en teoría, mejorar la eficiencia del mismo o reducir el tamaño de su filtro de salida al permitir una frecuencia de conmutación mayor.

Para asegurar el correcto funcionamiento en QSW-ZVS de un convertidor reductor, se deben cumplir dos condiciones esenciales. En primer lugar, la inductancia debe ser magnetizada durante un tiempo *on* suficientemente largo (t_{on}) para conseguir que i_L llegue a tomar un valor I_{ctrl} aproximadamente dos veces mayor que la corriente media de salida i_o deseada. Posteriormente, la inductancia tiene que desmagnetizarse hasta alcanzar un valor de corriente ligeramente negativo ($-I_{zvs}$) que es suficientemente grande como para cambiar el estado de las cargas en las capacidades parásitas de los MOSFETs durante un pequeño periodo resonante y permite obtener ZVS [212]. Este proceso basado en dos eventos se repite cada ciclo de conmutación con el valor de t_{on} necesario para procesar la potencia demandada por los elementos conectados a su bus de 24 V.

Debido a estas condiciones, para obtener QSW-ZVS a distintas potencias se requiere la operación a frecuencia variable. Puesto que $-I_{zvs}$ es fija y debe ser alcanzada cada periodo de conmutación, la corriente media de salida depende únicamente del valor máximo de i_L . Al tener un valor de inductancia fijo, el máximo que i_L puede alcanzar en cada periodo solo puede incrementarse reduciendo el valor de f_s .

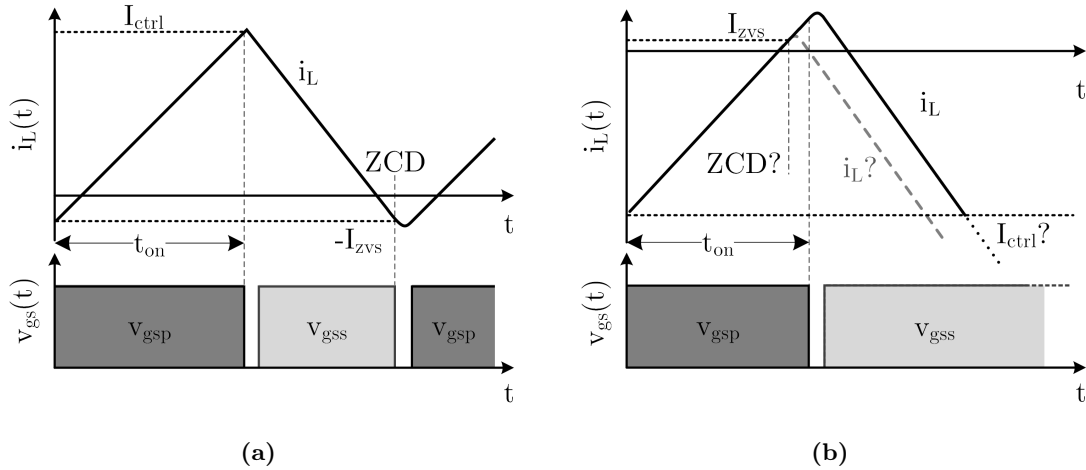


Figura 3.65: Principales formas de onda y variables de control en un reductor QSW-ZVS con control en modo tensión tradicional: (a) modo fuente (b) modo sumidero.

3.6.1 Propuesta de un control analógico sencillo

El control en modo tensión para convertidores QSW-ZVS unidireccionales típicamente se basa en un modulador por ancho de pulso digital y un lazo de control que define el valor de t_{on} independientemente de la corriente por la inductancia [214]. Para operar en modo fuente y proporcionar una corriente i_o positiva al bus de 24 V, el estudio descrito en [214] determina el valor de I_{ctrl} de forma precisa en función de t_{on} . Sin embargo, puesto que QSW-ZVS requiere una frecuencia de conmutación variable, el control en modo tensión por sí mismo solamente puede estimar el evento de detección del paso de la corriente por la inductancia por el valor $-I_{zvs}$ (ZCD) que termina el periodo de conmutación. La estimación puede no ser precisa y normalmente se usa la medida de la corriente por el MOSFET o la inductancia, como se puede ver en Fig. 3.65(a).

Sin embargo, en el PdB propuesto, el flujo de potencia se puede invertir, obligando al reductor a operar en modo sumidero. En esta situación, el evento fijado por la variable de control t_{on} entra en conflicto con el evento ZCD, haciendo que el periodo de conmutación y el valor de I_{ctrl} no se puedan controlar, como se puede ver en Fig. 3.65(b).

Para buscar una alternativa al control clásico basado en t_{on} es necesario estudiar qué necesita el reductor para operar en QSW-ZVS. Independientemente del sentido en que fluye la potencia, i_L siempre debe variar entre dos límites, uno fijo y uno variable:

- En modo fuente, i_L debe mantenerse entre $-I_{zvs}$ y una I_{ctrl} variable.
- En modo sumidero, i_L debe mantenerse entre una I_{ctrl} variable e I_{zvs} .

A la vista de estos requisitos, parece lógico implementar un control por histéresis de corriente (HCMC) [197], [215]. Este tipo de controles se basan en dos eventos: cuando i_L alcanza el límite superior se conmuta Q_p y cuando vuelve al límite inferior se reinicia el periodo de conmutación.

Sin embargo, las implementaciones clásicas de HCMC tienen una banda de histéresis de ancho fijo. Con uno de estos controles no se asegura que la corriente por la inductancia alcance $\pm I_{zvs}$ o bien no se puede controlar I_{ctrl} . Para la operación correcta en QSW-ZVS, el ancho de la banda de histéresis debe ajustarse para mantener i_L dentro de los valores adecuados y asegurar que puede alcanzar ambos límites.

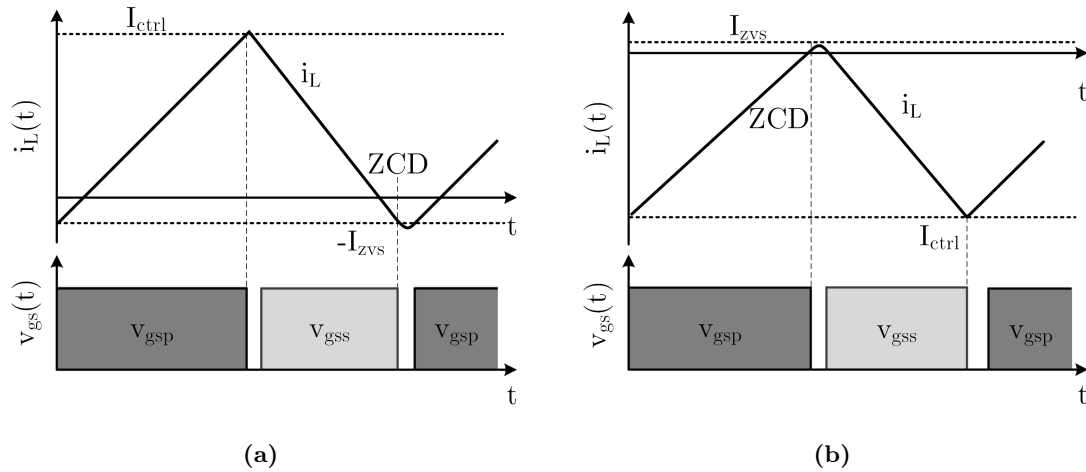


Figura 3.66: Principales formas de onda y variables de control en un reductor QSW-ZVS con control HCMC de banda de histéresis variable: (a) modo fuente (b) modo sumidero.

La implementación digital del HCMC de ancho variable se ha realizado anteriormente [215], [216], sumando y restando la mitad del ancho de la banda de histéresis requerido a la variable de control para generar el límite superior e inferior que se proporcionan a los comparadores. Sin embargo, como se ha mencionado anteriormente, se prefiere utilizar controles analógicos que resultan más sencillos y económicos para la implementación de los reductores del PdB.

Estos procedimientos, que son muy sencillos en una solución digital, resultan poco prácticos para la implementación analógica, por lo que se opta por una filosofía distinta. Como se puede ver en la Fig. 3.66(a), cuando el reductor opera en modo fuente, la banda de histéresis tiene un límite inferior fijo $-I_{zvs}$ y el lazo de regulación debe ajustar el límite superior I_{ctrl} . Sin embargo, cuando se invierte el flujo de potencia, es el límite superior I_{zvs} el que pasa a ser fijo mientras que se debe regular el valor negativo de I_{ctrl} , como se muestra en la Fig. 3.66(b). Utilizando esta filosofía de control no hay posibilidad de tener colisión entre eventos ni periodos de conmutación sin definir.

Una vez se identifica un control apropiado para ambos modos de operación, es necesario permitir la transición automática y suave de un modo a otro. Para ello, el control se implementa con el circuito mostrado en la Fig. 3.67. El biestable genera las señales de puerta para controlar Q_p y Q_s en función de dos eventos, *Set* y *Reset*, que siguen la siguiente secuencia:

- Al principio del periodo de conmutación, el biestable recibe un evento *Set* y Q_p se enciende, magnetizando la inductancia.
- En el arranque se debe asegurar que el biestable presenta por defecto un valor lógico '1' en su salida Q . De esta forma se asegura que la inductancia se magnetiza en cuanto el control tiene un nivel de alimentación adecuado, a pesar de que i_L no sea negativa y no se reciba un evento *Set*.
- Cuando la medida de i_L llega al límite superior de la banda de histéresis (i.e. $I_{sup} = \max\{I_{ctrl}, I_{zvs}\}$), las entradas al biestable cambian. Se provoca un evento *Reset* que lo reinicia, apagando Q_p , encendiendo Q_s y desmagnetizando la inductancia.
- Cuando la medida de i_L llega al límite inferior de la banda de histéresis, (i.e. $I_{inf} = \min\{I_{ctrl}, -I_{zvs}\}$), el biestable recibe de nuevo un evento *Set* y comienza un nuevo periodo de conmutación.

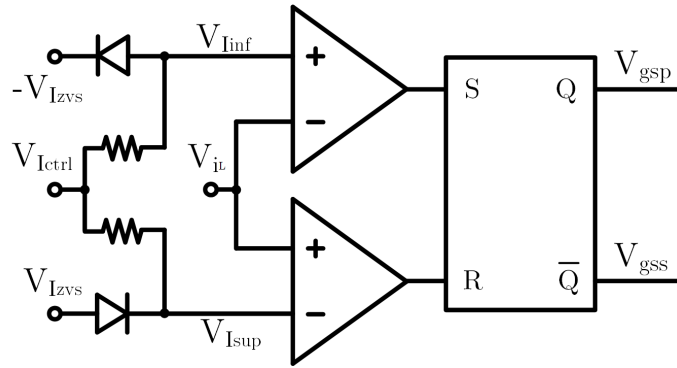


Figura 3.67: Propuesta para la implementación del controlador HCMC con banda de ancho variable.

Es importante tener en cuenta que en la Fig. 3.67 las magnitudes controladas se expresan como tensiones. Esto se debe a que el sensor de corriente y el lazo de regulación proporcionan una salida en tensión (V_{iL} y $V_{I_{ctrl}}$ respectivamente) que están escaladas con respecto a la magnitud que realmente se controla (i_L).

Utilizando el circuito propuesto, cuando el valor de I_{ctrl} proporcionado por el lazo de regulación para controlar v_o es mayor que I_{zvs} , la potencia fluye de entrada a salida y el convertidor opera en modo fuente. La magnitud de este flujo de potencia dependerá de I_{sup} , que es la variable en este modo de operación. Si el valor de I_{ctrl} pasa a ser menor que $-I_{zvs}$, se invierte el flujo de potencia y el convertidor pasa a modo sumidero. Ahora I_{sup} pasa a ser fijo de valor I_{zvs} y el regulador controla I_{inf} , haciendo circular una cierta corriente desde la salida del reductor hacia la entrada. En el caso en que I_{ctrl} tiene un valor entre I_{zvs} y $-I_{zvs}$, I_{sup} e I_{inf} son fijos. Puesto que la magnitud de I_{zvs} y $-I_{zvs}$ es la misma, el valor medio de i_L es nulo y no hay transferencia neta de potencia en ninguna dirección. El reductor opera a su máxima frecuencia de conmutación, que depende de los valores de I_{zvs} y de L . La transición entre estos tres modos de operación es automática, sin necesidad de cambiar la variable eléctrica controlada o el efecto que tienen cada uno de los eventos sobre las señales de mando de Q_p y Q_s .

Finalmente, se debe utilizar componentes adicionales entre el circuito de control propuesto y los MOSFETs. El biestable proporciona señales complementarias sin tiempos muertos. Es necesario añadir un circuito que asegure que los periodos resonantes son lo suficientemente largos como para alcanzar ZVS. La duración de estos tiempos muertos pueden ser adaptativa [217] o fija [212], siendo esta última opción mucho más sencilla de implementar de forma analógica.

3.6.2 Comparación con el control en modo tensión

Para evaluar si la operación en QSW-ZVS es apropiada para su uso en los reductores del PdB se compara su capacidad para cumplir con los requisitos impuestos de calidad de suministro y estabilidad así como la eficiencia del convertidor operando en este modo.

Desde un punto de vista dinámico, el comportamiento del reductor en QSW-ZVS es bueno, permitiendo valores de $C_o(\Delta v_{ot})$ y $C_o(C_e)$ bajos. Esto se debe a que L suele ser relativamente pequeña para permitir variaciones rápidas de i_L [214], [218] y que el convertidor se puede modelar esencialmente como un sistema de primer orden, semejante al que se obtiene en modo corriente de pico [219], [220].

El valor mínimo de $C_o(\Delta v_{op})$ será sin embargo mucho mayor que en los controles a frecuencia de conmutación fija. Cuando opera en QSW-ZVS, Δi_L toma valores ligeramente por encima del 200 % a plena carga, entre tres y diez veces mayor que en los diseños planteados en la sección 3.4.6. Para poder cumplir el requisito de Δv_{op} con el mismo valor de C_o que conmutando a frecuencia fija, el reductor en QSW-ZVS debería tener una f_s a plena carga de varias centenas de kHz.

La conmutación a unas pocas centenas de kHz a plena carga no debería resultar especialmente problemática en modo QSW-ZVS. La operación en ZVS tanto de Q_p como de Q_s debería mantener las pérdidas del reductor relativamente bajas. Sin embargo, un diseño con semejante frecuencia mínima tendría que conmutar en el entorno de los MHz cuando la potencia procesada por el reductor fuese baja. Estos valores de f_s no solo provocarían unas elevadas pérdidas de conmutación sino también problemas para encontrar circuitos de mando, control y medida de corriente adecuados. Por esta razón, no parece posible implementar los reductores del PdB en QSW-ZVS con las especificaciones impuestas y un C_o tan pequeño como con controles a f_s fija.

Una posible solución al elevado valor de C_o que se obtiene al operar en QSW-ZVS es la utilización de múltiples convertidores de menor potencia colocados en paralelo. Si estos se gobiernan de forma adecuada, es posible reducir C_o a niveles semejantes a los de un control a frecuencia fija [214]. Sin embargo, debido a los niveles de tensión y corriente de los reductores que forman parte del PdB, la gran complejidad del control, la necesidad de utilizar varios elementos magnéticos y las pérdidas debidas a los circuitos auxiliares adicionales no compensan la reducción de volumen del filtro LC de salida.

Una vez descartada la operación a frecuencias de conmutación altas para reducir C_o , parece lógico buscar un procedimiento de diseño que optimice la eficiencia del reductor. Una posibilidad es adaptar el algoritmo propuesto en la sección 3.3.3 a este modo de operación para obtener el valor de f_{sopt} que minimice las pérdidas a plena carga. Para ello, se realizan tres pequeñas modificaciones:

- Δi_L se puede estimar como un 200 % de la corriente de salida nominal. Sin embargo, el valor real de Δi_L dependerá de I_{zvs} que a su vez es dependiente de los MOSFETS utilizados, el valor de L y V_{bus} [221]. Para obtener unos resultados más precisos, se implementa un proceso iterativo en el que se modifica Δi_L para tener en cuenta el valor de I_{zvs} calculado.
- Puesto que el reductor opera en QSW-ZVS, las pérdidas de encendido de los MOSFETS se pueden considerar despreciables. Se utiliza el mismo modelo de pérdidas mostrado en la ecuaciones 3.31 a 3.36 anulando E_{ONP} y E_{ONS} .
- Utilizando los modelos de pérdidas en la inductancia de la ecuación 3.40, se ignoran los efectos de alta frecuencia. Como se ha visto en la sección 3.4.6, el efecto del rizado de corriente sobre las pérdidas en la inductancia empieza a ser significativo para valores altos de Δi_L . Sin embargo, puesto que estos dependen fuertemente de la implementación, no se tienen en cuenta para el diseño del reductor en QSW-ZVS. Si se desea obtener un resultado más preciso, se deberá añadir un coeficiente para considerar la resistencia equivalente a alta frecuencia e iterar el proceso de diseño [184].

Utilizando este algoritmo de diseño modificado, un núcleo RM8 en material N97 y un par de MOSFETS TPH7R006PL se obtiene una f_{sopt} de 46,8 kHz para minimizar las pérdidas del reductor a plena carga operando en QSW-ZVS. Como se puede ver en la Tabla 3.17, las pérdidas totales en este modo de operación procesando 100 W son más bajas que en el reductor óptimo que se obtiene para operar en frecuencia fija controlado en modo tensión. Aunque las pérdidas en la inductancia son casi iguales, la conmutación suave en los

Tabla 3.17: Parámetros principales de diseño para QSW-ZVS y comparativa con el reductor en modo tensión con un Δi_L del 40 %.

Parámetro	QSW-ZVS 46,8 kHz	QSW-ZVS 20 kHz	Modo tensión 40 %
f_s (kHz)	46,8	20,0	101,6
L (μH)	29,2	69,6	70,9
C_o (μF)	185,0	440,5	43,8
P_L (W)	0,41	1,29	0,39
P_Q (W)	0,34	0,24	0,72
P_{aux} (W)	0,22	0,22	0,22
P_{total} (W)	0,96	1,75	1,33

MOSFETS permite incrementar la eficiencia global del reductor. En esta misma tabla se muestran también los valores de L y C_o requeridos para este diseño. Como se había comentado anteriormente, la operación en QSW-ZVS requiere menores inductancias, pero exige un C_o unas cuatro veces mayor que en el diseño para modo tensión.

La Fig. 3.68 compara la eficiencia de los distintos diseños en todo el rango de potencias. En ella se puede ver cómo el diseño óptimo en QSW-ZVS presenta menores pérdidas cuando la potencia procesada es alta. Sin embargo, por debajo de ± 20 W su eficiencia es bastante peor que en el diseño a frecuencia fija, debido a la elevada f_s necesaria para mantener QSW-ZVS (Fig. 3.69).

Dependiendo del perfil de carga esperado en los reductores del PdB, podría resultar más deseable un diseño que priorice una alta eficiencia a bajas potencias. Para evitar las altas pérdidas causadas por las altas frecuencias de conmutación a baja carga se realiza un diseño alternativo, mostrado en la Tabla 3.17, con una f_s a plena carga de tan solo 20 kHz. Este diseño permite reducir aún más las pérdidas de los MOSFETs. Sin embargo el mayor valor de L requerido penaliza las pérdidas totales, reduciendo la eficiencia a plena carga. A pesar de las mayores pérdidas en la inductancia, la Fig. 3.68 muestra cómo presenta la mejor eficiencia de los tres diseños en un rango de potencias entre los 10 W y los 60 W aproximadamente. Al igual que en el caso diseño óptimo para QSW-ZVS, sería necesario tener más datos sobre el uso que el usuario le dará al PdB para poder evaluar si la pequeña

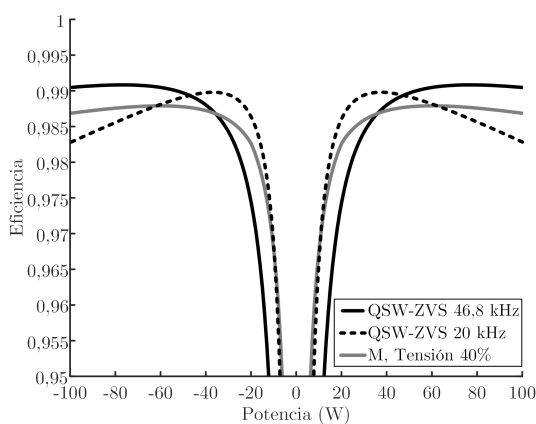


Figura 3.68: Eficiencia del reductor operando en QSW-ZVS comparado con el diseño para modo tensión en función de la potencia procesada.

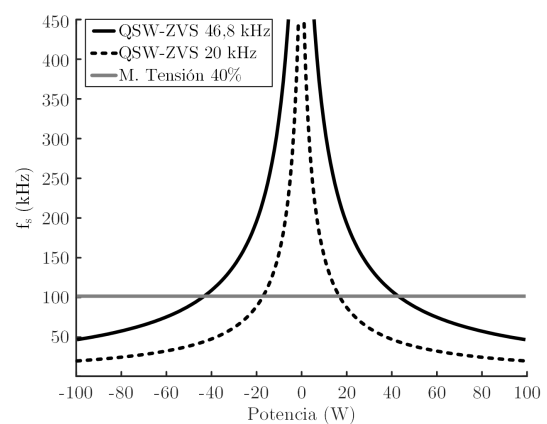


Figura 3.69: Frecuencia de conmutación del reductor operando en QSW-ZVS comparado con el diseño para modo tensión en función de la potencia procesada.

mejora de eficiencia compensa la necesidad de utilizar un C_o casi diez veces mayor que cuando opera a frecuencia fija e implementar un control más complejo con un sensor de corriente de gran ancho de banda.

3.6.3 Implementación práctica y resultados experimentales

Para demostrar el correcto funcionamiento del circuito de control propuesto y la validez del modelo de pérdidas utilizado, se implementa el diseño con una f_s mínima de 20 kHz con los parámetros de la Tabla 3.17. La Fig. 3.70 muestra el prototipo fabricado.

La implementación del sensor de corriente dependerá principalmente de las limitaciones de coste y tamaño impuestas sobre el sistema de control. En este trabajo, se utiliza el sensor de efecto Hall CQ-3200 de Asahi Kasei Microdevices. Éste es muy sencillo de utilizar y añade un valor medio de 1,65 V a la medida, eliminando la necesidad de utilizar fuentes de alimentación auxiliares con tensiones simétricas. Es importante tener en cuenta que el ancho de banda del sensor de corriente, limitado a 1 MHz, recorta ligeramente las medidas en el pico y el valle de la corriente. Este efecto se debe considerar para fijar las tensiones de enclavamiento $V_{I_{zvs}}$ y $-V_{I_{zvs}}$. En este prototipo, se colocan potenciómetros que permiten compensar el recorte de la medida ajustando estas tensiones manualmente.

Si se deseara implementar el control en un único circuito integrado, el valor de $\pm V_{I_{zvs}}$ debería ser calculado con precisión para el sensor de corriente que, idealmente, estará también incluido en el integrado. En los resultados mostrados en la Fig. 3.71, el valor de $\pm V_{I_{zvs}}$ utilizado es ligeramente mayor del necesario para asegurar ZVS para poder mostrar claramente la banda de histéresis durante la operación a potencia cero, cuando I_{ctrl} se encuentra entre I_{zvs} y $-I_{zvs}$.

De la misma forma, se implementa un regulador de tipo II relativamente lento para poder ver con claridad los distintos modos por los que pasa el convertidor durante los escalones de carga. Puesto que este tiene un margen de fase de unos 55° , en algunas de estas medidas la respuesta sobreoscila ligeramente.

En la Fig. 3.71 se muestran algunos de los diferentes escenarios de operación en los que se ha probado el prototipo para demostrar la correcta operación del circuito de control propuesto. Las formas de onda capturadas en el osciloscopio muestran las tensiones correspondientes a la i_L medida por el sensor de efecto Hall (CH1), el límite inferior de la banda de histéresis

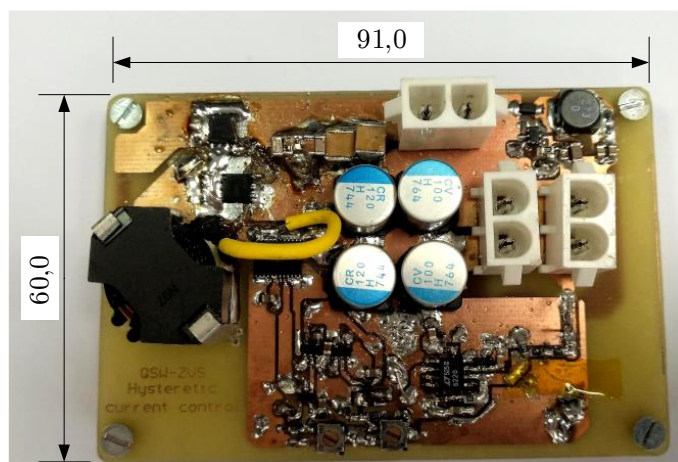
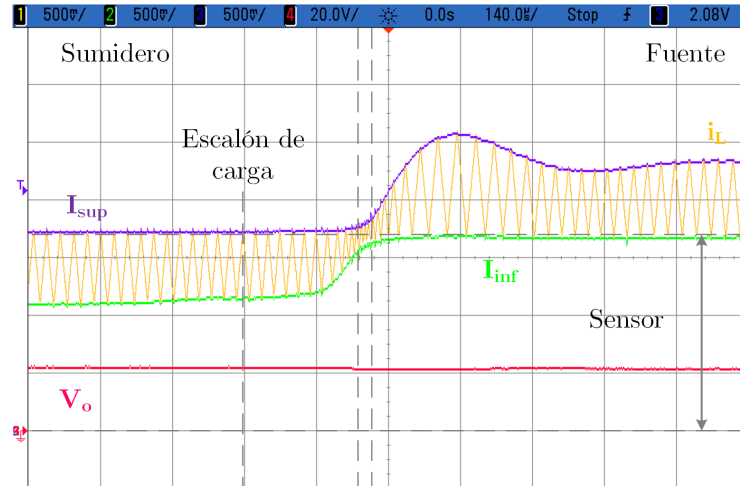
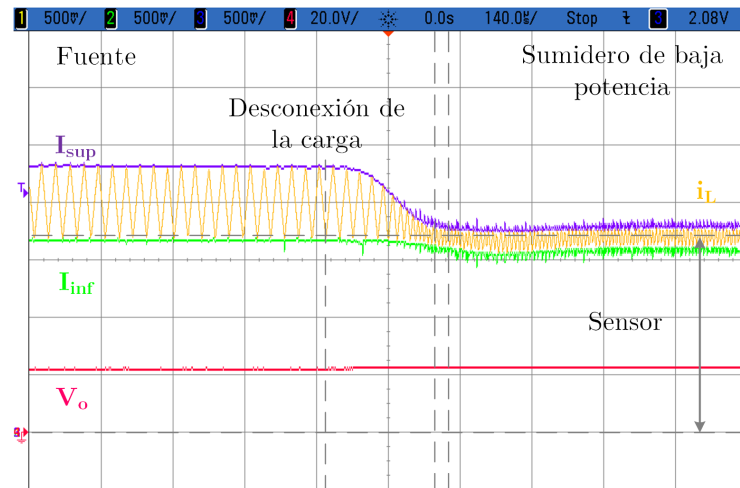


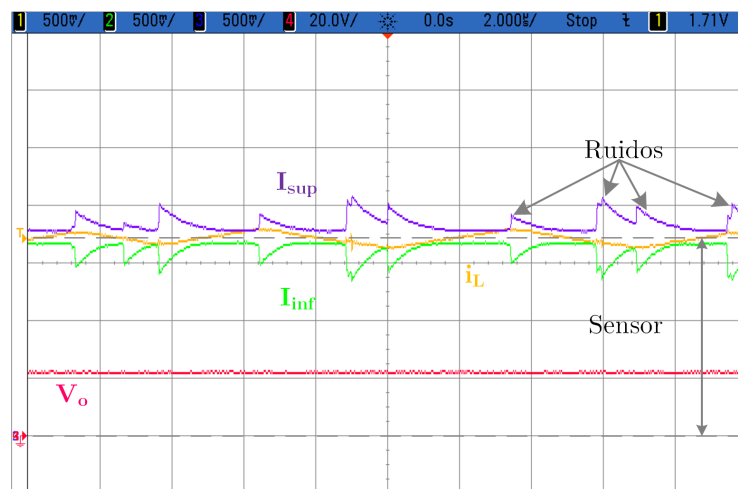
Figura 3.70: Prototipo del reductor síncrono con el control HCMC propuesto para la operación en QSW-ZVS con dos MOSFETs TPH7R006PL y un núcleo RM8 en material N97.



(a)



(b)



(c)

Figura 3.71: Formas de onda del circuito de control propuesto para HCMC con banda de ancho variable en diferentes escenarios: (a) escalón de $-2,1\text{ A}$ a $2,1\text{ A}$ (b) escalón de $2,1\text{ A}$ (fuente) a 0 A (c) operación regulada a 0 W . Escala de tiempos: $140\ \mu\text{s}/\text{div}$, $140\ \mu\text{s}/\text{div}$ y $2\ \mu\text{s}/\text{div}$ respectivamente.

I_{inf} (CH2), el límite superior de la banda de histéresis I_{sup} (CH3), y la tensión de salida v_o (CH4). Aunque la referencia del cero es la misma para todas las medidas, debe tenerse en cuenta que los canales 1 a 3 tienen están desplazados 1,65 V debido al sensor de corriente usado y que se indica claramente en la Fig. 3.71.

En la Fig. 3.71(a) se puede ver el comportamiento del convertidor durante un escalón de i_o desde $-2,1$ A a $2,1$ A. En esta transición se pueden ver los tres modos de operación distintos por los que pasa el convertidor y que están delimitados en la figura. En primer lugar, el convertidor opera en modo sumidero y la corriente media por la inductancia \bar{i}_L es negativa. La corriente i_L tiene como límite superior I_{zvs} y su límite inferior está marcado por I_{ctrl} . Poco después del escalón de carga, I_{ctrl} aumenta, reduciendo el ancho de la banda de histéresis y el valle de la corriente por la inductancia. Durante unos pocos periodos de conmutación que están señalados en Fig. 3.71(a) con línea discontinua vertical, cuando I_{ctrl} se aproxima a cero, la banda de histéresis está definida por I_{zvs} y $-I_{zvs}$. Durante este intervalo, f_s toma su valor máximo y no hay transferencia neta de potencia en ninguna de las dos direcciones. I_{ctrl} sigue creciendo por acción del lazo de regulación y, una vez que supera I_{zvs} , ensancha la banda de histéresis e incrementa el pico de i_L , haciendo que el convertidor entre en modo fuente y proporcione la nueva corriente I_o demandada por las cargas. A pesar de que el lazo de control es relativamente lento para mostrar claramente la transición entre los modos, se puede ver que la regulación de v_o es relativamente buena.

La Fig. 3.71(b) muestra un escalón de carga desde $2,1$ A a 0 A, que se corresponde con la desconexión de una carga pasiva. El convertidor vuelve a pasar por tres modos distintos de funcionamiento. En primer lugar, el reductor opera en modo fuente con una \bar{i}_L . Poco después de la desconexión de la carga, I_{ctrl} disminuye, llegando a un punto en el que no hay transferencia neta de potencia. Finalmente, el regulador debe corregir la ligera desviación de la tensión de salida causada por el escalón de carga y el convertidor pasa a operar durante un pequeño periodo de tiempo en modo sumidero, demandando una corriente muy baja para descargar el condensador de salida.

En Fig. 3.71(c) se puede ver un detalle de la operación en régimen permanente del convertidor sin carga, procesando 0 W. La tensión de salida está correctamente regulada y la corriente i_L está dentro de los límites marcados por I_{inf} e I_{sup} . A pesar de que la medida de corriente es relativamente limpia, I_{inf} e I_{sup} son señales con bastante ruido debido a las conmutaciones. La integración del control en un único circuito integrado y un mejor trazado de la placa de circuito impreso podrían ayudar a solucionar este problema, propio de los controles en modo corriente.

Finalmente, se mide la eficiencia del prototipo en todo el rango de funcionamiento. Para asegurar que estas medidas se realizan correctamente, se corrige el error que introduce el sensor de corriente ajustando con precisión el valor de $\pm V_{I_{zvs}}$ con los potenciómetros. De esta forma, se puede garantizar que los MOSFETs siempre conmutan suave, la frecuencia de conmutación es igual a la teórica y el valor de Δi_L igual al estimado.

En la Fig. 3.72 se puede ver cómo la tendencia predicha con el modelo se corresponde, en general, con las medidas realizadas. El prototipo presenta mejores eficiencias a bajas potencias, degradándose significativamente a plena carga. Sin embargo, la discrepancia a potencias altas es relativamente grande y probablemente se debe a haber ignorado los efectos de alta frecuencia en las pérdidas de la inductancia. La implementación de la misma se ha realizado de forma muy sencilla, con el devanado dividido en varias capas colocadas en paralelo, siguiendo un proceso de construcción análogo al utilizado en el resto de prototipos. Esto tiene un efecto negativo sobre las pérdidas de proximidad [222], que son mayores cuando el convertidor procesa más potencia, y podría ser la causa principal de la diferencia entre la eficiencia medida y estimada.

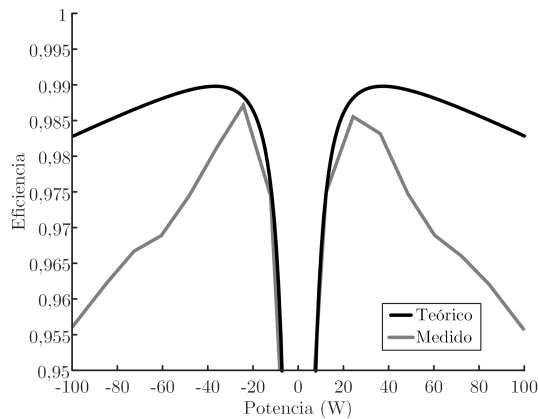


Figura 3.72: Eficiencia estimada y medida del reductor operando en QSW-ZVS.

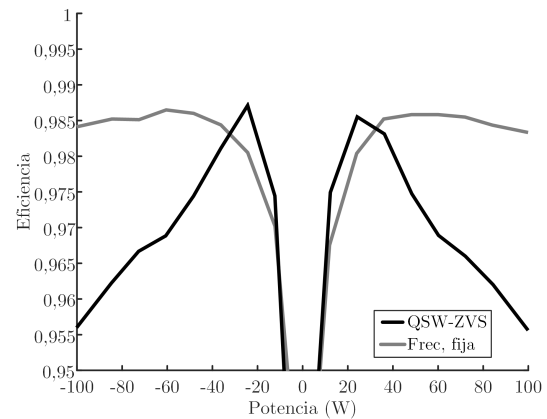


Figura 3.73: Eficiencia medida del reductor operando en QSW-ZVS y a frecuencia fija con un i_L del 40 %.

La Fig. 3.73 permite comparar directamente las medidas de eficiencia de este prototipo con el realizado para probar el control en modo tensión con un Δi_L del 40 %. Como se había predicho, la eficiencia del prototipo operando en QSW-ZVS es más alta que la del diseño optimizado de frecuencia fija en el rango de ± 30 W. Sin embargo, el incremento de las pérdidas a potencias mayores incluso mayor de lo estimado hace más atractivo el diseño a frecuencia fija.

3.6.4 Comparativa y conclusiones

Una vez más, los resultados teóricos y experimentales obtenidos indican que el control en modo tensión es más apropiado para la implementación de los reductores del PdB que la operación en modo QSW-ZVS. El control a frecuencia variable no solo dificulta la consecución de una eficiencia relativamente plana en todo el rango de potencias sino que exige un condensador C_o de mayor tamaño y un sensor de corriente de elevado ancho de banda, incrementando significativamente el coste del sistema.

Al igual que el modo corriente de pico, podría resultar apropiado si las características del PdB fuesen distintas, por ejemplo si el valor del C_e que el usuario puede conectar al bus fuese extremadamente alto y el requisito impuesto sobre Δv_{op} no fuese tan estricto.

3.7 Conclusiones sobre las diferentes opciones

Con el análisis teórico realizado y la verificación experimental del mismo, las conclusiones alcanzadas sobre el diseño y la implementación de los convertidores reductores síncronos integrados en el PdB son las siguientes:

- Es posible utilizar el procedimiento propuesto en la sección 3.3.3 para automatizar y optimizar el diseño del reductor, independientemente de las especificaciones fijadas, los componentes seleccionados y el modo de control que se desee usar. Los resultados experimentales concuerdan con las estimaciones, si bien podría ser adecuado utilizar modelos de pérdidas más precisos para mejorar aún más los diseños.
- La selección del núcleo magnético y los transistores tienen un fuerte impacto sobre el diseño, no sólo desde el punto de vista de la eficiencia sino también en lo referen-

te al volumen y el coste. En algunos casos extremos, esta selección puede llegar a condicionar la tecnología de fabricación del prototipo.

- Cuando se opera a f_s fija, el rizado de corriente por la inductancia i_L afecta a la eficiencia del reductor y al volumen de su filtro LC. Para las especificaciones de este PdB parece apropiado utilizar un 40 % de la corriente nominal para alcanzar un buen equilibrio entre comportamiento dinámico, eficiencia y tamaño del filtro.
- El modo de control utilizado también tiene distintos efectos sobre el diseño del reductor. Para las especificaciones fijadas en las secciones 3.2.1 y 3.2.2, el más adecuado parece ser un control en modo tensión a frecuencia de conmutación fija.
- El control en modo corriente de pico sería apropiado si el usuario pudiese conectar a los buses de 24 V del PdB grandes cargas capacitivas. Sin embargo, para los requisitos fijados tiene peores características que el control en modo tensión y es más caro y complejo de implementar debido al mayor valor de C_o necesario y la circuitería adicional para la medida de corriente.
- La operación en QSW-ZVS no resulta adecuada para la implementación de los reductores. Si bien el circuito propuesto en la sección 3.6.1 permite simplificar su control, requiere el uso de un condensador de salida C_o muy grande y una inductancia fabricada con técnicas avanzadas para poder proporcionar eficiencias comparables con las mismas prestaciones de calidad de suministro que los otros controles.

Por lo tanto, para la implementación de los reductores síncronos del PdB se construyen cinco prototipos idénticos basados en el diseño del 40 % de Δi_L cuyas características se detallan en la Tabla 3.12.

Capítulo 4

Diseño del convertidor Dual Active Bridge (DAB) para el PdB

El convertidor *Dual Active Bridge* (DAB) actúa en la arquitectura propuesta como un intermediario entre el bus general de distribución de 380 V y el bus intermedio de 48 V al que se conectan los convertidores reductores síncronos. Puesto que el DAB es una topología mucho menos madura que el reductor, es necesario estudiar las diferentes variantes y posibilidades de implementación para asegurar que se proporciona una interfaz regulada y segura a los reductores y se gestionan sus flujos bidireccionales de potencia de forma eficiente y fiable.

En este capítulo se adapta el procedimiento de diseño y optimización propuesto en el capítulo anterior al convertidor DAB para su integración en el PdB. En primer lugar, se revisan brevemente las características básicas de la topología utilizada y se define la convención de nombres, abreviaturas y símbolos usada en este capítulo. Tras estudiar cuál es la mejor implementación del DAB y cómo cambian los objetivos de diseño y el escenario de operación con respecto al caso de los convertidores reductores, se propone una adaptación del algoritmo de diseño propuesto anteriormente para cumplir con los requisitos del sistema y minimizar las pérdidas de este convertidor. Posteriormente, se analiza el comportamiento dinámico del DAB, comparándolo con los modelos existentes y las implicaciones que esto tiene en el diseño. Nuevamente, este análisis se complementa con ejemplos de diseño, simulaciones y resultados experimentales que validan la modificación del procedimiento propuesto y las conclusiones obtenidas en cada una de las secciones.

4.1 Revisión de la topología

El DAB es un convertidor con aislamiento galvánico que permite el flujo bidireccional de potencia de forma natural. Originalmente propuesta en 1991 [223], es una topología relativamente compleja y menos madura que otras alternativas como el *push-pull* o el puente completo con un doblador de corriente a la salida. Sin embargo, se prefiere el uso del DAB por sus excelentes características de rendimiento, su menor volumen y la buena utilización de los MOSFETs [132].

En la Fig. 4.1 muestra el esquema eléctrico de un DAB. Este se compone de los siguientes elementos:

- Un puente completo, formado por los cuatro transistores Q_{pn} , que conmutan para aplicar una tensión v_p pulsada al devanado primario del transformador.

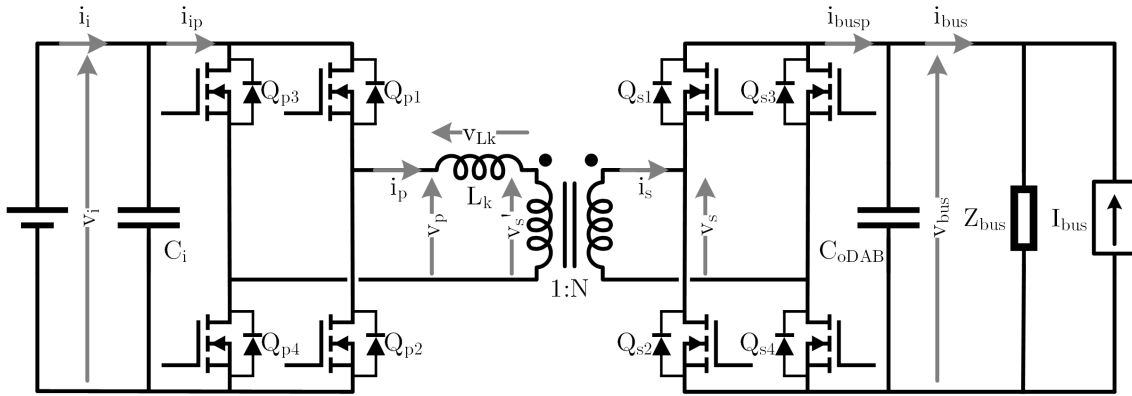


Figura 4.1: Esquema eléctrico del convertidor DAB con una fuente a su entrada y una carga externa genérica. No se muestra la implementación del control.

- Otro puente completo, formado por los cuatro transistores Q_{sn} , que conmutan para aplicar una tensión v_s pulsada al devanado secundario del transformador.
- Un transformador con una relación de vueltas 1:N, que proporciona el aislamiento galvánico entre el primario y el secundario y facilita la conversión de tensiones.
- Una inductancia de dispersión L_k , que es la responsable de la transferencia de potencia. Puede estar completamente integrada en el transformador o ser uno o más elementos externos colocados en cualquiera de sus dos terminales.
- Los condensadores C_i y C_{oDAB} , que se encargan de filtrar las corrientes i_{ip} y i_{busp} y proporcionar tensiones estables a la entrada y la salida del DAB.

La Fig. 4.1 no muestra, sin embargo, los circuitos de mando y control del DAB. Debido a las peculiaridades de este convertidor, es posible implementar múltiples métodos de control distintos, que modifican las formas de onda de las tensiones v_p y v_s aplicadas sobre el transformador y de la corriente transferida entre los dos puentes [132]. En este trabajo se utiliza el método de control más simple, conocido como fase desplazada o *phase shift*. En este modo de control, los transistores de cada puente se gobiernan con señales de mando de ciclo de trabajo de casi un 50 % con pequeños tiempos muertos. Los MOSFETs 1 y 4 de cada puente tienen la misma señal de mando, que es complementaria a la que se aplica a los MOSFETs 2 y 3. De esta forma, cada puente aplica al transformador su tensión de entrada directamente o invertida.

Como se muestra en la Fig. 4.2, el DAB se puede modelar, esencialmente, como una inductancia L_k entre dos fuentes de tensión pulsadas. Aplicando a una de estas fuentes un desfase φ con respecto a la otra, se puede modificar la secuencia de magnetización y desmagnetización de L_k , modificando la forma de onda de su corriente i_{Lk} y controlando la

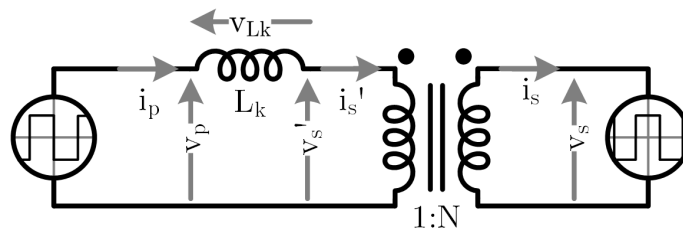


Figura 4.2: Equivalente simplificado del convertidor DAB.

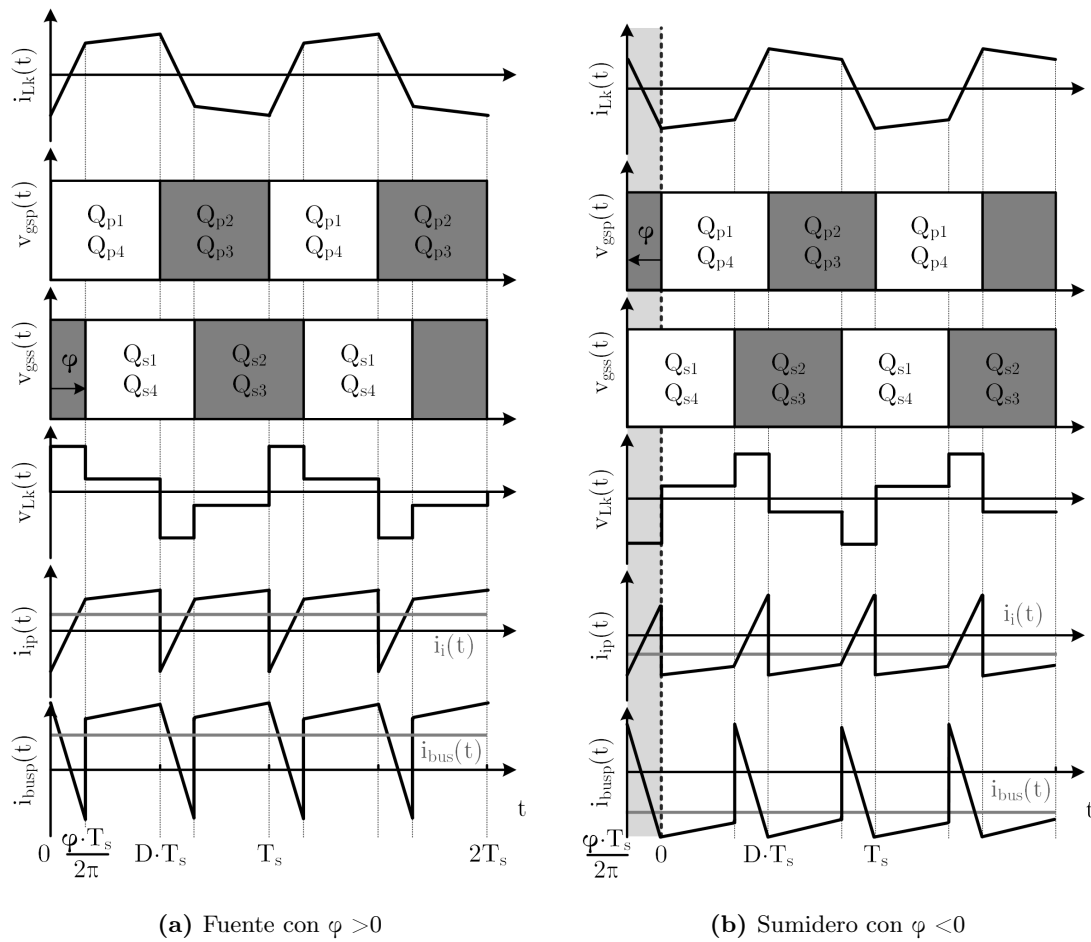


Figura 4.3: Principales formas de onda de un DAB.

transferencia de potencia. En la Fig. 4.3 se muestran las formas de onda más significativas del un DAB operando en modo fuente y en modo sumidero. En [224] se realiza un análisis detallado del comportamiento estático del convertidor con control en fase desplazada. Este permite calcular los valores exactos de las formas de onda mostradas y estudiar cómo las distintas variables de diseño influyen en la potencia procesada por el DAB y su sentido.

Al igual que en el capítulo anterior, los símbolos utilizados se definen en su primera utilización en el texto. Se puede encontrar además una lista detallada de símbolos al final de este trabajo. La convención de nombres utilizada es coherente con la del capítulo anterior:

- Los componentes se nombran con una letra mayúscula correspondiente con su tipo y un subíndice identificativo de su función o posición (por ejemplo, X_y).
- Las variables eléctricas se nombran, en general, con una letra minúscula correspondiente con su tipo y un subíndice identificativo (por ejemplo, x_y).
- Una variable eléctrica en mayúsculas indica que se trata del valor que esa variable en régimen estático de funcionamiento.
- Se coloca una línea horizontal sobre el nombre de la variable (por ejemplo, \bar{x}) para indicar el valor medio de la misma. A menos que se especifique lo contrario, se promedia en un periodo de conmutación.
- Se coloca un circunflejo sobre el nombre de la variable (por ejemplo, \hat{x}) para indicar una variación de pequeña señal en la misma.

- Además, en el caso del DAB, se utiliza un apóstrofo para indicar que una variable eléctrica o un componente relativa al secundario se expresa como su equivalente trasladada al primario del convertidor (por ejemplo, x_y en el secundario se refiere al primario como x_y').

4.2 Conmutación suave en el DAB

4.2.1 Requisitos para la conmutación suave en el DAB

Una de las principales ventajas de del DAB con respecto a otros convertidores CC/CC aislados es su capacidad de conmutar sus ocho MOSFETs con ZVS de forma natural, sin necesidad de circuitos externos o técnicas de control complejas [224]. Esto permite obtener una alta eficiencia y conmutación a frecuencias relativamente altas para reducir el tamaño del convertidor con respecto a otras posibles alternativas.

El proceso por el que se consiguen las conmutaciones suaves es relativamente sencillo. A pesar de que nominalmente el ciclo de trabajo de los MOSFETs es del 50 %, en la práctica se introducen pequeños tiempos muertos durante los cuales los cuatro transistores de un puente están abiertos. Durante este intervalo, las capacidades parásitas de los MOSFETs del puente resuenan con la inductancia de dispersión L_k , cuya corriente i_{Lk} no se puede interrumpir bruscamente. Si esta resonancia se produce en las condiciones adecuadas, la carga de las capacidades se redistribuye para asegurar ZVS [225].

La condición más básica que se debe imponer para obtener ZVS de forma natural es que el sentido de i_{Lk} durante la conmutación permita la descarga de las capacidades parásitas apropiadas [224]–[226]. Cuando el transformador está diseñado con una relación de vueltas N igual al ratio entre V_i y V_{bus} , se garantiza que i_{Lk} siempre tiene el sentido correcto durante las conmutaciones, independientemente de la potencia procesada por el DAB. Sin embargo, si alguna de las dos tensiones cambia significativamente, la polarización de L_k se modifica y se pueden perder las conmutaciones suaves en uno de los dos puentes [226]:

- Si V_{bus} aumenta o V_i disminuye, se pierde ZVS en el puente primario cuando la potencia procesada es baja.
- Si V_i aumenta o V_{bus} disminuye, se pierde ZVS en el puente secundario cuando la potencia procesada es baja.
- Cuanto mayor sea la diferencia con respecto al punto de diseño ideal para el transformador, mayor es el rango de potencias donde el DAB conmuta sin ZVS.

A pesar de ser una condición necesaria, el requisito impuesto sobre i_{Lk} no es suficiente para asegurar la operación con ZVS en los dos puentes. En la práctica el valor de i_{Lk} durante el tiempo muerto debe ser lo suficientemente grande como para que la energía almacenada en L_k permita cargar y descargar las capacidades parásitas de los MOSFETs [225], [226]. Incluso en el caso en que la relación de vueltas del transformador sea exactamente la necesaria para las tensiones de entrada y salida del DAB, este no puede operar con ZVS por debajo de un cierto umbral mínimo de potencia procesada [226], [227].

En ciertas aplicaciones, donde la carga varía en un rango relativamente estrecho, es posible realizar diseños que optimicen el DAB en ese rango asegurando conmutaciones suaves. Sin embargo, en situaciones donde la carga es muy variable, es necesario optar por diseños alternativos que sacrifican prestaciones a plena carga para extender el rango de potencias en que se obtiene ZVS [226].

El PdB puede pasar grandes periodos de tiempo procesando potencias extremadamente bajas. A pesar de que las tensiones de entrada y salida son relativamente fijas, lo que facilita la obtención de ZVS con un transformador apropiado, el objetivo debería ser asegurar las conmutaciones suaves en todo el rango de potencias, incluso a 0W. De no ser así, las pérdidas de conmutación se incrementan significativamente, especialmente en el puente que utiliza dispositivos de alta tensión [228], y se podría incluso dañar el convertidor por las mayores pérdidas de conmutación en los transistores y la interacción de las grandes derivadas de tensión y corriente con las señales de mando que produce la conmutación dura y podrían causar cortocircuitos [226], [229].

4.2.2 Análisis de las técnicas para extender el rango de ZVS

La capacidad del convertidor para alcanzar o no ZVS se ve limitada, principalmente, por las capacidades parásitas de los MOSFETs. Por esta razón, la solución más lógica para extender el rango de potencias en que se conmuta suave es reducir estas capacidades. De esta forma, la carga que hay que redistribuir durante la resonancia es menor, reduciendo tanto el tiempo muerto necesario como el mínimo valor de i_{Lk} [225]. Sin embargo, como se comentó en el capítulo anterior, esto no es sencillo. Con la tecnología actual de fabricación, reducir la capacidad de un MOSFET implica incrementar su R_{dson} , incrementando las pérdidas de conducción.

Una posibilidad para reducir las capacidades totales sin cambiar los MOSFETs utilizados es la modificación de la topología a bajas potencias. En [230] se propone añadir dos interruptores flotantes que permiten convertir el puente completo en un medio puente. De esta forma, cuando la corriente por la inductancia es menor, la capacidad parásita equivalente pasa a ser la mitad, reduciendo el valor mínimo de i_{Lk} necesario y extendiendo el rango en que se obtiene ZVS. Sin embargo, esta técnica no solo exige introducir un número mayor de interruptores sino que también complica el control, que debe ser capaz de realizar transiciones suaves entre diferentes modos de operación.

Puesto que no resulta sencillo reducir la capacidad de los MOSFETs, se puede optar por incrementar el valor de L_k . De esta forma se almacena más energía con un mismo valor de i_{Lk} , permitiendo desplazar completamente las cargas de las capacidades parásitas con una menor potencia procesada. Esta solución, sin embargo, limita la potencia máxima que el DAB puede proporcionar y que es inversamente proporcional a L_k [132]. Existen dos posibles soluciones a este problema, aunque ninguna de las dos resulta satisfactoria:

- La frecuencia de conmutación del DAB, f_{SDAB} , también es inversamente proporcional a la potencia procesada. Reducir f_{SDAB} permite incrementar L_k sin perder capacidad de procesar potencia. Se han propuesto incluso controles a frecuencia variable para reducir la potencia mínima que permite obtener ZVS [231]. Sin embargo, una menor f_{SDAB} exige el uso de componentes pasivos de mayor valor y volumen, afectando a la densidad de potencia y el coste del convertidor.
- Otra posibilidad es incrementar el valor máximo que puede tomar φ . Sin embargo, no es posible incrementar indefinidamente la potencia que puede procesar el DAB. Por una parte, no es práctico utilizar un valor de φ por encima de 60° puesto que la corriente reactiva que circula por el DAB se incrementa significativamente y afecta a las pérdidas del convertidor [232]. Por otra parte, la relación entre la potencia y el desfase φ es parabólica [132]. Cuando φ toma valores relativamente bajos, se puede aproximar por una relación lineal. Sin embargo, cuando toma valores altos es cada vez menos lineal, llegando a reducir la potencia procesada si excede los 90° [232].

Una alternativa ampliamente utilizada es la implementación de distintos métodos de control alternativos y, en general, complejos [132], [233]–[236]. Estos modifican las señales de mando aplicadas a los MOSFETs para cambiar la forma de onda de i_{Lk} y facilitar la conmutación suave. Estas técnicas son especialmente apropiadas en situaciones donde las tensiones de entrada y salida del convertidor pueden ser muy variables [132]. Sin embargo, tienen las mismas dificultades para obtener ZVS a bajas potencias que el control tradicional en fase desplazada. Este no solo es mucho más sencillo y rápido [237], sino que también resulta más apropiado en una aplicación con tensiones fijas como el PdB propuesto en este trabajo [132], [238].

En [226] y [232] se proponen pequeñas modificaciones en el diseño y el modo de operación del DAB para poder obtener ZVS en un rango de potencias mayor. Una de las más interesantes es la operación en modo ráfaga, donde el convertidor se enciende solo durante pequeños intervalos a potencia moderada y operando con ZVS para luego mantenerse apagado un cierto periodo de tiempo, obteniendo una potencia media muy baja. Sin embargo, este tipo de técnicas dificultan la transición suave entre modo fuente y sumidero, complicando significativamente el control.

Finalmente, otra opción muy interesante, aunque menos utilizada, es el uso de inductancias adicionales para incrementar la corriente en los instantes de conmutación. Esto se puede conseguir utilizando la propia inductancia magnetizante del transformador (L_m) [132], [225], [239], [240] o inductancias externas colocadas específicamente para ayudar a la conmutación suave del puente [241], [242]. Diseñando correctamente esta inductancia, se puede hacer que la corriente circulante del DAB sea lo suficientemente grande en todos los escenarios de operación como para asegurar ZVS incluso a potencia cero [225], [239]. Sin embargo, dependiendo del valor de la inductancia añadida, su posición y el método de control utilizado, las corrientes por los distintos componentes y las pérdidas asociadas a estas pueden crecer [132].

4.2.3 Uso de L_m para la extensión del rango de ZVS

La implementación práctica más frecuente del DAB es la mostrada en la Fig. 4.4. El uso de un transformador real introduce en el circuito una inductancia magnetizante L_m y una inductancia de dispersión asociada a cada uno de sus devanados. Siguiendo el proceso de diseño típico se puede obtener un transformador razonablemente semejante al modelo ideal [139]. El valor de L_m será relativamente grande para evitar tener corrientes reactivas elevadas mientras que las dispersiones se intentan minimizar. Normalmente, para poder conseguir el valor de L_k necesario para la transferencia de potencia deseada, se añade una inductancia externa, implementada en un núcleo magnético independiente. En general, su valor es lo suficientemente grande como para poder desprestigiar la dispersión propia del transformador [132], [232].

En la Fig. 4.4 la inductancia externa se coloca entre el puente completo primario, compuesto por los MOSFETs Q_{pn} , y el devanado primario del transformador. Sin embargo, también se podría colocar en el secundario ajustando su valor teniendo en cuenta la relación de transformación del transformador. De la misma forma, la inductancia magnetizante L_m se muestra referida al primario pero se podría desplazar al secundario con su correspondiente transformación si fuese apropiado.

El modelo equivalente de esta implementación se puede ver en la Fig. 4.5. Comparado con el modelo simplificado presentado en la Fig. 4.2, la tensión v_{Lk} que se aplica sobre la inductancia L_k no varía. Por esta razón, se pueden seguir utilizando las ecuaciones sencillas de diseño para un DAB ideal presentadas en [132].

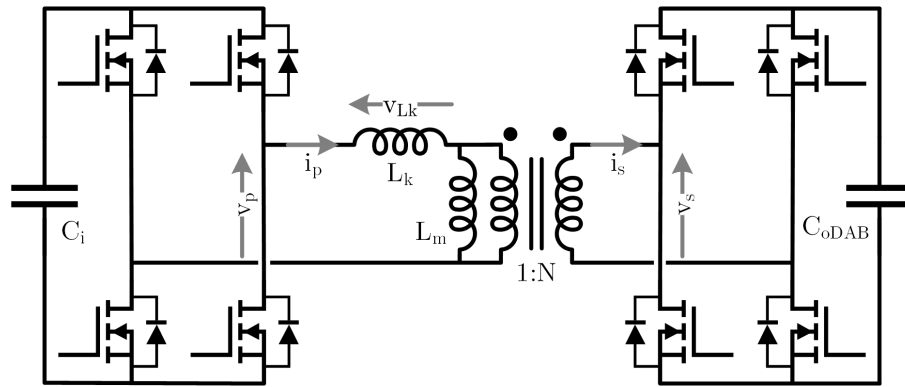


Figura 4.4: Esquema eléctrico del convertidor DAB con una implementación típica.

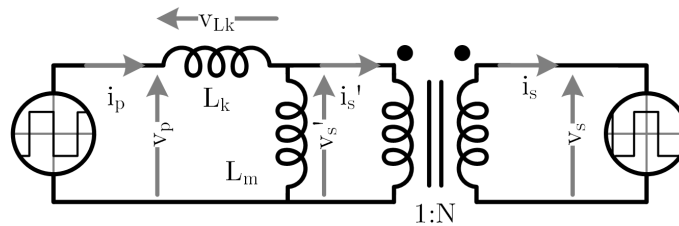


Figura 4.5: Equivalente simplificado del convertidor DAB con una implementación típica.

Aunque es común obviar el efecto de L_m por considerar que su valor es suficientemente grande como para no modificar las corrientes que circulan por el DAB [226], [227], esto no es estrictamente cierto. Como se puede ver en [241], si L_m tiene un valor lo suficientemente pequeño, modifica notablemente la corriente que circula por el puente al que está conectado directamente. En el equivalente mostrado en la Fig. 4.5, L_m está en paralelo con el puente secundario, que le aplica una tensión v_s' . Esto genera una corriente magnetizante sincronizada con la conmutación del puente que ayuda a redistribuir las cargas y obtener ZVS en dicho puente [241].

La corriente que circula por el puente primario, sin embargo, no se ve modificada, por lo que su condición de ZVS es igual que si L_m tuviese un valor infinito. Para facilitar la conmutación suave en el puente primario habría que cambiar la implementación, colocando la inductancia externa entre el transformador y el puente secundario. Independientemente de la opción escogida, esta aproximación solo puede asistir a la conmutación en uno de los puentes, con una corriente magnetizante no controlable.

Para poder facilitar la conmutación de ambos puentes al mismo tiempo, es necesario optar por una implementación en T, como la mostrada en la Fig. 4.6. En este caso, L_k se divide en dos, colocando cada mitad a un lado de L_m . Puesto que esta última ya no está conectada directamente a ninguno de los dos puentes, su corriente i_{L_m} dependerá de las tensiones v_p , v_s' y el desfase φ entre ellas. Si se diseña correctamente, esta implementación no solo permite modificar i_p y i_s para ampliar el rango de potencias donde se opera con ZVS sino también reducir ligeramente la corriente máxima y eficaz en el secundario a costa de incrementarla en el primario [132]. Si, como en el caso del PdB, el primario se corresponde con el terminal de alta tensión y baja corriente, este efecto secundario de la implementación en T puede ayudar a reducir las pérdidas de conducción en el devanado secundario del transformador y los MOSFETS Q_{sn} con un impacto menor en el resto de componentes.

Es importante tener en cuenta que la implementación mostrada en la Fig. 4.6 es un modelo y no la realización real del convertidor. Debido a la naturaleza de la inductancia magnetizante

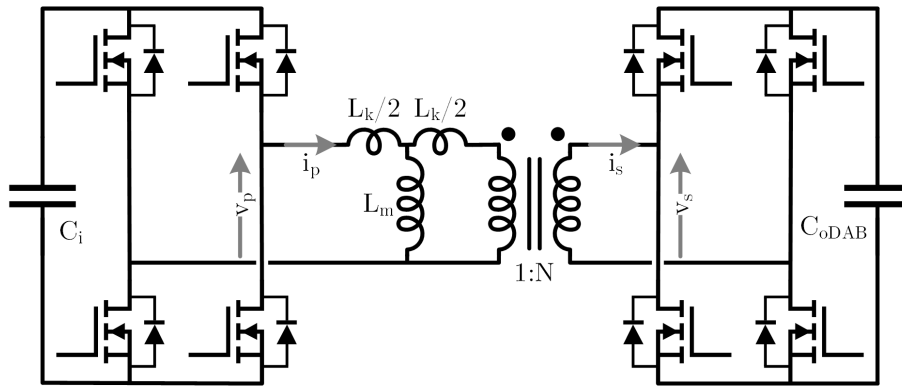


Figura 4.6: Esquema eléctrico del convertidor DAB con una implementación en T.

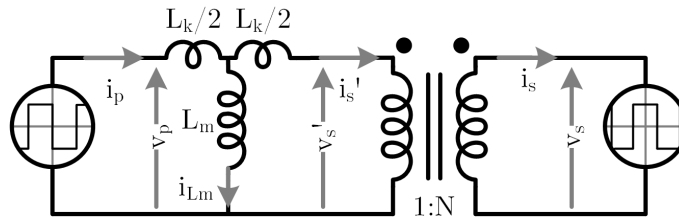


Figura 4.7: Equivalente simplificado del convertidor DAB con una implementación en T.

L_m , esta no es directamente accesible en un transformador y, obviamente, no es posible introducir dispersión adicional entre esta y el transformador ideal del modelo. Esta segunda inductancia de dispersión se coloca en el secundario del transformador.

Las opciones más sencillas para obtener un circuito equivalente al mostrado en la Fig. 4.6 son las siguientes:

- Si el valor de L_k necesario es lo suficientemente bajo, se podría obtener la implementación en T usando únicamente un transformador. Si los devanados se diseñan y colocan siguiendo las prácticas habituales, la dispersión de cada uno de ellos será semejante, escalada por la relación de transformación. Refiriendo todos los elementos al devanado primario, se obtiene un modelo en T como el mostrado en la Fig. 4.6 [243].
- Si L_k tuviese un valor muy elevado, es posible conseguir el mismo modelo equivalente colocando dos inductancias externas, una a cada lado del transformador. Nuevamente, cuando la dispersión interna del propio transformador y la inductancia adicional conectada en el secundario se trasladan al primario escaladas de forma adecuada, se puede obtener el modelo en T deseado.
- Otra alternativa es optar por una implementación en II, equivalente según el teorema de Kennelly. Si la L_{kII} de este modelo es mucho mayor que la dispersión del transformador, se puede construir una estructura en II formada por la propia inductancia magnetizante del transformador, la L_{kII} externa y una inductancia adicional en paralelo con la salida del puente primario, como se hace en [242].

En los trabajos presentados en [132] y en [240] se hacen análisis matemáticamente complejos del efecto que tiene la estructura en T sobre la transferencia de potencia en el DAB y sobre los nuevos límites de operación con ZVS en función de L_m . Si bien estos métodos son muy precisos, resultan poco prácticos para la caracterización y el diseño del convertidor.

Utilizando el modelo sencillo mostrado en la Fig. 4.7, es posible obtener unas expresiones cerradas y sencillas para describir la transferencia de potencia cuando se implementa el

DAB con una estructura en T y las formas de onda de las principales corrientes que circulan por el mismo. Para ello, se sigue el procedimiento descrito en el Anexo C y se obtienen los siguientes resultados.

La potencia procesada por el DAB viene dada por la ecuación 4.1. Esta expresión es casi igual a la obtenida en [132] cuando L_m es suficientemente grande como para ser despreciable, pero con un factor de escala dependiente de k .

$$P_{DAB} = \frac{\varphi(\pi - |\varphi|)T_{SDAB}V_iV_{bus}}{2\pi^2NL_k} \frac{2k}{2k + \frac{1}{2}}, \quad (4.1)$$

donde φ es el desfase, T_{SDAB} el periodo de conmutación, N la relación de vueltas del transformador, V_i la tensión de entrada, V_{bus} la tensión de salida y el factor k es un coeficiente que relaciona L_m y L_k según la ecuación 4.2

$$L_m = kL_k. \quad (4.2)$$

Los valores de pico de la corriente i_p en el instante de conmutación del puente primario (I_{p1}) y secundario (I_{p2}) vienen dados por la ecuación 4.3. Al igual que en el caso de la potencia, la expresión es semejante a la obtenida en [132] sin considerar L_m pero está ligeramente modificada por factores dependientes de k .

$$I_{p1} = \frac{T_{SDAB}}{4\pi L_k} \left(V_i\pi + \frac{V_{bus}}{N} \frac{2k}{2k+1} (2\varphi - \pi) \right) \frac{2k+1}{2k + \frac{1}{2}}, \quad (4.3a)$$

$$I_{p2} = \frac{T_{SDAB}}{4\pi L_k} \left(V_i(2\varphi - \pi) + \frac{V_{bus}}{N} \frac{2k}{2k+1} \pi \right) \frac{2k+1}{2k + \frac{1}{2}}. \quad (4.3b)$$

Los valores de pico de la corriente i_s en el instante de conmutación del puente primario (I_{s1}) y secundario (I_{s2}) vienen dados por la ecuación 4.4. Al igual que I_{p1} y I_{p2} , su expresión es muy semejante a las expresiones básicas.

$$I_{s1} = \frac{T_{SDAB}}{4\pi L_k N} \left(V_i \frac{2k}{2k+1} \pi + \frac{V_{bus}}{N} (2\varphi - \pi) \right) \frac{2k+1}{2k + \frac{1}{2}}, \quad (4.4a)$$

$$I_{s2} = \frac{T_{SDAB}}{4\pi L_k N} \left(V_i \frac{2k}{2k+1} (2\varphi - \pi) + \frac{V_{bus}}{N} \pi \right) \frac{2k+1}{2k + \frac{1}{2}}. \quad (4.4b)$$

La corriente i_{Lm} no se puede medir en el convertidor real. Sin embargo, sí que tiene un sentido físico. Proporciona información sobre la corriente reactiva que se añade a i_p pero que no se transfiere al bus de 48 V a través de i_s .

$$I_{Lm1} = I_{p1} - NI_{s1} = \frac{T_{SDAB}}{4\pi L_k} \left(V_i\pi + \frac{V_{bus}}{N} (\pi - 2\varphi) \right) \frac{1}{2k + \frac{1}{2}}, \quad (4.5a)$$

$$I_{Lm2} = I_{p2} - NI_{s2} = \frac{T_{SDAB}}{4\pi L_k} \left(V_i(2\varphi - \pi) - \frac{V_{bus}}{N} \pi \right) \frac{1}{2k + \frac{1}{2}}. \quad (4.5b)$$

Las Fig. 4.8 y 4.9 muestran i_p e i_s durante dos periodos calculadas con las ecuaciones 4.3 y 4.4. Se puede observar como utilizar un valor de k más bajo puede ayudar a conseguir ZVS en ambos puentes, ya que incrementa el valor de la corriente que circula por cada uno de

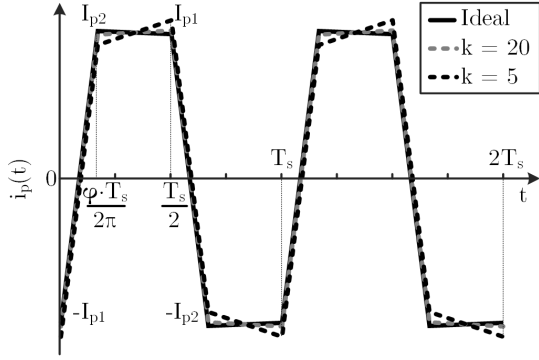


Figura 4.8: Formas de onda de i_p para distintos valores de k .

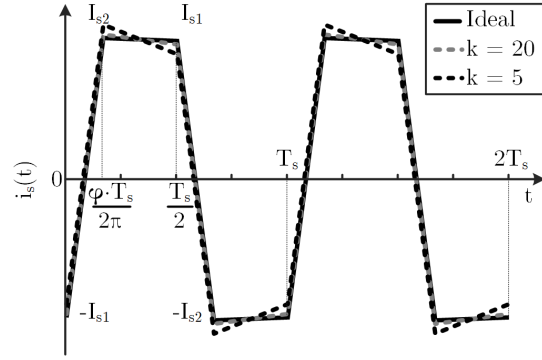


Figura 4.9: Formas de onda de i_s para distintos valores de k .

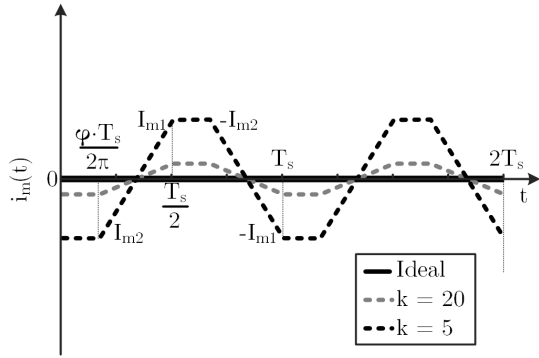


Figura 4.10: Formas de onda de i_{Lm} para distintos valores de k .

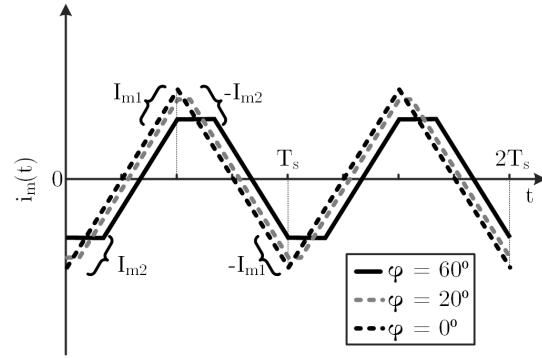


Figura 4.11: Formas de onda de i_{Lm} para distintos valores de φ y $k = 5$.

ellos en el instante de su conmutación, pero la reduce en la conmutación del otro puente. Este resultado encaja con la predicción realizada en [132].

En la Fig. 4.10 se puede ver como i_{Lm} es nula en el caso ideal (L_m infinita) y su amplitud crece al disminuir el valor de k , como se había predicho. Utilizar una L_m más pequeña permite por lo tanto incrementar I_{p1} e I_{s2} y extender el rango de potencias en el que se consigue ZVS.

Finalmente, la Fig. 4.11 muestra como varía i_{Lm} cuando el DAB opera con diferentes valores de φ . Cuanto mayor es el desfase φ y, por tanto la potencia procesada por el DAB, menor es el valor máximo que toma i_{Lm} . La asistencia que la L_m proporciona a la conmutación suave es mayor a potencias bajas, donde es más necesario incrementar las corrientes i_p e i_s durante los instantes de conmutación. Sin embargo, a potencias altas el aporte es menor, reduciendo el efecto de L_m sobre las corrientes eficaces por los MOSFETs y los elementos magnéticos. Esto es una ventaja con respecto a la implementación tradicional, donde i_{Lm} tiene siempre un valor fijo.

En lo que respecta a los límites para la obtención de ZVS se sigue un procedimiento análogo al de [225] pero combinando el efecto de las capacidades parásitas con el modelo mostrado en la Fig. 4.6 y Fig. 4.7. Al igual que en el caso de las corrientes, el procedimiento seguido se detalla en el Anexo C. Los valores de φ mínimos que garantizan la operación con ZVS en el primario y el secundario vienen dados por la ecuación 4.6.

$$\varphi \geq \begin{cases} \frac{\pi}{2} \left(1 - \frac{V_i N}{V_{\text{bus}} \frac{2k}{2k+1}} \right) + \frac{4\pi}{T_{\text{SDAB}}} \sqrt{\frac{L_k(2k + \frac{1}{2})C_p V_i N}{2k V_{\text{bus}}}} & \text{para ZVS en el primario,} \\ \frac{\pi}{2} \left(1 - \frac{V_{\text{bus}}}{V_i N \frac{2k}{2k+1}} \right) + \frac{4\pi}{T_{\text{SDAB}}} \sqrt{\frac{L_k(2k + \frac{1}{2})C_s V_{\text{bus}} N}{2k V_i}} & \text{para ZVS en el secundario.} \end{cases} \quad (4.6)$$

En esta ecuación, C_p y C_s son las capacidades parásitas de los transistores del puente primario (Q_{pn}) y secundario (Q_{sn}) respectivamente. Como se puede ver, dependiendo del valor que tomen éstas, ambos límites pueden ser muy distintos, por lo que se debe tomar el más restrictivo de los dos si se quiere asegurar la conmutación suave en los ocho transistores del DAB. Para poder alcanzar ZVS en todo el rango de potencias escogiendo un valor apropiado de L_m se iguala φ en la ecuación 4.6 a cero y se despeja k :

$$k(\text{primario}) \leq \frac{-b + \sqrt{b^2 - 4ac}}{2a}, \quad (4.7a)$$

$$a = 4 \left(\frac{64C_p L_k V_i V_{\text{bus}} f_{\text{SDAB}}^2}{N} - \left(V_i - \frac{V_{\text{bus}}}{N} \right)^2 \right), \quad (4.7b)$$

$$b = 4 \left(\frac{16C_p L_k V_i V_{\text{bus}} f_{\text{SDAB}}^2}{N} - V_i \left(V_i - \frac{V_{\text{bus}}}{N} \right) \right), \quad (4.7c)$$

$$c = -V_i^2. \quad (4.7d)$$

$$k(\text{secundario}) \leq \frac{-b + \sqrt{b^2 - 4ac}}{2a}, \quad (4.8a)$$

$$a = 4 \left(64C_s L_k V_i V_{\text{bus}} f_{\text{SDAB}}^2 N - \left(\frac{V_{\text{bus}}}{N} - V_i \right)^2 \right), \quad (4.8b)$$

$$b = 4 \left(16C_s L_k V_i V_{\text{bus}} f_{\text{SDAB}}^2 N - \frac{V_{\text{bus}}}{N} \left(\frac{V_{\text{bus}}}{N} - V_i \right) \right), \quad (4.8c)$$

$$c = - \left(\frac{V_{\text{bus}}}{N} \right)^2. \quad (4.8d)$$

Finalmente, se escoge la condición más restrictiva de las dos para el diseño de L_m en función del valor de L_k :

$$k \leq \min\{k(\text{primario}), k(\text{secundario})\}. \quad (4.9)$$

A la vista de los resultados analíticos, parece apropiado utilizar la implementación en T en lugar de la tradicional. Es una forma sencilla de asegurar ZVS en los dos puentes del convertidor de forma simultánea, a cualquier potencia y sin incrementar significativamente las pérdidas de conducción.

4.3 Integración de los elementos magnéticos

Para la implementación del DAB con una estructura en T como la mostrada en la Fig. 4.6 es preferible utilizar un único núcleo magnético que integre L_k y L_m . Esto permite obtener un convertidor de menor volumen y reducir sus pérdidas [239], [242], [244].

Algunos autores proponen técnicas de integración muy complejas, adaptadas a sus necesidades concretas. Por ejemplo, en [244] se utilizan núcleos magnéticos fabricados a medida que permiten ampliar el área de ventana y separar los devanados, obteniendo una dispersión controlada. Esta solución no solo es compleja sino también costosa. En [245] se inserta una placa de material magnético entre los devanados para separarlos y controlar de forma precisa la dispersión del transformador. Esta solución es especialmente adecuada para la implementación de transformadores planares con gran dispersión. Sin embargo, dificulta notablemente el montaje del mismo y requiere el uso de materiales especiales.

La opción más sencilla para implementar un transformador con una dispersión relativamente grande es separar los devanados como se muestra en la Fig. 4.12. Esta opción permite un buen aprovechamiento del área de ventana y proporciona una solución compacta y sencilla de fabricar. Sin embargo, el modelado de la inductancia de dispersión es muy complejo y depende fuertemente de la geometría del núcleo, limitando el diseño [246]. Además, hay una gran cantidad de flujo magnético fuera del núcleo, que puede generar problemas de ruidos y acoplamientos indeseados en el convertidor.

Una alternativa es la utilización de un núcleo magnético en E o piezas adicionales de material magnético como en la Fig. 4.13. La longitud, el grosor y el material de esta columna central se puede ajustar para tener un mayor control sobre la dispersión [247]. No obstante, su modelado sigue siendo complejo y fuertemente dependiente de la geometría, a menos que se utilicen núcleos hechos a medida con materiales especiales para la columna central.

Las opción mostrada en la Fig. 4.14 se puede implementar en casi cualquier formato de núcleo magnético y proporciona un gran control sobre la inductancia magnetizante y la dispersión. La mayor parte del flujo está confinado en el material magnético, por lo que se puede ajustar la dispersión modificando la separación entre los devanados primario y secundario [248] y la magnetizante introduciendo entrehierro [249], [250]. La fabricación de estos transformadores es muy sencilla, requiriendo únicamente utilizar cinta o separadores aislantes del grosor adecuado.

En la Fig. 4.15 se muestra la opción más utilizada en aplicaciones industriales, especialmente para la implementación de convertidores resonantes de tipo LLC [239], [240], [249]–[251]. Al igual que en el caso anterior, el entrehierro ajusta la inductancia magnetizante del transformador mientras que la separación vertical entre los devanados es ahora la que determina la inductancia de dispersión [248]. Además de presentar las mismas ventajas que proporciona la implementación concéntrica frente a los devanados separados, en este caso existen carretes [252], [253] y transformadores comerciales [254], [255] que facilitan el uso de esta opción. Estos productos permiten ajustar con precisión la separación entre devanados para obtener exactamente la L_k deseada.

La principal desventaja de la implementación con devanados apilados es que la inductancia de dispersión no solo depende de la separación de los devanados sino también de la geometría de la ventana [248]. Esto conlleva las siguientes limitaciones:

- La inductancia de dispersión mínima que se puede conseguir está limitada a la que se obtiene cuando los devanados no tienen separación alguna entre ellos.

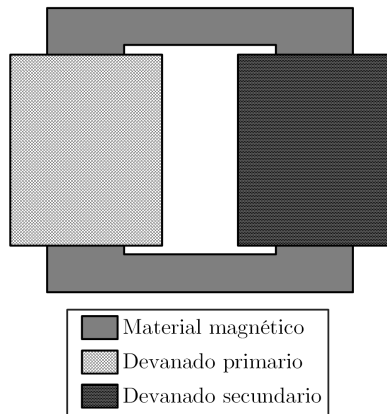


Figura 4.12: Implementación clásica del transformador con devanados separados.

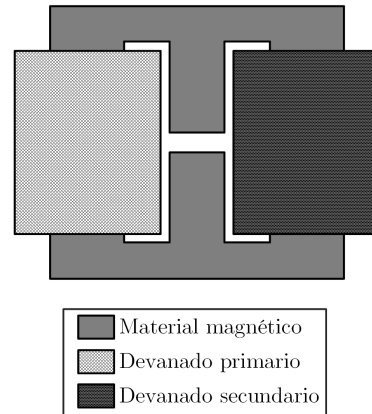


Figura 4.13: Implementación del transformador con devanados separados con dispersión controlada.

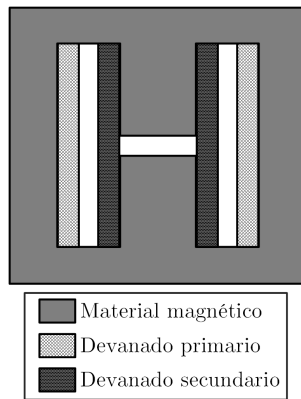


Figura 4.14: Implementación del transformador con devanados concéntricos.

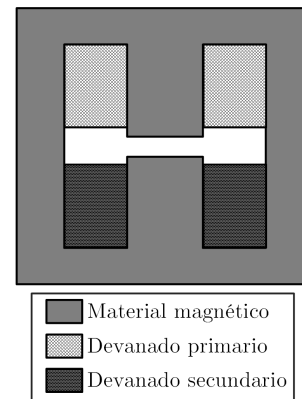


Figura 4.15: Implementación del transformador con devanados apilados.

- Para reducir la inductancia mínima obtenible, además de seleccionar un núcleo con una geometría distinta, se puede optar por una solución entrelazada, dividiendo los devanados en más sectores y ajustando su espaciado según [248].
- La máxima inductancia de dispersión que se puede conseguir está limitada por la separación entre los devanados. El diseñador debe evaluar qué porcentaje de área de ventana está dispuesto a sacrificar para alcanzar el valor requerido de L_k y si el núcleo escogido es apropiado.

A pesar de estas limitaciones, la opción más apropiada para la integración del elemento magnético en el DAB del PdB parece la mostrada en la Fig. 4.15. El uso de devanados apilados con separación vertical permite controlar tanto L_k como L_m con precisión, utilizar elementos comerciales o fáciles de fabricar y, con una selección adecuada del núcleo magnético, implementar el DAB con una estructura en T sin necesidad de colocar elementos externos adicionales.

4.4 Procedimiento de diseño adaptado al DAB

4.4.1 Objetivos de diseño

Al igual que en el capítulo anterior se han estudiado las necesidades y peculiaridades del convertidor reductor en el PdB, es necesario llevar a cabo el mismo análisis para el DAB. Si bien las características eléctricas básicas han sido definidas en el Capítulo 2 y el objetivo esencial de diseño es proporcionar un convertidor eficiente, robusto y compacto, hay más características que se deben determinar.

Calidad del suministro eléctrico en el bus intermedio de 48 V. A pesar de que el bus intermedio de 48 V no es accesible al usuario y el diseñador conoce en todo momento las características de los reductores conectados al mismo, es necesario fijar unos requisitos mínimos. De esta forma se puede asegurar que los reductores no se verán sometidos a un gran rizado de tensión de entrada, que podría verse reflejado en los buses de 24 V, y que durante los transitorios la tensión se mantiene regulada en el entorno de los 48 V nominales y no puede dañar o apagar accidentalmente los reductores.

El límite del rizado estático de tensión en el bus intermedio de 48 V, Δv_{busp} , se fija en un 0,5 % de la tensión nominal, igual que en el caso de los reductores y los buses de 24 V. Si el condensador C_{ODAB} requerido para cumplir con este requisito resultase un factor muy limitante del diseño, se podría relajar el límite impuesto, puesto que se trata de un bus interno. En ese caso, habría que estudiar si es necesario implementar un control en modo corriente de pico o añadir *feedforward* de la tensión de entrada al modo tensión utilizado para reducir el efecto de este rizado en los buses de 24 V.

La mayor desviación de la tensión del bus de 48 V durante un transitorio, Δv_{bust} , se podría definir atendiendo a dos criterios distintos. Puesto que se conoce la implementación de los reductores conectados a la salida del DAB, se podría permitir una tensión máxima de hasta 60 V, que es el límite marcado por los MOSFETS utilizados, y una tensión mínima de 12 V, por debajo de la cual se apaga el circuito de control utilizado. Sin embargo, esta variación es demasiado grande y se podría ver reflejada en los buses de 24 V del PdB además de afectar a la eficiencia de los reductores. Parece más lógico fijar una variación máxima del 5 %, para asegurar que la tensión del bus intermedio está bien regulada y no afecta a la operación de los reductores.

La máxima variación de la corriente en el bus intermedio, ΔI_{bus} , está relacionada con la máxima variación de potencia permitida en los buses de 24 V. Puesto que no es probable que un usuario pueda provocar un escalón de carga máximo en varios reductores de forma sincronizada, se puede fijar el máximo ΔI_{bus} en 2,08 A correspondientes a 100 W sobre el bus de 48 V.

Es importante tener en cuenta que el cálculo de Δv_{busp} y Δv_{bust} no se debe realizar considerando únicamente C_{ODAB} sino C_{bus} , el condensador equivalente formado por C_{ODAB} y los cinco condensadores $C_{\text{bus } n}$ colocados a la entrada de cada reductor.

Control de la tensión del bus intermedio de 48 V. El DAB debe regular su tensión de salida v_{bus} para proporcionar un bus intermedio de 48 V a los convertidores reductores del PdB. Al igual que en aquel caso, es deseable utilizar un único control que permita regular esta tensión independientemente del sentido del flujo de potencia.

Como se ha mencionado brevemente en la sección 4.1, el control por fase desplazada es el más sencillo para gobernar el DAB. Su rápida respuesta dinámica y su idoneidad en aplicaciones con tensiones muy fijas, comentadas en la sección 4.2.2, lo convierten en un buen candidato para esta aplicación.

En [256] se implementa con éxito este control para regular la tensión de salida de un DAB en una aplicación bidireccional. Algunos autores han propuesto técnicas para mejorar el comportamiento dinámico del DAB, midiendo diferentes corrientes [237], [257]. Sin embargo, en una aplicación como el PdB donde los escalones de carga aplicados al DAB ya están filtrados por la dinámica de los reductores, no parece necesario recurrir a técnicas complejas que incrementen el coste para acelerar ligeramente la respuesta dinámica.

A pesar de que existen numerosos controladores analógicos de bajo coste para convertidores gobernados en fase desplazada, éstos no permiten la operación bidireccional de un DAB. Por esta razón, el control debe implementarse de forma digital [258].

Estabilidad y caracterización de las cargas. Se podría diseñar el DAB como un convertidor independiente pero teniendo en cuenta que debe mantener su estabilidad y sus prestaciones dinámicas cuando se conecten los cinco reductores del PdB. Sin embargo, parece más lógico diseñarlo desde el principio considerando la carga Z_{bus} que estos representan. En la sección 4.6 y en el Capítulo 5 se hace un análisis más detallado de como estos convertidores afectan al diseño del DAB y su regulador.

4.4.2 Planteamiento del diseño

El diseño del DAB plantea retos muy semejantes a los del diseño del reductor síncrono. El diseñador debe seleccionar:

- Una frecuencia de conmutación óptima, f_{SDABopt} , que minimice las pérdidas globales del DAB (P_{totDAB}).
- Un desfase máximo, $\varphi_{\text{máx}}$, que proporcione una relación aproximadamente lineal entre el desfase φ y la potencia procesada en todo el rango de funcionamiento, limite la corriente reactiva y permita utilizar una L_k razonable [226].
- Dos MOSFETs apropiados para implementar el puente primario y el secundario. Puesto que los cuatro transistores en un puente completo tienen que soportar los mismos esfuerzos de tensión y corriente, se escoge un mismo modelo para los cuatro Q_{pn} y otro para los cuatro Q_{sn} .
- Los valores de L_k y L_m del transformador, así como su implementación y el tamaño y material del núcleo magnético.
- El valor de los condensadores C_{ODAB} y C_i para cumplir con los requisitos de rizado y regulación impuestos.

Al igual que en el caso del convertidor reductor, un mapa de diseño podría proporcionar información útil para entender mejor el efecto de las condiciones impuestas sobre los valores de L_k , L_m y los condensadores. Sin embargo, al igual que con el reductor, es posible establecer una relación unívoca entre la frecuencia de conmutación f_{SDAB} y estos valores:

- El valor de L_k en función de f_{SDAB} se calcula según la ecuación 4.10. Puesto que el valor de k no es conocido a priori, se puede estimar y realizar un proceso iterativo de diseño.

$$L_k \leq \frac{2k}{2k + \frac{1}{2}} \frac{\varphi_{\text{máx}}(\pi - \varphi_{\text{máx}})V_i V_{\text{bus}}}{2\pi^2 N P_{\text{DAB}} f_{\text{SDAB}}}, \quad (4.10)$$

donde P_{DAB} es la potencia nominal procesada por el DAB. Conocido L_k se puede calcular el valor de k y L_m para asegurar ZVS.

- El valor de k y, por tanto, L_m se puede calcular a partir del valor de L_k obtenido según las ecuaciones 4.7, 4.8 y 4.9. Es necesario comparar el valor obtenido con la estimación realizada inicialmente y, si el error es grande, volver a calcular un nuevo valor de L_k .
- El condensador de salida C_{ODAB} viene determinado por la ecuación 4.11.

$$C_{\text{ODAB}} = \text{máx}\{C_{\text{ODAB}}(\Delta v_{\text{busp}}), C_{\text{ODAB}}(\Delta v_{\text{bust}})\}, \quad (4.11a)$$

$$C_{\text{ODAB}}(\Delta v_{\text{busp}}) \geq \frac{1}{\Delta v_{\text{busp}}} \frac{P_{\text{DAB}} \left(V_i \frac{2k}{2k+1} \left(2\varphi_{\text{máx}} - \frac{\pi}{2} - \frac{\varphi_{\text{máx}}^2}{\pi} \right) + \frac{V_{\text{bus}}\pi}{2N} \right)^2}{4f_{\text{SDAB}}\varphi_{\text{máx}}(\pi - \varphi_{\text{máx}})V_i V_{\text{bus}} \left(V_i \frac{2k}{2k+1} + \frac{V_{\text{bus}}}{N} \right)}, \quad (4.11b)$$

$$C_{\text{ODAB}}(\Delta v_{\text{bust}}) \geq \frac{\Delta I_{\text{bus}}}{\Delta v_{\text{bust}}} \left(\frac{T_{\text{SDAB}}}{2} - \frac{1}{8f_c} + \frac{1 - e^{-12\pi^2 f_{\text{CDAB}}^2}}{2\pi f_{\text{CDAB}}} \right). \quad (4.11c)$$

donde f_c es el ancho de banda del controlador de los reductores colocados en el bus intermedio de 48 V y f_{CDAB} es el ancho de banda del controlador del DAB.

- El condensador de entrada C_i está definido por la ecuación 4.12.

$$C_i \geq \frac{1}{\Delta V_i} \frac{P_{\text{DAB}} N \left(\frac{V_i \pi}{2} + \frac{V_{\text{bus}}}{N} \frac{2k}{2k+1} \left(\varphi_{\text{máx}} - \frac{\pi}{2} - \frac{\varphi_{\text{máx}}^2}{\pi} \right) \right)^2}{4f_{\text{SDAB}}\varphi_{\text{máx}}(\pi - \varphi_{\text{máx}})V_i V_{\text{bus}} \left(V_i + \frac{V_{\text{bus}}}{N} \frac{2k}{2k+1} \right)}. \quad (4.12)$$

Puesto que cada valor de f_{SDAB} proporciona una única combinación de L_k , L_m , C_{ODAB} y C_i , se puede seguir un procedimiento análogo al propuesto para el reductor. Para poder obtener el valor de f_{SDABopt} que optimiza la eficiencia del convertidor, es necesario obtener un modelo de pérdidas dependiente únicamente de la frecuencia de conmutación f_{SDAB} , variables eléctricas del DAB y las características de los MOSFETs y el núcleo magnético escogidos.

Pérdidas en los MOSFETs Q_{pn} y Q_{sn} . En [132] y en [112] se realiza un análisis detallado de las pérdidas en un convertidor DAB teniendo en cuenta todos los elementos parásitos, la implementación real de la PCB y los efectos de la conmutación suave parcial. Estos métodos solo son útiles para validar el prototipo una vez ensamblado, cuando se conocen todos los detalles del diseño y la implementación. Sin embargo, para la primera etapa de diseño, no resultan apropiados.

Para el procedimiento propuesto se adaptan los modelos de pérdidas proporcionados en [181], [182] y utilizados en el capítulo anterior con buenos resultados. La operación en el DAB con ZVS elimina el parámetro de pérdidas correspondiente al encendido del MOSFET y, si los tiempos muertos utilizados son los apropiados, también desaparecen las pérdidas asociadas a la recuperación inversa del diodo parásito [132].

Las pérdidas debidas a los MOSFETs se pueden expresar, de forma general, según la ecuación 4.13. Nuevamente, se identifica una componente de pérdidas P_{CDAB} debida a la conducción de los MOSFETs independiente de f_{SDAB} y otra componente ligada al proceso de conmutación que es proporcional a f_{SDAB} con un coeficiente K_{SDAB} .

$$P_{QDAB} = P_{CDAB} + K_{SDAB} f_{SDAB}. \quad (4.13)$$

Los parámetros P_{CDAB} y K_{SDAB} se puede calcular según las ecuaciones 4.14 y 4.15 en función de variables eléctricas del reductor y los parámetros de Q_{pn} y Q_{sn} .

$$P_{CDAB} = 4(I_{Qpn\ ef}^2 R_{dsonQp} + I_{Qsn\ ef}^2 R_{dsonQs}), \quad (4.14)$$

donde $I_{Qpn\ ef}$ e $I_{Qsn\ ef}$ son las corrientes eficaces que circulan por Q_{pn} y Q_{sn} respectivamente y R_{dsonQp} y R_{dsonQs} son las resistencias de encendido de estos MOSFETs. Las expresiones de las corrientes eficaces y su obtención se detallan en el Anexo C.

$$K_{SDAB} = 4(E_{OFFQP} + Q_{gsQP} V_{dr} + E_{OFFQS} + Q_{gsQS} V_{dr}), \quad (4.15)$$

donde E_{OFFQP} y E_{OFFQS} son las energías de apagado de los MOSFETs y Q_{gsQP} y Q_{gsQS} son las cargas que se deben inyectar a sus puertas cuando se gobiernan con una tensión V_{dr} entre puerta y fuente.

Pérdidas en el transformador. Las pérdidas P_{tx} en este componente magnético se pueden dividir, al igual que en la inductancia del reductor, en dos componentes:

- Las pérdidas en el núcleo, P_{cotx} , se pueden aproximar utilizando la ecuación de Steinmetz [184]. Sin embargo, debido a la gran componente de alterna de la corriente i_{Lk} , resulta más apropiado utilizar una variación, la ecuación de Steinmetz modificada [249]. Los valores de K_e , V_e , α y β son constantes que dependen del núcleo y el material magnético escogidos.

$$P_{cotx} = K_e V_e \left(\frac{8}{\pi}\right)^{\alpha-1} f_{SDAB}^\alpha B_p^\beta. \quad (4.16)$$

Nuevamente, la expresión obtenida en la ecuación 4.16 no depende únicamente de f_{SDAB} sino también de múltiples variables de diseño. La máxima componente de CA de la densidad de flujo magnético B_p en un transformador se puede calcular según la ecuación 4.17 [139].

$$B_p = \frac{L_m I_{Lmm\acute{a}x}}{N_p A_e}, \quad (4.17)$$

donde N_p es el número de vueltas del devanado primario, A_e es el área equivalente del núcleo escogido e $I_{Lmm\acute{a}x}$ es la máxima corriente magnetizante referida al primario del transformador:

$$I_{Lmm\acute{a}x} = \acute{m}ax\{|I_{p1} - I_{s1}'|, |I_{p2} - I_{s2}'|\} \quad (4.18a)$$

$$I_{Lm\text{máx}} = \frac{1}{f_{SDAB} L_m} \frac{k}{4\pi(2k + \frac{1}{2})} \text{máx} \left\{ \left| V_i \pi - \frac{V_{\text{bus}}}{N} (2|\varphi| - \pi) \right|, \left| V_i (2|\varphi| - \pi) - \frac{V_{\text{bus}}}{N} \pi \right| \right\}. \quad (4.18b)$$

Sustituyendo en la ecuación 4.16 se obtiene una expresión análoga a la de la inductancia del reductor:

$$P_{\text{cotx}} = K_{\text{cotx}} f_{SDAB}^{\alpha-\beta} N_p^{-\beta}, \quad (4.19)$$

donde K_{cotx} es un coeficiente definido por la ecuación 4.20 como:

$$K_{\text{cotx}} = K_e V_e \left(\frac{8}{\pi} \right)^{\alpha-1} \left(\frac{k \text{máx} \left\{ \left| V_i \pi - \frac{V_{\text{bus}}}{N} (2|\varphi| - \pi) \right|, \left| V_i (2|\varphi| - \pi) - \frac{V_{\text{bus}}}{N} \pi \right| \right\}}{4\pi A_e (2k + \frac{1}{2})} \right)^{\beta}. \quad (4.20)$$

- Para el cálculo de las pérdidas en el devanado, P_{cutx} , no es posible utilizar únicamente la resistencia de CC como en el caso del reductor. Debido a que la corriente i_{Lk} presenta un rizado elevado, es necesario calcular o aproximar R_{catx} , la resistencia equivalente de los devanados considerando los efectos de alta frecuencia. Ésta se estima como la resistencia de CC, asumiendo que cada uno de los dos devanados ocupa la mitad del área de ventana y aplicando un factor de escala K_{rp} para considerar el incremento de pérdidas debido a los efectos de alta frecuencia. Según [259], el valor de K_{rp} se puede estimar, en general, como 1,275. La ecuación 4.21 muestra el cálculo de R_{catx} en función de las características del núcleo magnético escogido [139].

$$R_{\text{catx}} = K_{rp} \frac{4l_m}{\sigma_{cu} A_w f_w} N_p^2, \quad (4.21)$$

donde l_m es la longitud media por vuelta en el carrete escogido, σ_{cu} la conductividad del cobre, A_w el área total de ventana disponible y f_w el factor de aprovechamiento de la misma. La expresión completa de las pérdidas en el devanado es entonces:

$$P_{\text{cu}} = I_{p\text{ef}}^2 R_{\text{catx}} = K_{\text{cutx}} N_p^2, \quad (4.22)$$

donde $I_{p\text{ef}}$ es la corriente eficaz que circula por el devanado primario del transformador y K_{cutx} se define según la ecuación 4.23.

$$K_{\text{cutx}} = K_{rp} \frac{4l_m}{\sigma_{cu} A_w f_w} I_{p\text{ef}}^2 \quad (4.23)$$

Nuevamente, la expresión obtenida para las pérdidas totales del transformador es muy semejante a la obtenida para la inductancia del reductor y dependiente de N_p y f_{SDAB} .

$$P_{\text{tx}} = P_{\text{cutx}} + P_{\text{cotx}} = K_{\text{cutx}} N_p^2 + K_{\text{cotx}} f_{SDAB}^{\alpha-\beta} N_p^{-\beta}. \quad (4.24)$$

El valor de N_p se escoge ahora atendiendo a tres posibles factores: el número óptimo, el mínimo para evitar saturación y el mínimo para asegurar que es fabricable.

Inicialmente, parece lógico escoger un número de vueltas N_p que minimice las pérdidas del transformador, de la misma manera que en la inductancia del reductor. Minimizando

P_{tx} en la ecuación 4.24 se obtiene el siguiente valor de N_p que optimiza el diseño del transformador:

$$N_p = \left(\frac{\beta K_{cotx} f_{SDAB}^{\alpha-\beta}}{2K_{cutx}} \right)^{\frac{1}{2+\beta}} = K_{ntx} f_{SDAB}^{\frac{\alpha-\beta}{2+\beta}}, \quad (4.25)$$

donde K_{ntx} es un factor de escala definido por la ecuación 4.26.

$$K_{ntx} = \left(\frac{\beta K_{cotx}}{2K_{cutx}} \right)^{\frac{1}{2+\beta}}. \quad (4.26)$$

En ese caso, las pérdidas totales P_{totDAB} se pueden expresar como:

$$P_{totDAB} = P_{QDAB} + P_{tx} = P_{CDAB} + K_{SDAB} f_{SDAB} + (K_{cutx} K_{ntx}^2 + K_{cotx} K_{ntx}^{-\beta}) f_{SDAB}^{2\frac{\alpha-\beta}{2+\beta}}. \quad (4.27)$$

Y la frecuencia óptima $f_{SDABopt}$ viene dada por la ecuación 4.28.

$$f_{SDABopt} = \left(\frac{K_{SDAB}}{2(K_{cutx} K_{ntx}^2 + K_{cotx} K_{ntx}^{-\beta}) \frac{\beta-\alpha}{2+\beta}} \right)^{\frac{2+\beta}{2\alpha-3\beta-2}}. \quad (4.28)$$

Una vez obtenido el número de vueltas óptimo, es necesario asegurar también que el núcleo del transformador no se satura implementando el devanado con un número mínimo de vueltas N_{pmin} [139]:

$$N_{pmin} = \frac{1}{f_{SDAB}} \frac{1}{B_{max}} \frac{k \max \left\{ \left| V_i \pi - \frac{V_{bus}}{N} (2|\varphi| - \pi) \right|, \left| V_i (2|\varphi| - \pi) - \frac{V_{bus}}{N} \pi \right| \right\}}{4\pi A_e (2k + \frac{1}{2})}. \quad (4.29)$$

Puesto que se busca evitar saturación en el caso peor, es necesario utilizar el valor máximo de i_{Lm} . Como se vio en la sección 4.2.2, éste se da cuando φ es nulo.

$$N_{pmin} = \frac{1}{f_{SDAB}} \frac{k \left(V_i - \frac{V_{bus}}{N} \right)}{4\pi A_e B_{max} (2k + \frac{1}{2})} = \frac{K_{mintx}}{f_{SDAB}}. \quad (4.30)$$

Una vez más, la expresión es análoga a la del reductor, proporcionando las pérdidas totales P_{totDAB} mostradas en la ecuación 4.31.

$$P_{totDAB} = P_{CDAB} + K_{SDAB} f_{SDAB} + K_{cutx} K_{mintx}^2 f_{SDAB}^{-2} + K_{cotx} K_{mintx}^{-\beta} f_{SDAB}^{\alpha}. \quad (4.31)$$

Para obtener la frecuencia de conmutación mínima $f_{SDABmin}$ que evita la saturación del núcleo es necesario minimizar la ecuación 4.31, obteniendo la expresión mostrada en la ecuación 4.32 que debe ser resuelta de forma numérica.

$$K_{SDAB} f_{SDABmin}^3 + \frac{K_{cotx} \alpha f_{SDABmin}^{\alpha+2}}{K_{mintx}^{\beta}} - 2K_{cutx} K_{mintx}^2 = 0. \quad (4.32)$$

Finalmente, se debe asegurar que el valor deseado de la inductancia de dispersión L_k se puede conseguir en el núcleo seleccionado usando la implementación con devanados apilados escogida en la sección 4.3 y mostrada en la Fig. 4.16. En ella, los devanados ocupan aproximadamente todo el ancho de ventana B_w y están separados una cierta distancia vertical d_s , mucho menor que la altura total de la ventana H_w . Según [248], el valor de L_k con esta implementación se puede estimar con la siguiente expresión:

$$L_k = \frac{\mu_o l_m (2d_s + H_w)}{3B_w} N_p^2, \quad (4.33)$$

donde μ_o es la permeabilidad magnética del vacío. Asumiendo, por ejemplo, que la separación entre devanados d_s no puede superar un valor de $0,1H_w$ para tener un buen aprovechamiento de la ventana, el máximo valor de L_k que se puede obtener para un determinado núcleo viene dado por la ecuación 4.34.

$$L_{k\text{máx}} = \frac{6\mu_o l_m H_w}{15B_w} N_p^2. \quad (4.34)$$

Sustituyendo $L_{k\text{máx}}$ con la expresión de la ecuación 4.10 y despejando N_p , se obtiene la siguiente ecuación para calcular el número mínimo de vueltas $N_{p\text{fab}}$ requerido para poder obtener la L_k deseada con la implementación escogida.

$$N_{p\text{fab}} = \sqrt{\frac{1}{f_{\text{SDAB}}}} \sqrt{\frac{5B_w \varphi_{\text{máx}} (\pi - \varphi_{\text{máx}}) V_i V_{\text{bus}} k}{2\pi^2 \mu_o l_m H_w N P_{\text{DAB}} (2k + 1)}} = \sqrt{\frac{K_{\text{fabtx}}}{f_{\text{SDAB}}}}. \quad (4.35)$$

Ahora las pérdidas totales P_{totDAB} vienen dadas por la ecuación 4.36.

$$P_{\text{totDAB}} = P_{\text{CDAB}} + K_{\text{SDAB}} f_{\text{SDAB}} + K_{\text{CUTX}} K_{\text{fabtx}} f_{\text{SDAB}}^{-1} + K_{\text{COTX}} K_{\text{fabtx}}^{\frac{-\beta}{2}} f_{\text{SDAB}}^{\alpha - \frac{\beta}{2}}. \quad (4.36)$$

Para obtener la frecuencia de conmutación mínima f_{SDABfab} que evita la saturación del núcleo es necesario minimizar la ecuación 4.36, obteniendo la expresión mostrada en la ecuación 4.37 que debe ser resuelta de forma numérica.

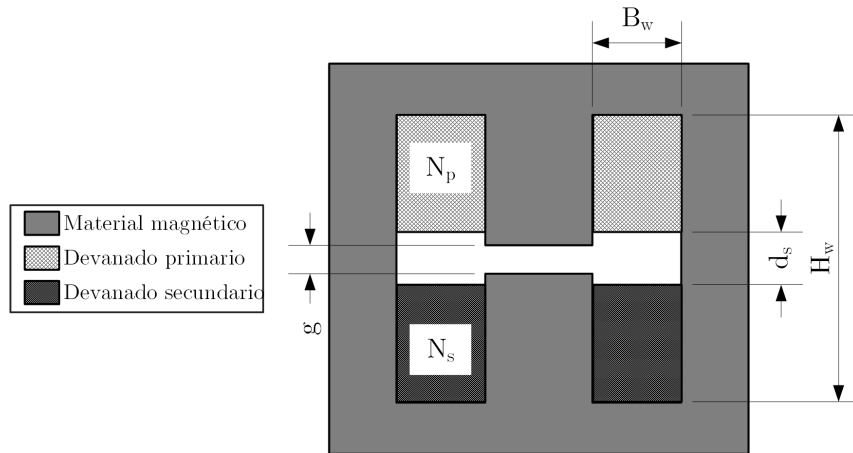


Figura 4.16: Definición de dimensiones en la implementación del transformador con devanados apilados.

$$K_{SDAB} f_{SDABfab} + \frac{K_{COTX} \left(\alpha - \frac{\beta}{2} \right) f_{SDABfab}^{\alpha - \frac{\beta}{2}}}{K_{fABTX}^{\frac{\beta}{2}}} - K_{CUTX} K_{fABTX} f_{SDABfab}^{-1} = 0. \quad (4.37)$$

Una vez conocidas las frecuencias $f_{SDABopt}$, $f_{SDABmin}$ y $f_{SDABfab}$ se pueden calcular los valores de N_p , N_{pmin} y N_{pfab} , que se deben redondear al entero más próximo por exceso. En función de los resultados obtenidos se escoge:

- Si N_p es el mayor de los tres valores, se puede diseñar el transformador óptimo, con un número de vueltas en el primario N_p y la frecuencia de conmutación del DAB será $f_{SDABopt}$.
- Si N_{pmin} es el mayor de los tres valores, el número de vueltas en el primario será N_{pmin} para evitar la saturación del transformador y la frecuencia de conmutación será $f_{SDABmin}$.
- Si N_{pfab} es el mayor de los tres valores, el transformador se debe implementar con N_{pfab} vueltas en el primario para poder obtener la L_k deseada y la frecuencia de conmutación será $f_{SDABfab}$.

Con el cálculo de la frecuencia de conmutación más apropiada para minimizar las pérdidas del DAB resuelto, es posible plantear un algoritmo de diseño análogo al propuesto para el convertidor reductor.

4.4.3 Descripción del algoritmo de diseño

El algoritmo de diseño del DAB se puede automatizar siguiendo el diagrama de flujo mostrado en la Fig. 4.17. El algoritmo propuesto en este caso tiene que ser iterativo, puesto que no se conoce a priori el valor de k necesario ni el valor real de N , limitado por la implementación real del transformador. Los pasos a seguir para realizar el diseño optimizado del DAB son los siguientes:

Condiciones iniciales de diseño. En primer lugar, es necesario fijar un pequeño conjunto de condiciones iniciales de diseño. Estas incluyen:

- Las características eléctricas del DAB, definidas en el Capítulo 2, que son:
 - La tensión de entrada V_i .
 - La tensión de salida V_{bus} .
 - La potencia nominal P_{DAB} .
 - La máxima variación instantánea de la corriente de salida ΔI_{bus} .
- Los requisitos de calidad de suministro definidos en la sección 4.4.2:
 - La máxima variación estática de la tensión de salida ΔV_{busp} .
 - La máxima variación de la tensión de salida durante el máximo transitorio de carga permitido ΔV_{bust} .
- El valor de $\varphi_{m\acute{a}x}$ deseado para el DAB.

También es necesario fijar un valor tentativo para k y N :

- El valor inicial de k será inicialmente alto, para reducir en la medida de lo posible la corriente i_{Lm} . En este trabajo se han identificado de valores iniciales de entre 50 y 20 proporcionan diseños adecuados con buena convergencia y un número reducido de iteraciones.
- Para N se escoge inicialmente el valor ideal que maximiza el rango de potencias en que se obtiene ZVS [132], [232].

Cálculo de los esfuerzos eléctricos de los componentes. Siguiendo los desarrollos mostrados en el Anexo C es posible calcular los valores de las corrientes máximas y eficaces que circulan por los MOSFET Q_{pn} y Q_{sn} y los devanados del transformador. Estos solo dependen de la potencia procesada y las características eléctricas del DAB, pero son independientes de f_{SDAB} y la inductancia de dispersión L_k .

Selección de los MOSFETs y el núcleo magnético. A partir de los esfuerzos eléctricos calculados en el paso anterior es posible escoger componentes adecuados para la implementación del DAB.

Por una parte es necesario seleccionar dos modelos de MOSFET apropiados para la implementación de los dos puentes completos del DAB. Estos deben tener una capacidad de soportar tensión y una R_{dson} adecuadas. Como se comentó anteriormente, los esfuerzos eléctricos se reparten equitativamente entre los cuatro transistores de cada puente, por lo que se usa un mismo modelo para los cuatro Q_{pn} y otro para los cuatro Q_{sn} .

Para la selección del núcleo magnético se pueden utilizar los métodos descritos en [183]. Es importante tener en cuenta en este caso que los núcleos con una ventana más alta que ancha ($H_w > B_w$) permiten obtener valores elevados de L_k con mayor facilidad [248]. Al igual que en el caso del convertidor reductor, la selección final dependerá fuertemente del volumen disponible, el presupuesto y el factor de forma preferido.

Cálculo de $f_{SDABopt}$. Una vez se han determinado los posibles puntos de trabajo del DAB y se conocen todas las características de los MOSFETs y el núcleo magnético escogidos, se determina la frecuencia de conmutación más adecuada. Para ello, se utilizan las ecuaciones 4.28, 4.32 y 4.37 y el criterio descrito en la sección anterior.

En este paso también se calcula el número real de vueltas en el devanado primario del transformador N_p que minimiza las pérdidas del DAB y asegura que se puede fabricar sin saturar su núcleo magnético.

Cálculo de pérdidas y primera comprobación de diseño. Conociendo $f_{SDABopt}$, se pueden utilizar las ecuaciones 4.13 y 4.24 para estimar las pérdidas en los MOSFETs y el transformador respectivamente. En función de los objetivos de eficiencia y la temperatura máxima que pueden alcanzar estos elementos, estas pérdidas podrían resultar demasiado elevadas y requerir la selección de componentes distintos.

Cálculo de N_{nuevo} y k_{nuevo} . Con el valor de $f_{SDABopt}$ validado, se realiza el diseño del transformador. En primer lugar se calcula el número entero de vueltas del devanado secundario N_s , a partir de N_p y N utilizando la ecuación 4.38.

$$N_s = \lfloor NN_p \rfloor. \quad (4.38)$$

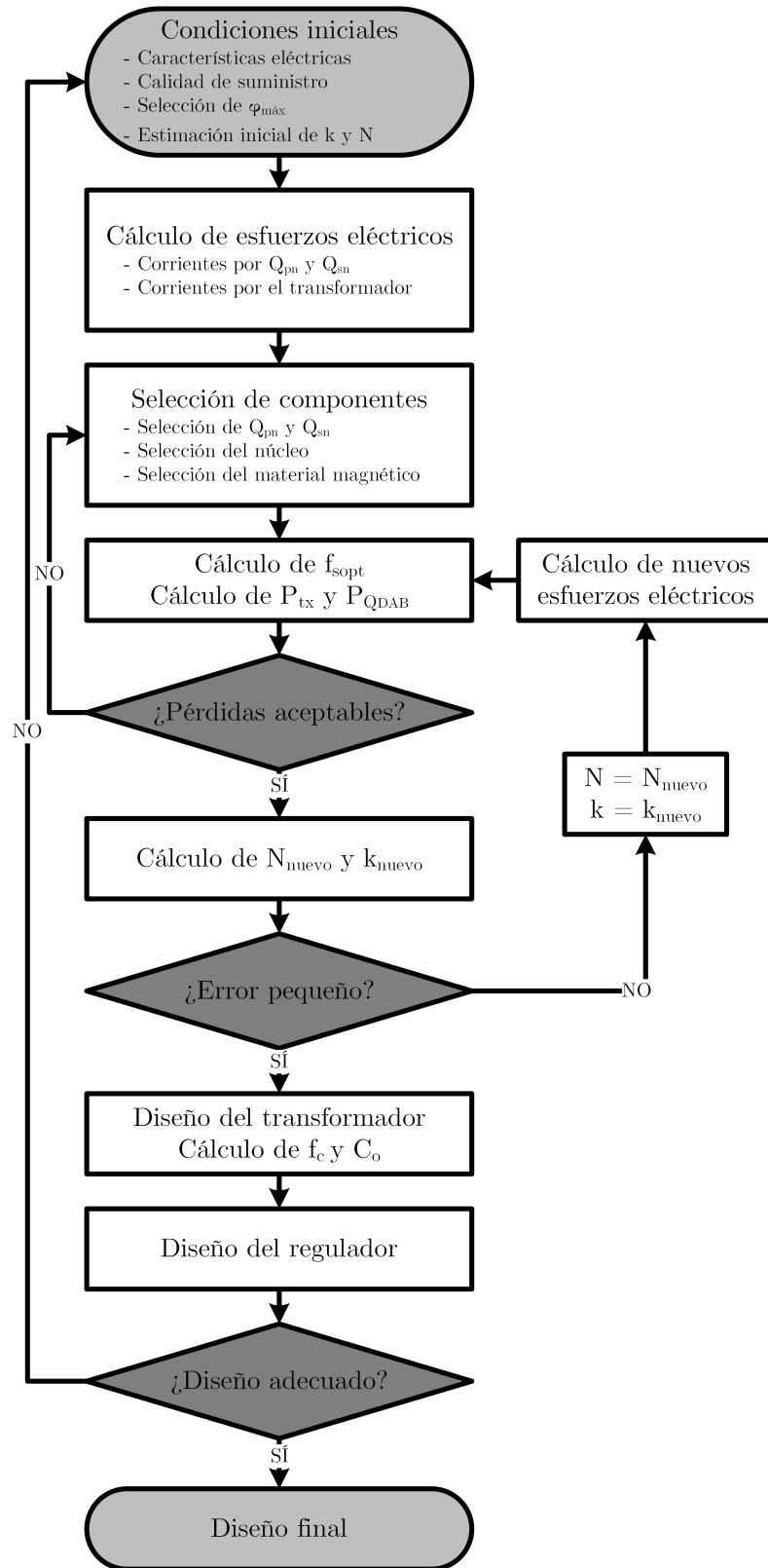


Figura 4.17: Diagrama de flujo simplificado del algoritmo de diseño del DAB.

El redondeo aplicado a N_s para obtener un número entero de vueltas hace además que la relación de transformación real N_{nuevo} definida por la ecuación 4.39 pueda ser ligeramente distinta que la relación de transformación N seleccionada inicialmente y utilizada para los cálculos realizados en los pasos anteriores.

$$N_{nuevo} = \frac{N_p}{N_s}. \quad (4.39)$$

Para calcular el valor requerido de L_k se sustituye N_{nuevo} en la ecuación 4.10:

$$L_k = \frac{2k}{2k + \frac{1}{2}} \frac{\varphi_{m\acute{a}x}(\pi - \varphi_{m\acute{a}x})V_i V_{bus}}{2\pi^2 N_{nuevo} P_{DAB} f_{SDAB}}. \quad (4.40)$$

Con el valor de L_k obtenido, se calcula el nuevo valor de k (k_{nuevo}) utilizando las ecuaciones 4.7, 4.8 y 4.9.

Segunda comprobación de diseño. Si los valores obtenidos para N_{nuevo} y k_{nuevo} son muy semejantes a N y k , se puede asumir que el error cometido en las estimaciones iniciales es pequeño y no es necesario realizar más iteraciones.

Sin embargo, si el error de cualquiera de los dos es muy distinto del valor estimado al principio de la iteración, es necesario volver a calcular los esfuerzos eléctricos y los coeficientes de pérdidas usando los valores obtenidos de N_{nuevo} y k_{nuevo} hasta que el resultado converja.

Diseño del transformador y cálculo de los condensadores. Una vez se ha obtenido un valor definitivo para $f_{SDABopt}$, L_k , N_p , N_s y k , es posible concretar el diseño del transformador para el núcleo magnético escogido:

- El espaciado entre los devanados se calcula despejando d_s en la ecuación 4.33.
- La inductancia magnetizante L_m se calcula según la ecuación 4.2.
- El entrehierro necesario para obtener el valor requerido de L_m se calcula siguiendo el desarrollo realizado en [139]. Al igual que en el caso del reductor, si el entrehierro es demasiado grande, podría ser necesario seleccionar un núcleo o un material distinto para evitar incrementar fuertemente las pérdidas debido al efecto borde [183], que no ha sido considerado en los modelos de pérdidas.

Una vez comprobado que el diseño es factible, se puede calcular el máximo valor del ancho de banda del lazo de regulación f_{CDAB} como $0,2f_{SDAB}$, usando las mismas limitaciones sobre el máximo ancho de banda teórico que en el caso del reductor. Conociendo f_{CDAB} , se tiene toda la información necesaria para calcular el valor de C_{ODAB} necesario con la ecuación 4.11 y seleccionar condensadores apropiados para su implementación.

Finalmente, se puede calcular el valor del condensador de entrada C_i necesario para limitar el rizado de la tensión de entrada con la ecuación 4.12.

Diseño del regulador con control en modo tensión. Una vez determinado el diseño de la etapa de potencia del DAB, se debe decidir cómo realizar la implementación digital del circuito de control. Este debe permitir la conmutación a f_{SDAB} y proporcionar una medida de la tensión v_{bus} lo suficientemente precisa para cumplir con los requisitos de calidad de suministro impuestos en la sección 4.4.2. Nuevamente, el diseñador debe escoger los

componentes con los que implementar este control en función de presupuesto, tiempos de desarrollo y experiencia con las distintas plataformas disponibles.

La implementación de este control y sus peculiaridades se analizan en detalle en la sección 4.6.

Comprobación del diseño realizado. Con el DAB diseñado por completo, se comprueba que cumple con todos los requisitos impuestos además de los objetivos mínimos de eficiencia, volumen y precio.

Al igual que en el caso del reductor, el algoritmo propuesto minimiza las pérdidas a plena carga. Si se conociese el perfil de carga real, sería posible optimizar la eficiencia en el punto de trabajo más frecuente con solo adaptar los parámetros de los modelos de pérdidas a ese punto de operación.

4.5 Ejemplo de diseño

El diseño del DAB que se integra en el PdB se realiza siguiendo el algoritmo propuesto en la sección anterior. Las características eléctricas y las especificaciones de calidad de suministro fijadas en el Capítulo 2 y la sección 4.4.2 se resumen en la Tabla 4.1

4.5.1 Primer diseño

Con las condiciones iniciales establecidas se realiza un primer diseño del DAB. El valor de $\varphi_{\text{máx}}$ se fija en 45° , obteniendo un buen compromiso entre linealidad, corriente reactiva y resolución en el controlador digital.

Para la implementación Q_{pn} se utiliza el STW18N60DM2 de ST Microelectronics. Este es un MOSFET de 600 V, 12 A y una R_{dson} de 260 m Ω que está especialmente pensado para topologías con puentes completos que operan en ZVS. En el puente secundario, Q_{sn} se implementa con el IRFB3806PbF de Infineon, de 60 V, 43 A y una R_{dson} de 15,8 m Ω .

El núcleo magnético escogido es un RM14. Su valor de área-producto es adecuado para esta aplicación y su formato proporciona una gran área equivalente A_e en un volumen relativamente pequeño. Al igual que en el reductor, se utiliza el material N97 de EP-COS [188]. Aunque se podría utilizar carretes comerciales, con o sin separador entre los devanados [239], se opta por realizar impresiones 3D del mismo en resina. De esta forma, se asegura conseguir la L_k deseada sin tener que reajustar el diseño.

Una vez seleccionados los componentes, es posible calcular f_{sDABopt} . La frecuencia que minimiza las pérdidas según la ecuación 4.28 es de tan solo 29,19 kHz. Aunque el transformador

Tabla 4.1: Características eléctricas y especificaciones de calidad de suministro del DAB.

Parámetro	Valor	Parámetro	Valor
V_i (V)	380	Δv_{busp} (mV)	240
V_{bus} (V)	48	Δv_{bust} (V)	2,4
P_{DAB} (W)	± 500	ΔI_{bus} (A)	$\pm 2,08$

no satura a esa frecuencia, no es posible conseguir la L_k requerida utilizando la técnica propuesta en la sección 4.3 con un buen aprovechamiento de la ventana. La f_{SDAB} que minimiza las pérdidas permitiendo una fabricación eficiente del transformador es de 94,1 kHz.

Las ecuaciones 4.13 y 4.16 proporcionan una estimación de pérdidas de 9,89 W repartidas entre los ocho MOSFETS y de 1,97 W en el transformador. Aunque en este caso los circuitos auxiliares de mando y regulación tienen una alimentación externa, se deben tener en cuenta las pérdidas de unos 0,32 W debidas a los conectores utilizados. Las pérdidas totales del DAB a plena carga suman 12,17 W, obteniendo una eficiencia teórica de un 97,6 %.

El valor de L_k correspondiente a un $\varphi_{m\acute{a}x}$ de 45° a la $f_{SDABopt}$ obtenida es de 271,2 μ H. Con los MOSFETS escogidos, el valor de k que asegura la operación con ZVS en todo el rango de potencias es de 4,72, lo que se corresponde con una L_m de 1,28 mH. Con el núcleo seleccionado, N_p son 55 vueltas, N_s son 7 vueltas y se necesita un entrehierro de 0,55 mm y una separación entre devanados d_s de 1,28 mm. Puesto que estos valores son razonables, se puede continuar con el diseño.

Como se ha comentado anteriormente, la máxima f_{CDAB} teórica que se puede obtener es de $0,2f_{SDAB}$, lo que en este diseño es igual a 18,8 kHz. Utilizando la ecuación 4.11:

- Para $C_{ODAB}(\Delta v_{busp})$ se obtiene 8,76 μ F.
- Para $C_{ODAB}(\Delta v_{bust})$ se obtiene 5,26 μ F.

En el prototipo, C_{ODAB} tiene un valor de 10 μ F por ser un valor que resulta más sencillo de implementar con el material disponible y que cumple con ambos requisitos. Para la implementación de C_i se colocan varios condensadores en paralelo con un valor total de 3 μ F, que está por encima del mínimo necesario de 1,14 μ F.

Finalmente, el control se implementa con una plataforma Digilent CMOD S6 con una FPGA Xilinx Spartan-6 LX4 [260] y un conversor analógico-digital AD7278 de Analog Devices con 8 bits de resolución. Esta solución se programa para permitir la operación en lazo abierto o en lazo cerrado con un regulador tipo II.

4.5.2 Corrección del diseño

Cuando se prueba el primer diseño se detecta que la estimación de la R_{CATX} del transformador era demasiado optimista. En la práctica, las pérdidas en los devanados, especialmente el secundario, son mucho mayores de lo esperado y la temperatura que alcanzan demasiado alta. El valor de K_{rp} de 1,275 recomendado por [259] es apropiado para diseños de transformador tradicionales, donde típicamente se pueden colocar los devanados en una o dos capas. Sin embargo, debido a la integración de L_k en el transformador utilizando devanados apilados con separación vertical obliga a la implementación de los devanados en un número relativamente alto de capas. Esto incrementa significativamente las pérdidas en el devanado debido al efecto proximidad.

Idealmente se debería optar por un devanado helicoidal que utiliza láminas planas de cobre. Esta solución permite implementar el devanado secundario con una baja R_{CC} , en una sola capa y aprovechando el área de ventana sin penalizar significativamente la R_{CATX} por efecto pelicular [261]. Sin embargo, su compleja fabricación hace que sea una opción poco práctica para su construcción en el laboratorio por requerir equipamiento específico para manipular el cobre.

Para tener en cuenta que el efecto proximidad es peor de lo esperado inicialmente, se repite el proceso de diseño utilizando un valor de K_{rp} más alto. A partir de las medidas

Tabla 4.2: Parámetros principales de los dos diseños del DAB.

Parámetro	Primer diseño	Segundo diseño
f_{SDAB} (kHz)	94,1	123,9
L_k (μH)	217,2	206,1
L_m (μH)	1281	720,6
k	4,72	3,497
N_p	55	48
N_s	7	6
L (mm)	0,55	0,76
d_s (mm)	1,28	1,25
$C_{\text{ODAB}}(\Delta v_{\text{busp}})$ (μF)	8,76	7,26
$C_{\text{ODAB}}(\Delta v_{\text{bust}})$ (μF)	5,26	2,38
$C_{\text{ODAB}}(\text{real})$ (μF)	10,0	10,0
$C_i(\text{mínimo})$ (μF)	1,14	0,89
$C_i(\text{real})$ (μF)	3,0	3,0
P_{tx} (W)	1,97 ¹	2,54
P_{QDAB} (W)	9,89	11,33
P_{aux} (W)	0,32	0,32
P_{totDAB} (W)	12,17	14,10

del transformador y la eficiencia en distintos puntos de trabajo, parece apropiado utilizar un K_{rp} de 2,25. Los resultados de este nuevo diseño se resumen en la Tabla 4.2, junto con los resultados del primer diseño.

Se puede ver que el principal efecto de considerar las mayores pérdidas en el transformador es un ligero incremento en el valor de f_{SDABopt} . Esto permite disminuir el número de vueltas requerido para la implementación del transformador y reducir ligeramente sus pérdidas a costa de incrementar las correspondientes a los MOSFETs. Puesto que los valores obtenidos para el segundo diseño siguen siendo razonables, se usan sus especificaciones para construir un prototipo y validar el algoritmo propuesto.

4.5.3 Resultados experimentales

En primer lugar, el prototipo de DAB construido y mostrado en la Fig. 4.18 se hace funcionar en lazo abierto en diferentes puntos de carga. De esta forma se puede verificar la correcta operación en ZVS del convertidor en todo el rango de potencias y ajustar la duración de los tiempos muertos en función de la potencia procesada para asegurar la conmutación suave sin extenderlos en exceso ni penalizar la eficiencia [262]. Para asegurar que el DAB siempre opera con el tiempo muerto idóneo, se automatiza su duración en función del desfase φ aplicado implementando una tabla *look-up table* en la FPGA.

En la Fig. 4.19 se pueden ver las principales formas de onda del DAB en diferentes puntos de operación. Puesto que se comprueba que los tiempos muertos y las corrientes mínimas para conseguir ZVS son más críticos en el puente primario que en el secundario, como se preveía en [228], las formas de onda mostradas son la tensión drenador fuente del MOSFET Q_{p4} (CH1), la tensión de salida del DAB v_{bus} (CH2), la corriente que entra al transformador desde el puente primario i_p (CH3) y la tensión puerta fuente del MOSFET Q_{p4} (CH4).

¹Pérdidas teóricas con un K_{rp} de 1,275. Las pérdidas reales son sustancialmente mayores.

En la Fig. 4.19(a) se muestran estas formas de onda con el convertidor operando a plena carga. La corriente circulante durante los tiempos muertos del puente primario (I_{p1}) es relativamente alta en este punto de operación. Por esta razón, la redistribución de las cargas en los condensadores parásitos C_p es muy rápida y se obtiene ZVS con tiempos muertos muy reducidos. Durante estos pequeños intervalos se puede ver además en i_p la resonancia entre las capacidades parásitas C_p y la inductancia de dispersión L_k .

El escenario de la Fig. 4.19(b) es un ejemplo de que el procedimiento propuesto para extender el rango de ZVS también funciona cuando el DAB opera en modo sumidero, procesando en este caso -300 W. Nuevamente, la conmutación es suave y I_{p1} muestra una pequeña resonancia aunque su duración es lo suficientemente grande como para permitir tiempos muertos cortos.

La Fig. 4.19(c) muestra las formas de onda del peor escenario de operación para conseguir ZVS, cuando el DAB no procesa netamente potencia. En este caso, la conmutación del puente secundario se produce durante el tiempo muerto del primario e i_p es esencialmente igual que i_{Lm} [228]. En la figura se puede ver claramente cómo el menor valor de I_{p1} hace necesario un tiempo muerto sustancialmente más largo que en los escenarios anteriores para alcanzar ZVS pero es lo suficientemente grande como para que la resonancia que se puede ver en i_p sea capaz de redistribuir completamente las cargas almacenadas en los condensadores parásitos C_p .

Además de comprobar que se consigue conmutación suave, en los tres escenarios se tiene un rizado estático de tensión Δv_{busp} significativamente menor que el límite, puesto que el condensador C_{ODAB} utilizado es casi un 50 % mayor de lo necesario para cumplir los requisitos de la Tabla 4.1.

Finalmente, se mide la eficiencia del DAB en diferentes puntos de operación y se compara con el resultado teórico obtenido con los modelos de pérdidas. En la Fig. 4.20 se muestra una comparación entre la eficiencia medida sobre el prototipo y la que se estima con los modelos de pérdidas utilizados en el proceso de diseño. La diferencia entre ambas está en el entorno de un 2 % de eficiencia en todo el rango de potencias, siendo ligeramente mayor a plena carga.

Analizando el prototipo se observa que el incremento de temperatura de los MOSFETs tanto en el puente primario como en el secundario es ligeramente inferior al estimado con el valor

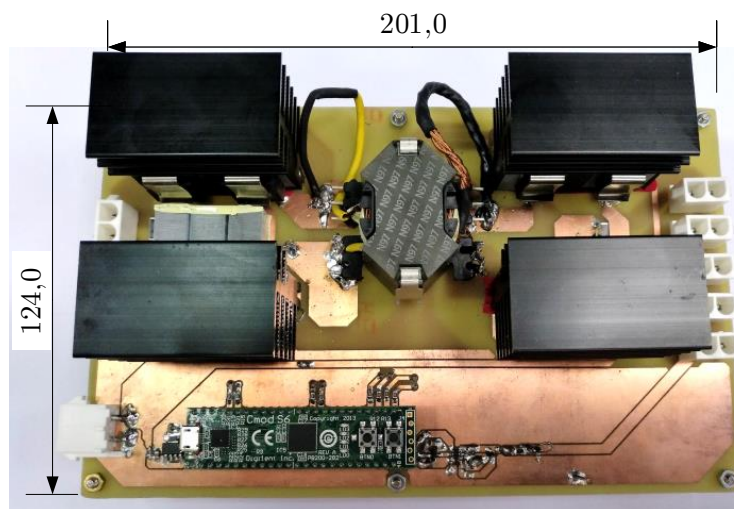
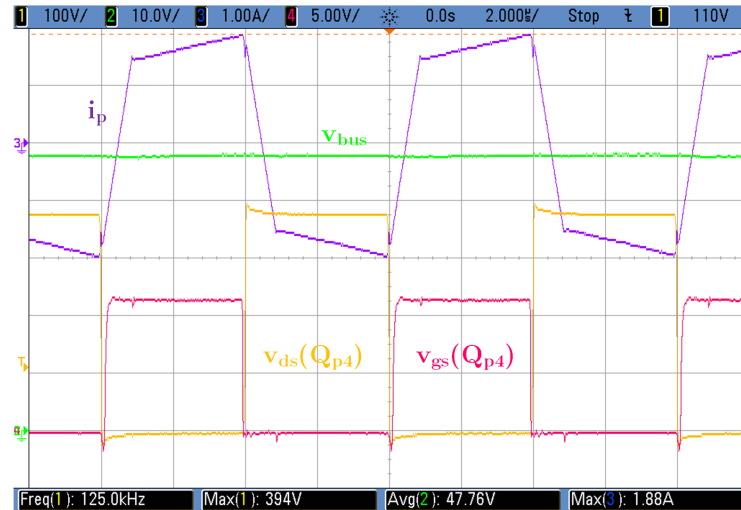


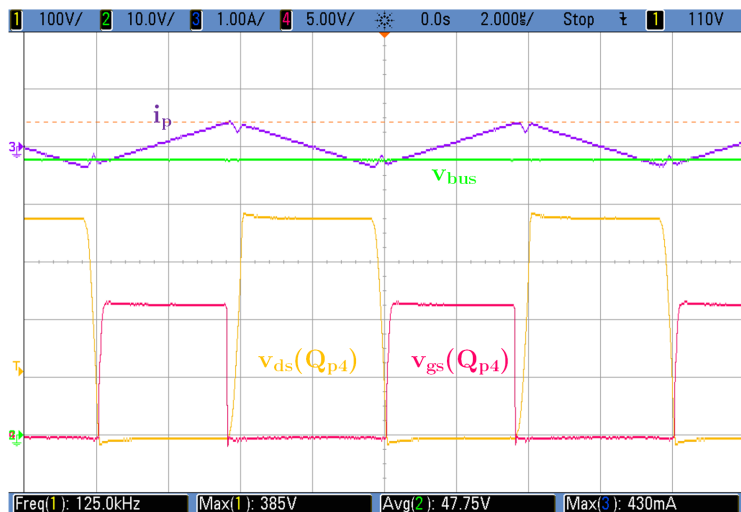
Figura 4.18: Prototipo del *Dual Active Bridge*.



(a)



(b)



(c)

Figura 4.19: Formas de onda del DAB en diferentes escenarios: (a) procesando 500 W (b) procesando -300 W (c) procesando 0 W. Escala de tiempos: $2 \mu\text{s}/\text{div}$.

de pérdidas proporcionado por el modelo teórico. Esto confirma la validez de este modelo de pérdidas en los transistores. Sin embargo, la temperatura en el transformador es mucho más elevada de lo esperado, especialmente cuando el DAB procesa potencias moderadas y altas. Este efecto es aún más acusado en el devanado secundario, cuya temperatura llega a alcanzar los 120 °C cuando el DAB procesa ± 500 W.

La discrepancia en las medidas y el fuerte incremento de temperatura hace pensar que el modelo sencillo de pérdidas utilizado para el transformador no es lo suficientemente preciso como para estimar correctamente sus pérdidas en una situación tan compleja:

- Los dos devanados se implementan con hilo trenzado manualmente, utilizando 20 hilos AWG36 en el primario y 125 hilos AWG34 en el secundario. Factores como el periodo espacial de rotación de los hilos, su asociación en grupos o el número de hilos en cada uno de ellos tienen una gran influencia sobre el incremento de la R_{CATX} debido a las componentes de alta frecuencia [263].
- El devanado secundario cuenta con tan solo seis vueltas con un hilo trenzado relativamente grueso. Los efectos de la primera y última vuelta, que no se pueden colocar perfectamente paralelas al resto del devanado, son difíciles de modelar con las técnicas tradicionales [264].
- El flujo disperso que se encuentra en la separación vertical entre los dos devanados podría causar un incremento de la R_{CATX} semejante al que aparece por el efecto borde [218].
- La temperatura alcanzada con este prototipo y la eficiencia medida es mejor que las obtenidas con el primer diseño. Utilizar un valor de K_{rp} más elevado que tenga en cuenta todos estos mecanismos de pérdidas asociados a las componentes de alta frecuencia podría ayudar a obtener un diseño realmente optimizado del DAB.
- La ecuación de Steinmetz modificada, utilizada en [249], no deja de ser una aproximación adaptada de la ecuación original con un coeficiente de proporcionalidad. Asume un núcleo y una distribución del campo magnético uniformes y con un único armónico a frecuencia fija. Si se desea una mayor precisión, es necesario utilizar expresiones más complejas que tengan en cuenta el entrehierro [265] y la forma real de la excitación magnética [266].

En la Fig. 4.21 se muestran nuevamente las medidas de eficiencia comparadas con un mode-

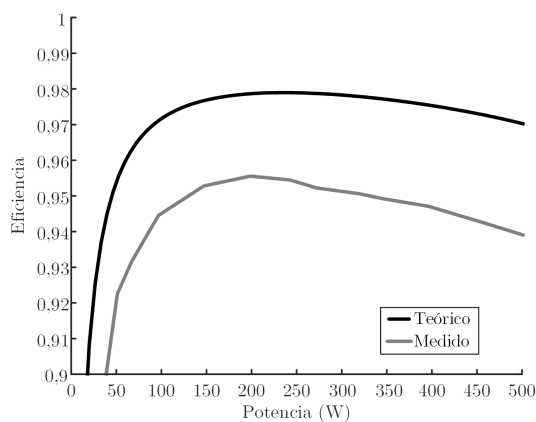


Figura 4.20: Eficiencia estimada y medida del DAB.

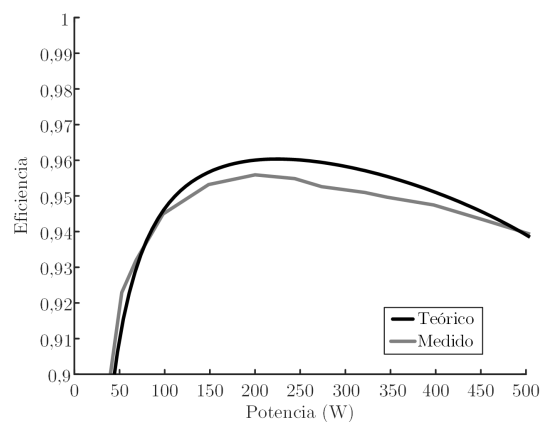


Figura 4.21: Eficiencia estimada y medida del DAB con los coeficientes de pérdidas ajustados.

lo de pérdidas ajustado, donde se han modificado los coeficientes K_{cotx} y K_{cutx} obtenidos con el modelo utilizado para el procedimiento de diseño propuesto. Se puede ver cómo el ajuste es significativamente mejor simplemente dando un mayor peso a las pérdidas del transformador para tener en cuenta los mecanismos de pérdidas debidos a las componentes de alta frecuencia.

4.6 Comportamiento dinámico del DAB

4.6.1 Modelado dinámico del DAB

Como se ha comentado anteriormente, el control por fase desplazada del DAB fija la corriente i_{Lk} que circula entre el puente primario y el secundario a través de la inductancia L_k aplicando un desfase φ a las señales de mando de los dos puentes. Si la implementación de este control se realiza correctamente, la respuesta del convertidor es extremadamente rápida, pudiendo obtener la corriente deseada en cada periodo de conmutación independientemente del periodo anterior [178], [237].

La inductancia L_k , por lo tanto, no aporta dinámica al convertidor ni limita su capacidad de respuesta. Puesto que su corriente se controla de forma directa, es posible establecer un modelo dinámico muy sencillo, de primer orden [226]. La implementación en T, con una L_m relativamente pequeña, tiene efecto sobre la transferencia neta de potencia para cada valor de la variable de control φ . Sin embargo, se puede ver en las ecuaciones detalladas en el Anexo C que solo proporciona un factor de escala y tampoco limita la dinámica del DAB.

En el trabajo realizado en [267] se proponen distintos modelos del DAB, más complejos que el propuesto en [226], que tienen en cuenta efectos como las pérdidas, los periodos resonantes, la inductancia magnetizante L_m o la discretización del modelo para su control con una plataforma digital. La conclusión, sin embargo, es que el sistema sigue siendo de primer orden y estos efectos solo afectan muy ligeramente a la ganancia a bajas frecuencias y la fase a frecuencias cercanas a las de conmutación. El modelo sigue siendo, esencialmente, un sistema de primer orden con un polo determinado por la carga y el condensador de salida C_{ODAB} .

El principal problema que presentan estos modelos, independientemente de lo sencillos o complejos que sean, es su aplicación en pequeña señal. En los convertidores tradicionales, controlados por su ciclo de trabajo d , el convertidor opera normalmente con un valor estático D . Este apenas varía con la corriente demandada por la carga puesto que suele depender de las tensiones de entrada y salida pero no de la potencia procesada [139]. Por esta razón, se puede escoger fácilmente un único valor de D alrededor del cual linealizar el modelo de pequeña señal.

En el caso del DAB, la planta $G_{v\varphi}(s)$ tiene la expresión de la ecuación 4.41, donde Z_{bus} es la impedancia que se coloca en el bus de 48 V y Φ es el desfase requerido para procesar una cierta potencia [226]:

$$G_{v\varphi}(s) = \left. \frac{\hat{v}_{\text{bus}}(s)}{\hat{\varphi}(s)} \right|_{\substack{\hat{v}_i=0 \\ \hat{i}_{\text{bus}}=0}} \approx \frac{Z_{\text{bus}}}{Z_{\text{bus}}C_{\text{ODAB}}s + 1} \frac{V_{\text{bus}}(\pi - 2\Phi)}{\pi(\pi - \Phi)Z_{\text{bus}}}. \quad (4.41)$$

La Fig. 4.22 muestra $G_{v\varphi}(s)$ calculado según la ecuación 4.41 cuando a la salida del DAB se colocan cargas resistivas y se ajusta Φ para procesar la potencia adecuada a dichas resistencias. Si bien todas las plantas son sistemas de primer orden, su comportamiento

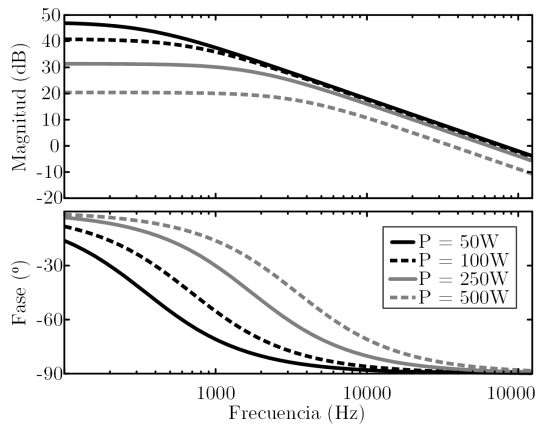


Figura 4.22: Planta del DAB con distintas cargas resistivas.

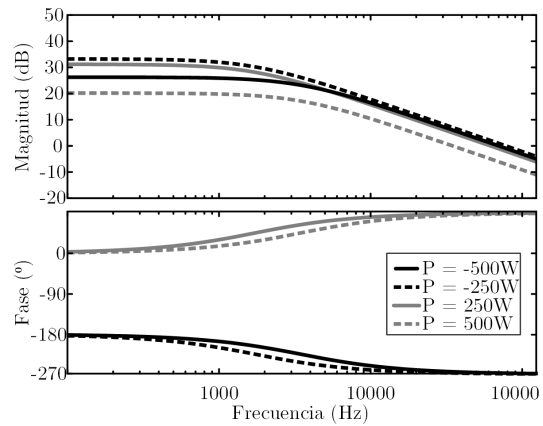


Figura 4.23: Planta del DAB con distintas CPCs y FPCs.

difiere notablemente en función de la potencia procesada. La frecuencia del polo aumenta con la potencia. Sin embargo, la ganancia disminuye tanto a altas como a bajas frecuencias.

En el caso de la Fig. 4.23 se conectan CPCs y FPCs a la salida del DAB, representando un escenario muy semejante al que se tiene en el PdB. En este caso, no solo la ganancia es distinta dependiendo de la magnitud y el sentido del flujo de potencia sino que también hay un importante cambio en la fase.

A la vista de los resultados teóricos, no es posible diseñar un regulador tipo II que asegure una frecuencia de corte f_{CDAB} única para todos los puntos de operación en que se puede encontrar el DAB. Si bien es cierto que se pueden utilizar controles no lineales o adaptativos [237], estos complican notablemente la implementación.

4.6.2 Medidas de la planta

Los modelos propuestos en [226] y [267] únicamente se validan a potencias muy cercanas a la nominal. En esta situación, no es necesario plantearse qué valor de Φ usar para linealizar. Por ejemplo, en [267] se muestra un ejemplo en que la variación máxima de φ es de tan solo un 4 % del valor de Φ nominal.

El DAB del PdB, sin embargo, va a operar en puntos de funcionamiento muy dispares. El valor de φ debe variar significativamente para procesar la potencia demandada o inyectada por los reductores. Para verificar si el modelo es válido utilizando la ecuación 4.41 linealizada entorno a los valores de Φ adecuados para cada punto de funcionamiento, se mide la planta del DAB con el analizador de respuesta en frecuencia Venable 6320 [196].

Puesto que se utiliza control digital para generar las señales de mando del DAB y que el Venable 6320 no puede hacer medidas directas de las señales digitales internas que contienen la información del desfase φ , es necesario tener en cuenta la ganancia del conversor analógico-digital utilizado para introducir la perturbación y la ganancia del modulador en la expresión de la ecuación 4.41.

En la Fig. 4.24 se muestran los resultados teóricos y medidos con el DAB operando en distintos puntos de funcionamiento.

- Las Fig. 4.24(a) y 4.24(b) muestran los diagramas de Bode de los $G_{v\varphi}(s)$ teóricos y medidos cuando el DAB opera a potencias semejantes a la nominal. Las medidas son

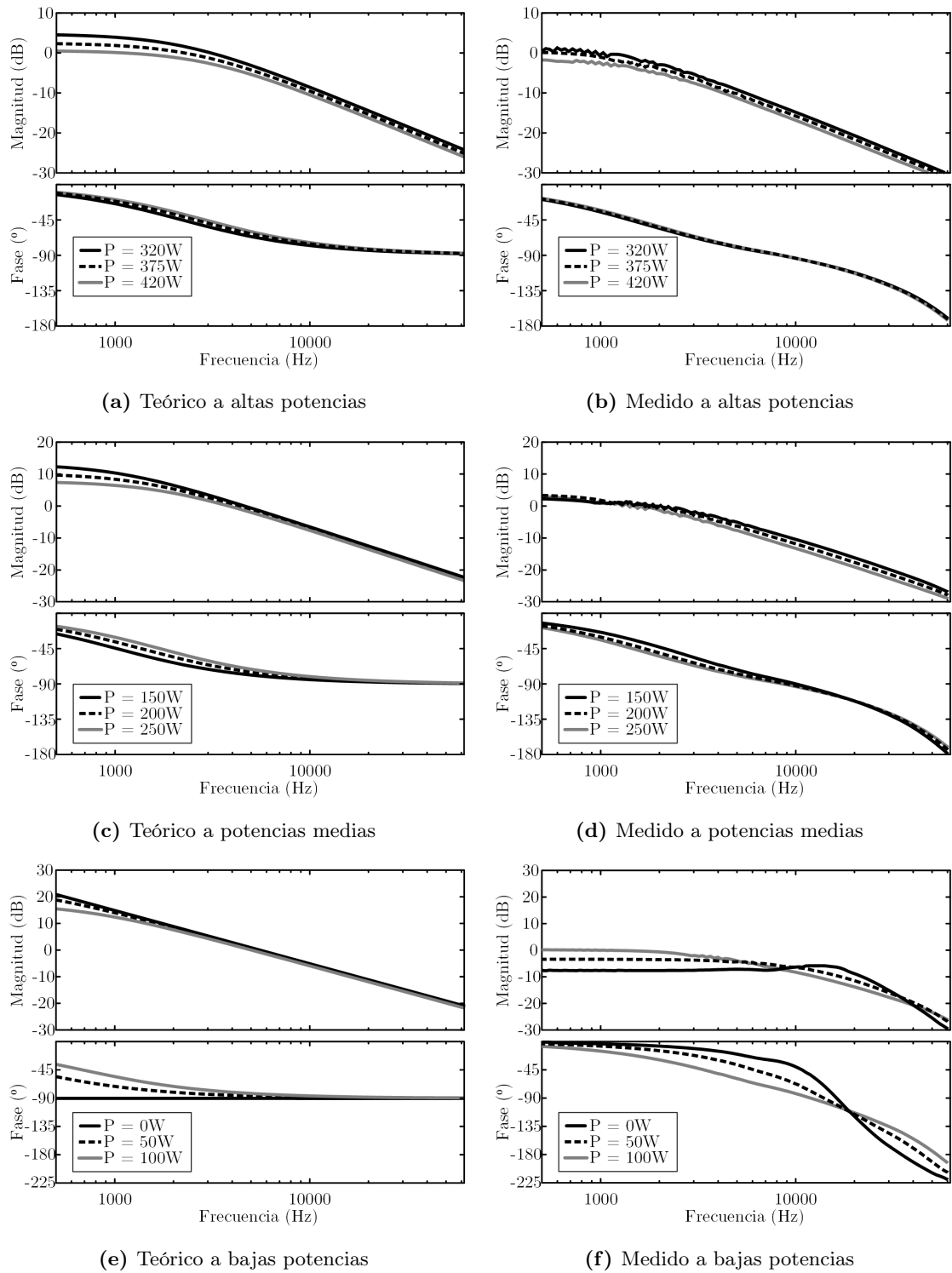


Figura 4.24: Diagrama de Bode de $G_{v\phi}(s)$ medido y teórico con distintas cargas resistivas en el bus de 48 V.

muy parecidas a las plantas predichas por el modelo teórico, mostrando únicamente pequeñas discrepancias en la ganancia a baja frecuencia. Es importante tener en cuenta que en el modelo teórico se ha obviado el efecto del retardo que introduce el conversor analógico digital y que afecta a la fase de las medidas a frecuencias altas.

- Cuando disminuye la potencia procesada, se obtienen los resultados de las Fig. 4.24(c) y 4.24(d). En ellas se puede ver que el error cometido en la estimación de la ganancia de bajas frecuencias es significativamente mayor que en el caso anterior, aunque la frecuencia de los polos medida sigue siendo muy semejante a la teórica.
- Finalmente, cuando el DAB opera con cargas muy bajas, las medidas de la Fig. 4.24(f) son muy distintas de los modelos teóricos mostrados en la Fig. 4.24(e). La ecuación 4.41 predice un único polo a una frecuencia baja, debido al alto valor de la resistencia de carga cuando la potencia procesada es baja. Sin embargo, en las medidas se puede ver que este polo se encuentra a frecuencias intermedias, aparece otro polo adicional a frecuencias altas y la ganancia es muy distinta de la que predice el modelo.
- En la planta medida con el DAB operando a 0 W que se muestra en la Fig. 4.24(f), los dos polos se encuentran a frecuencias muy cercanas. El sistema, que ya no se puede aproximar como un primer orden, tiene un comportamiento parecido al de un convertidor en configuración de puente completo debido al pequeño desfase φ que se aplica en el entorno este punto de operación y la semejanza entre las dos topologías [268].

El trabajo realizado en [229], [269], [270] demuestra la importancia de los intervalos resonantes en el comportamiento dinámico del DAB. Si bien el modelo propuesto en dichos trabajos está pensado para aplicaciones en las que la frecuencia de conmutación es muy alta, también se puede aplicar a escenarios donde f_{SDAB} es moderada pero el funcionamiento a bajas cargas obliga a utilizar tiempos muertos relativamente largos. Cuando el prototipo construido procesa poca potencia, el tiempo muerto requerido para obtener ZVS en los MOSFETS del puente primario Q_{pn} está en el entorno del 5 % del periodo de conmutación.

Los resultados obtenidos en [269] encajan con las medidas de la Fig. 4.24(d), que tienen menor ganancia de lo estimado con el modelo sencillo y el polo se desplaza a frecuencias mayores que las estimadas considerando únicamente la carga y C_{ODAB} . Cuando el convertidor opera a potencias altas, la duración de los tiempos muertos es lo suficientemente corta con respecto al resto del periodo de conmutación como para que el efecto de las no idealidades en la planta sea mínimo. En esa situación, la diferencia entre el modelo obtenido en [269] y los modelos sencillos es mínima.

El modelo propuesto en [269] no predice, sin embargo, la aparición de los dos polos cuando se opera a muy baja potencia. Para este escenario, hay que aplicar la modificación del modelo que estudia el comportamiento cuando la conmutación del puente secundario ocurre durante el tiempo muerto del primario. Incluso en esa situación, este modelo proporciona un sistema de primer orden que no se ajusta bien a las medidas realizadas.

La dificultad del modelado del DAB a cargas muy bajas viene dada por el mecanismo de transferencia de potencia en esos escenarios. Puesto que el puente secundario conmuta durante el tiempo muerto del primario, ya no se pueden definir claramente intervalos de magnetización y desmagnetización de la inductancia L_k . La corriente por L_k está condicionada por los dos subintervalos resonantes que tienen lugar durante el tiempo muerto, antes y después de la conmutación del puente secundario. Estas resonancias son muy complejas de modelar con precisión debido a la no linealidad de las capacidades parásitas [271], incluso cuando no se tienen en cuenta otros problemas como la necesidad de ajustar con

precisión la duración del tiempo muerto [262] o la posible pérdida de ZVS durante un número limitado de periodos de conmutación debido a los transitorios [112].

4.6.3 Ajuste de la planta

En las medidas obtenidas se puede ver que la principal discrepancia entre las plantas teóricas y las medidas son la ganancia a bajas frecuencias y la posición del polo. Puesto que la tensión de salida nominal V_{bus} , el valor del desfase Φ en el punto de trabajo, el valor del condensador de salida C_{ODAB} y la carga Z_{bus} conectada al DAB son fijos y no varían, es necesario buscar otro elemento del modelo dinámico propuesto en [232] y [226] que explique la diferencia entre las medidas y los resultados analíticos.

Como se puede ver en el esquema del modelo dinámico, mostrado en la Fig. 4.25, a la salida de convertidor hay una fuente de corriente que depende de las variaciones de la tensión de entrada \hat{v}_i . Idealmente, v_i es muy estable y esta fuente de corriente se puede eliminar del modelo estático para calcular la planta del convertidor.

Sin embargo, cuando se mide la planta del DAB con el Venable 6320, la corriente que este demanda del bus de 380 V contiene componentes de alta frecuencia debido a las perturbaciones introducidas. Si se coloca un condensador de entrada C_i relativamente pequeño y la fuente de alimentación utilizada tiene una impedancia de salida relativamente grande, estas perturbaciones podrían reflejarse en la corriente de entrada. En esta situación, no es posible anular la fuente de corriente del modelo dinámico dependiente de \hat{v}_i . Puesto que el rizado de la tensión de entrada v_i está relacionado con las perturbaciones causadas por el Venable en la tensión de salida v_{bus} , la corriente inyectada por esta fuente también depende, en última instancia, de v_{bus} y se podría modelar como una resistencia r_{int} . Debido a la gran simetría que presenta este convertidor, es de esperar que también haya una resistencia r_{ent} en paralelo con la entrada, como se muestra en la Fig. 4.25.

Para evaluar el posible efecto de \hat{v}_i sobre el modelo dinámico del convertidor, se vuelve a medir la planta del DAB colocando un condensador de entrada de 390 μF , más de cien veces mayor que el original. Si bien es cierto que las formas de onda presentan un nivel de ruido ligeramente menor en este escenario, las plantas medidas son prácticamente idénticas a las mostradas en la Fig. 4.24.

Aunque este resultado parece descartar el efecto del rizado de la tensión de entrada sobre el modelo dinámico del DAB, se mide la impedancia de salida de éste convertidor para comprobar la existencia de una resistencia dinámica r_{int} . Para ello, se sigue el procedimiento descrito en el Anexo B, obteniendo los resultados mostrados en la Fig. 4.26. Como se puede ver, la impedancia de salida del DAB se puede modelar esencialmente como una resistencia dependiente de la potencia y el condensador de salida C_{ODAB} . Cuanto menor es la potencia

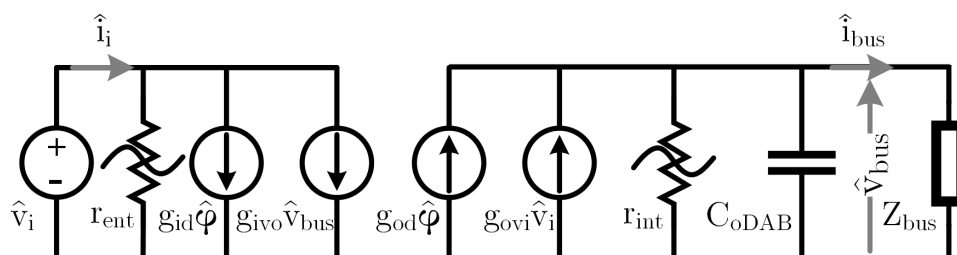


Figura 4.25: Modelo dinámico del DAB con la resistencia interna R_{int} en paralelo con la salida.

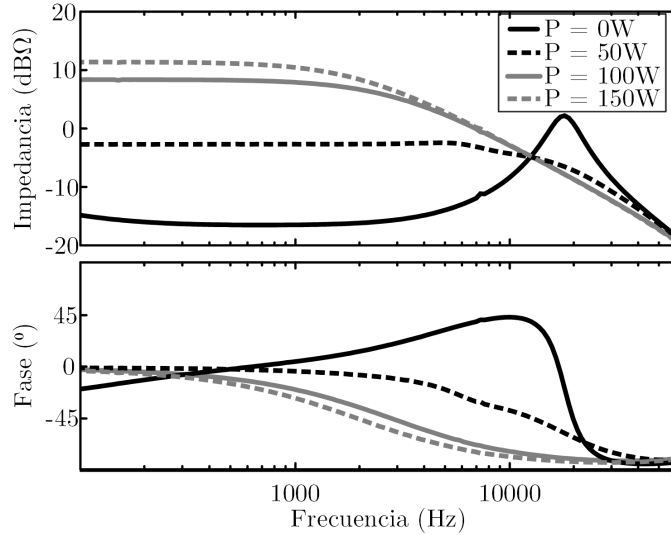


Figura 4.26: Diagrama de Bode de las impedancias de salida medidas en el DAB a diferentes potencias.

procesada, menor es el valor de r_{int} , llegando a ser tan baja para 0 W que la impedancia de salida es inductiva en un pequeño intervalo de frecuencias. Esto podría explicar también la aparición de dos polos complejos conjugados en la planta de este DAB cuando la potencia procesada es menor de unos 50 W.

Puesto que la caracterización de r_{int} mediante la medida de la impedancia de salida del DAB es un proceso relativamente complejo y requiere el diseño y construcción de inyectores de corriente capaces de procesar ± 500 W, se busca una alternativa más sencilla que permita obtener el mismo resultado. Utilizando el modelo estático propuesto en [232], se puede caracterizar el DAB de una forma muy simplificada como una fuente de corriente. Idealmente, aunque el valor de la componente resistiva R_{bus} de la impedancia Z_{bus} cambia, la corriente i_{bus} inyectada al bus por el DAB se mantiene constante y solo se modifica la tensión v_{bus} . Sin embargo, cuando se tiene en cuenta el efecto de r_{int} , la fuente de corriente del modelo de la Fig. 4.27 no puede mantener i_{bus} fija a pesar de que la fuente de corriente sigue inyectando la misma i_{φ} . El valor de i_{bus} vendrá dado por la ecuación 4.42:

$$i_{\text{bus}} = \frac{r_{\text{int}}}{r_{\text{int}} + R_{\text{bus}}} i_{\varphi}. \quad (4.42)$$

Tanto r_{int} como i_{φ} no son conocidos a priori, por lo que no se puede obtener el valor de ambos con una única medida. Para poder calcular r_{int} en diferentes puntos de operación, se realizan las medidas detalladas en el siguiente procedimiento:

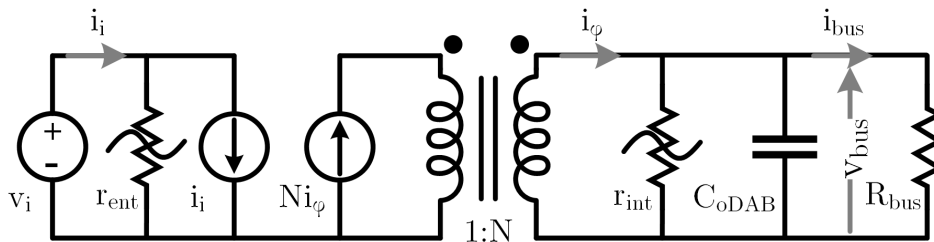


Figura 4.27: Modelo estático del DAB considerando el efecto de r_{int} .

- Se coloca una resistencia R_{bus1} a la salida del DAB y se ajusta el valor de Φ para fijar la tensión v_{bus} a 48 V.
- Se mide la corriente i_{bus1} demandada por R_{bus1} en esta situación.
- Se cambia la resistencia por otra con un valor R_{bus2} semejante a R_{bus1} y se mide la nueva tensión a la salida del DAB (v_{bus2}) y la nueva corriente demandada i_{bus1} .
- El valor de r_{int} en el entorno del Φ escogido viene dado por la siguiente expresión, obtenida a partir de la ecuación 4.42 particularizada para los dos puntos de trabajo y una única i_{ϕ} :

$$r_{\text{int}} = \frac{R_{\text{bus1}} \frac{i_{\text{bus1}}}{i_{\text{bus2}}} + R_{\text{bus2}}}{1 - \frac{i_{\text{bus1}}}{i_{\text{bus2}}}}. \quad (4.43)$$

A partir de las medidas realizadas y la ecuación 4.43 se obtienen los valores de r_{int} mostrados en la Fig. 4.28. Estas medidas presentan la misma tendencia que la impedancia de salida del DAB. Cuando la potencia procesada es baja, el valor de r_{int} es muy pequeño y es quien tiene un mayor peso sobre la posición del polo y la ganancia a baja frecuencia de la planta del DAB. Cuando la potencia procesada aumenta también lo hace el valor de r_{int} . A potencias moderadas y altas, éste es lo suficientemente grande con respecto a R_{bus} como para apenas tener efecto sobre la planta del convertidor, permitiendo calcularla de forma aproximada con el modelo propuesto en [232] sin demasiado error. Como se puede ver en la Fig. 4.28, los valores de r_{int} medidos se pueden ajustar de forma bastante precisa con un polinomio de tercer grado dependiente de la potencia procesada. Sin embargo, no es posible generalizar este resultado a todos los convertidores DAB, puesto que se desconoce el papel que juegan aspectos como las pérdidas, las transiciones resonantes en los MOSFETs o la integración del elemento magnético en el valor de r_{int} .

A partir de los resultados obtenidos se puede modificar el modelo dinámico propuesto en [232] para tener en cuenta el efecto de r_{int} . Para ello, se vuelve a calcular la ecuación 4.41 utilizando el circuito mostrado en la Fig. 4.25. La nueva planta viene dada por la ecuación 4.44.

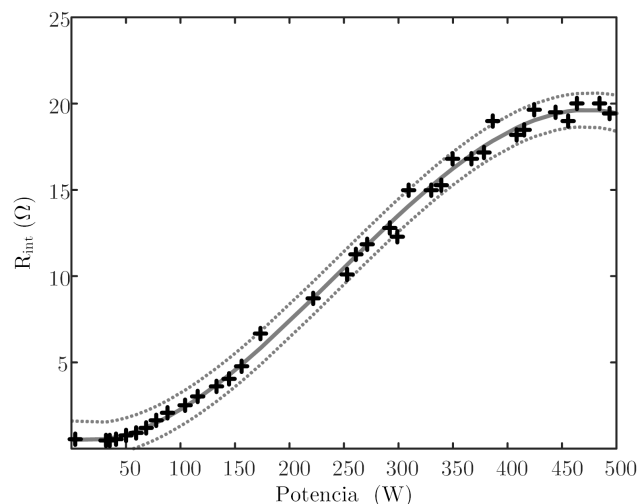


Figura 4.28: Medidas de r_{int} en diferentes puntos de trabajo y ajuste a un polinomio de tercer grado.

$$G_{v\varphi}(s) = \frac{\hat{v}_{bus}(s)}{\hat{\varphi}(s)} \Big|_{\substack{\hat{v}_i=0 \\ \hat{i}_{bus}=0}} \approx \frac{\frac{Z_{bus}r_{int}}{Z_{bus} + r_{int}}}{\frac{Z_{bus}r_{int}}{Z_{bus} + r_{int}} C_{ODAB}s + 1} \frac{V_{bus}(\pi - 2\Phi)}{\pi(\pi - \Phi)Z_{bus}}. \quad (4.44)$$

La Fig. 4.29 muestra la planta del DAB medida para diferentes cargas resistivas de la Fig. 4.24 y las compara con las plantas teóricas calculadas según la ecuación 4.44. En esta figura se puede ver cómo el nuevo modelo analítico se asemeja mucho más a las medidas realizadas, sobre todo a cargas medias.

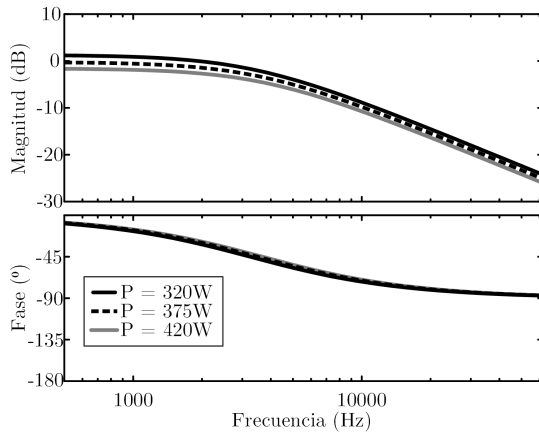
El modelo sigue sin predecir correctamente el comportamiento dinámico del DAB cuando la potencia procesada es muy baja. A pesar de que la resonancia solo aparece en la planta por debajo de 50 W, la ausencia de un modelo que explique con claridad este fenómeno hace que resulte complicado predecir la posición de este doble polo y diseñar el lazo de regulación sin medir la planta del convertidor en diferentes puntos de operación. Solo si la aplicación permitiese asegurar que la potencia procesada por el DAB siempre va a ser moderada o alta se podría calcular el regulador con la planta proporcionada por la ecuación 4.44.

4.7 Conclusiones

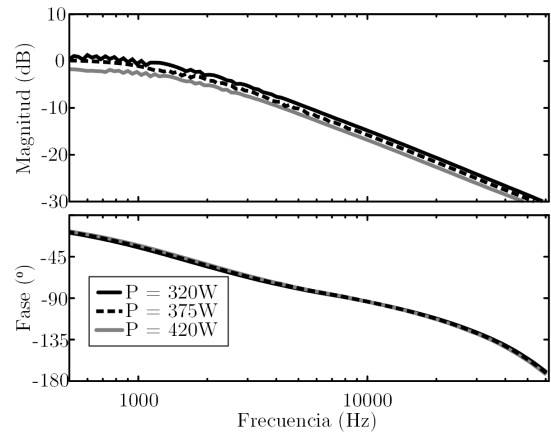
A la vista del análisis teórico realizado y los resultados experimentales obtenidos, las conclusiones alcanzadas sobre el diseño y la implementación del convertidor *Dual Active Bridge* que proporciona el bus intermedio de 48 V del PdB son las siguientes:

- El procedimiento de diseño propuesto en la sección 4.4.3 permite automatizar y optimizar el diseño del DAB independientemente de las especificaciones fijadas y los componentes seleccionados para la implementación. Implementando el transformador con el procedimiento descrito en la sección 4.3, se consigue además operar con ZVS en ambos puentes para todo el rango de potencia del convertidor sin necesidad de utilizar controles complejos.
- Debido a la sencillez del modelo de pérdidas en el transformador utilizado y las limitaciones en su fabricación, la eficiencia estimada es mayor que la medida. Para que el procedimiento propuesto realmente proporcione el diseño de menores pérdidas habría que adaptar los coeficientes del modelo o cambiar la tecnología utilizada para fabricar el transformador.
- Los modelos dinámicos existentes para el DAB son adecuados cuando este opera a frecuencias altas y medias. Sin embargo, resulta muy complejo modelar con precisión su comportamiento a bajas potencias. Por esta razón, se opta por medir la planta del DAB cuando se conectan al bus de 48 V los cinco convertidores reductores síncronos diseñados en el capítulo anterior y diseñar un lazo de regulación adecuado a las plantas medidas. Este proceso se detalla en el próximo capítulo.
- Puesto que la planta del DAB varía significativamente con la potencia que este procesa, no es posible utilizar un regulador con una única frecuencia de corte f_{cDAB} . Por esta razón, se debe modificar el procedimiento de diseño propuesto originalmente para calcular el valor necesario de C_{ODAB} considerando un ancho de banda muy conservador y variable.

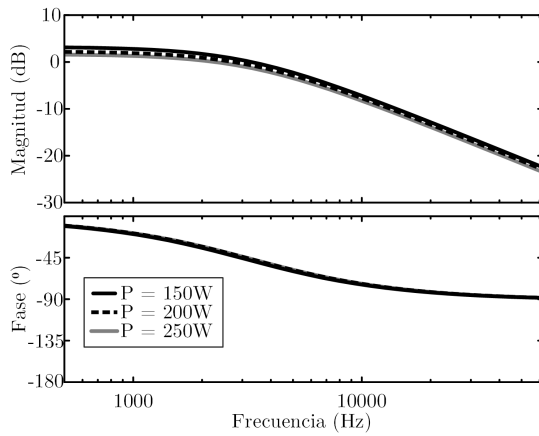
Para la implementación del convertidor DAB que formará parte del PdB se utiliza el prototipo mostrado en la Fig. 4.18 y construido con las características detalladas en la Tabla 4.2.



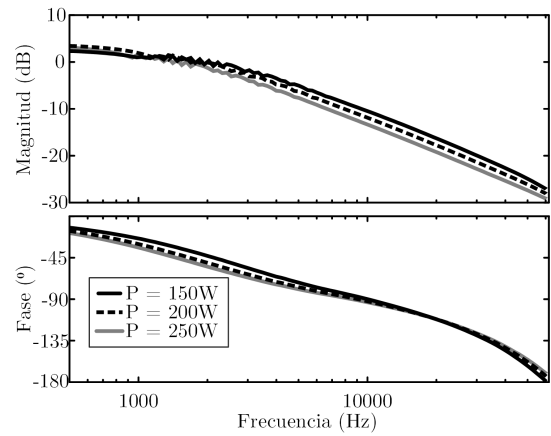
(a) Teórico a altas potencias



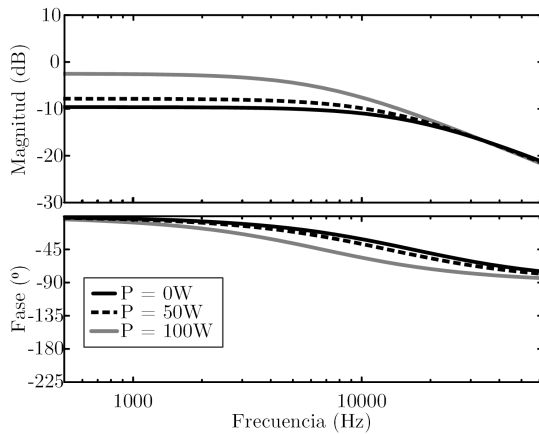
(b) Medido a altas potencias



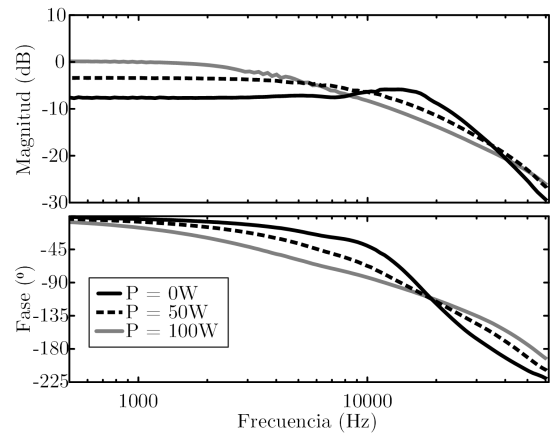
(c) Teórico a potencias medias



(d) Medido a potencias medias



(e) Teórico a bajas potencias



(f) Medido a bajas potencias

Figura 4.29: Diagrama de Bode de $G_{v\varphi}(s)$ medido y teórico considerando el efecto de r_{int} con distintas cargas resistivas en el bus de 48 V.

Capítulo 5

Integración del PdB

En los capítulos anteriores se ha definido la implementación del PdB. A partir de la estructura de SDC doméstico definido en el Capítulo 2, se ha evaluado cuáles son las características eléctricas más idóneas y la estructura más adecuada para que el PdB proporcione al usuario múltiples buses de 24 V de una forma segura y eficiente. Los Capítulos 3 y 4 abordan el diseño optimizado de los convertidores que componen el PdB. Sin embargo, puesto que éste se realiza de forma relativamente independiente, es necesario abordar los problemas que puede plantear la integración.

En este capítulo se estudia la interacción entre los convertidores que componen el PdB y se proponen soluciones para los problemas que aparecen. En primer lugar, se revisa brevemente la estructura del PdB y el diseño de los convertidores que lo componen. Tras estudiar el efecto de los reductores síncronos sobre la planta del DAB y diseñar un control apropiado para el mismo, se realizan múltiples pruebas sobre el PdB simulando escenarios de operación reales. Finalmente, tras comprobar que el sistema completo opera correctamente, se analiza el diseño realizado y se proponen ideas para mejorar sus prestaciones.

5.1 Composición del PdB

La estructura del PdB se ha definido en el Capítulo 2 y consta de los siguientes seis convertidores mostrados en Fig. 5.1.

- Cinco convertidores reductores síncronos bidireccionales, que proporcionan cinco buses independientes de 24 V accesibles al usuario desde un bus intermedio de 48 V. Cada uno de estos convertidores tiene una capacidad de procesar hasta ± 100 W y regulan su tensión de salida con un control analógico en modo tensión. Diseñados en el Capítulo 3, sus principales características se resumen en la Tabla 5.1.
- Un convertidor *Dual Active Bridge* (DAB), también bidireccional, que proporciona el bus intermedio de 48 V al que se conectan los reductores desde un bus de 380 V. Tiene una potencia nominal de ± 500 W y utiliza un controlador digital en modo tensión para regular los 48 V de su salida. Diseñado en el Capítulo 4, la Tabla 5.2 muestra las principales características de este convertidor.

En la Fig. 5.2 se puede ver la implementación real del PdB. Los convertidores reductores se conectan directamente a la salida de 48 V del DAB, impidiendo el acceso del usuario al bus intermedio. Sin embargo, todos ellos proporcionan dos conectores que permiten la conexión de cargas y fuentes a su bus de 24 V.

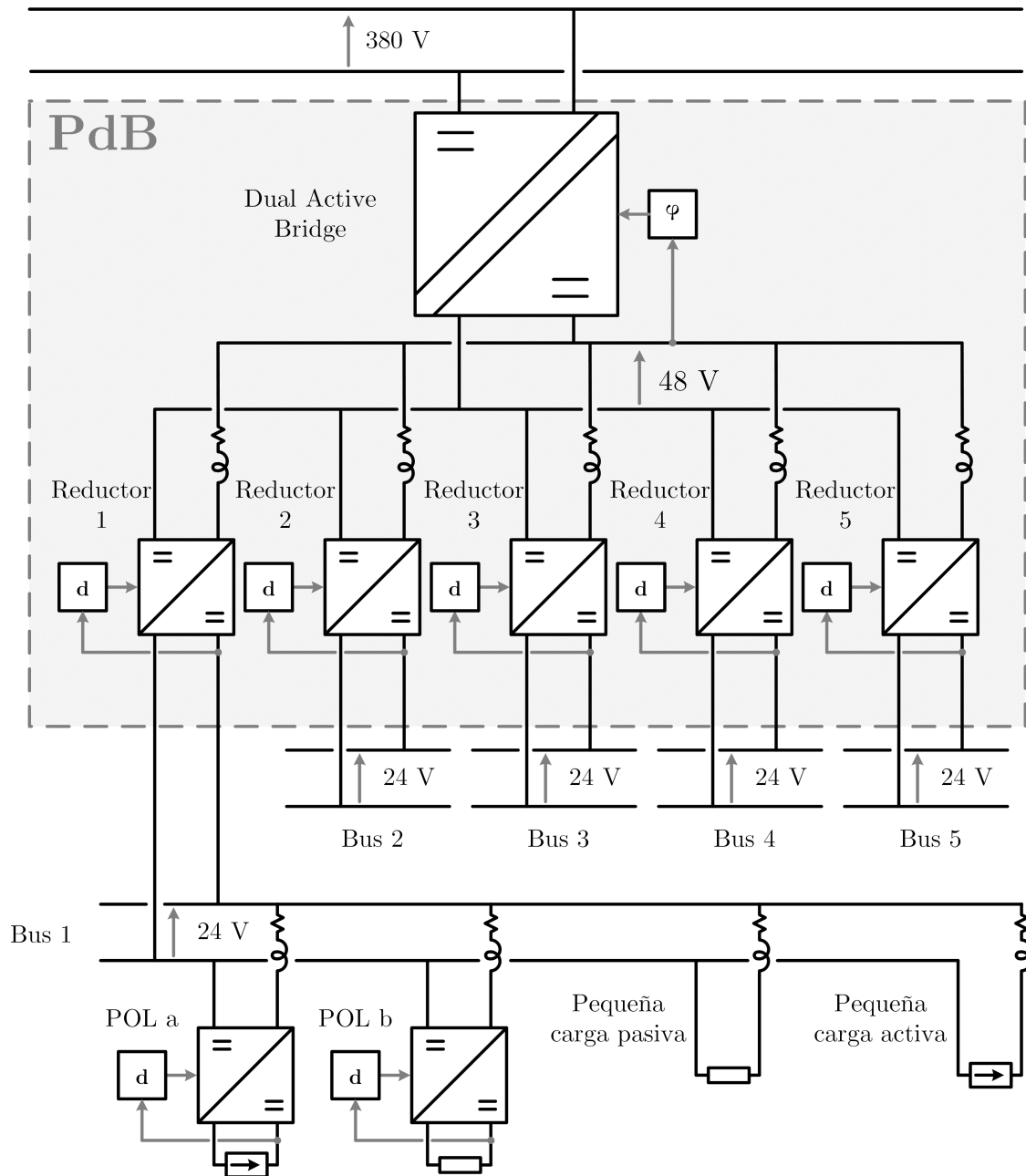


Figura 5.1: Esquema general del PdB y su entorno en el SDC.

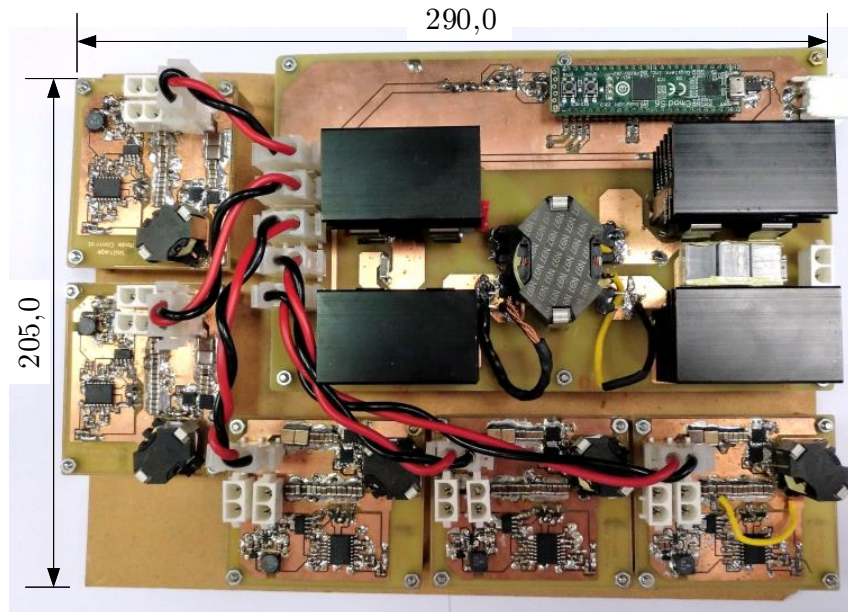


Figura 5.2: Prototipo del Proveedor de Bus.

Tabla 5.1: Parámetros principales de diseño del reductor síncrono para el PdB.

Parámetro	Valor
f_s (kHz)	101,6
f_c (kHz)	16,2
L (μ H)	70,9
C_o (μ F)	43,8
$C_{bus\ n}$ (μ F)	17,0
MOSFETs	TPH7R006PL
Núcleo magnético	RM8
Material magnético	N97
N_L	17
Entrehierro (mm)	0,30
Circuito de control	MC33023
Pérdidas (W)	1,66
η (%)	98,4

Tabla 5.2: Parámetros principales de diseño del DAB para el PdB.

Parámetro	Valor
f_{SDAB} (kHz)	123,9
L_k (μ H)	206,1
L_m (μ H)	720,6
C_{ODAB} (μ F)	10,0
C_i (μ F)	3,0
MOSFETs (Q_{pn})	STW18N60DM2
MOSFETs (Q_{sn})	IRFB3806PbF
Núcleo magnético	RM14
Material magnético	N97
N_p	48
N_s	6
Entrehierro (mm)	0,76
Separación d_s (mm)	1,25
Plataforma de control	CMOD S6
Pérdidas (W)	31,93
η (%)	93,8

5.2 Control del DAB integrado en el PdB

En el capítulo anterior se han analizado los distintos modelos dinámicos propuestos para el DAB y cómo resulta extremadamente complejo tener en cuenta todos los factores que afectan a la dinámica del mismo. El comportamiento del DAB depende fuertemente de aspectos como el punto de operación del convertidor, la frecuencia de conmutación f_{SDAB} escogida y la duración de los tiempos muertos con respecto al periodo. También se ha visto que no es posible cerrar un solo lazo de regulación con una única f_{CDAB} en todo el rango

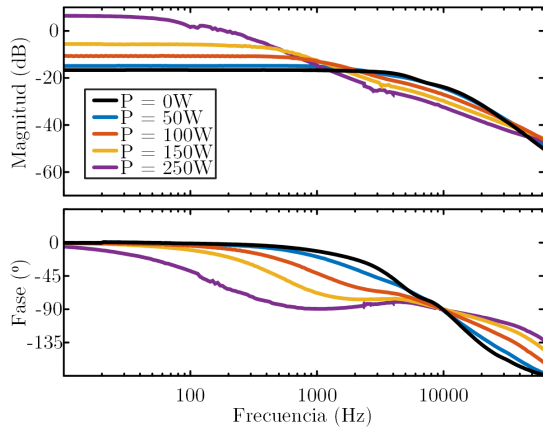


Figura 5.3: Diagrama de Bode de la planta del DAB en modo fuente en el PdB.

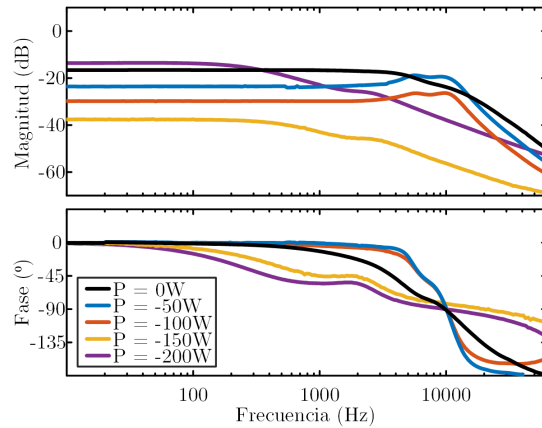


Figura 5.4: Diagrama de Bode de la planta del DAB en modo sumidero en el PdB.

de potencias. Debido a la gran variación de la ganancia y la posición de los polos de la planta del DAB con el punto de operación, su frecuencia de corte varía significativamente y requeriría el uso de un lazo adaptativo para conseguirlo.

Aún no se ha formulado una única expresión cerrada que permita realizar un modelado preciso del convertidor en todas las condiciones de operación. Por esta razón, no es posible estudiar la dinámica del DAB integrado en el PdB utilizando el método propuesto en [178] ni sustituyendo el coeficiente del modelo correspondiente a la carga del convertidor por la impedancia de entrada de los cinco reductores.

En un escenario en el que la planta sufre una variación tan significativa con la carga, no es posible aplicar las técnicas habituales para el diseño del lazo de regulación de convertidores conmutados [154], [272]–[274]. Si se tomase solo una de las plantas como referencia para aplicar estas técnicas tradicionales, el regulador obtenido podría hacer inestable el convertidor en otros puntos de operación que presenten una planta muy distinta.

Cabe recordar que en este trabajo ya se ha definido el diseño de la etapa de potencia del DAB, así como los convertidores reductores que se colocan a su salida. Parece lógico, por tanto, medir la planta del DAB integrado en el PdB para valorar cómo cambia con respecto a las medidas realizadas en el capítulo anterior. Con los resultados obtenidos, debería ser posible diseñar un regulador apropiado para todos los escenarios.

En las Fig. 5.3 y 5.4 se muestran las medidas de la planta del DAB integrado en el PdB, con diferentes cargas y fuentes conectadas a los reductores para forzar distintos puntos de operación. En estas medidas se observan varias discrepancias con los modelos y con las medidas realizadas sobre el DAB utilizando cargas resistivas:

- Cuando el DAB opera en modo fuente con potencias moderadas, la aproximación del modelo presentado en [226] es razonablemente buena. En la Fig. 5.3 se ve cómo las plantas medidas con potencias mayores de 100 W se corresponden esencialmente con un sistema de primer orden. Aunque la posición de su polo no encaja con la tendencia predicha en [226], sí que se asemeja a la obtenida en el capítulo anterior con el modelo mejorado. Con este resultado, resultaría sencillo diseñar un lazo de regulación para estas plantas con gran ancho de banda y un buen margen de fase.
- Los reductores conectados al bus intermedio de 48 V se comportan globalmente como una resistencia negativa cuando demandan potencia al DAB. Sin embargo, esto no se refleja en las plantas. En la Fig. 5.3 todas las medidas presentan la misma fase que si la carga del modelo simplificado de [226] fuese una resistencia positiva. Este

efecto podría explicarse con la adición al modelo dinámico de la resistencia variable positiva en paralelo con la salida medida en el capítulo anterior.

El efecto de esta resistencia, que se ha medido en el capítulo anterior, depende fuertemente de su valor relativo a la carga externa conectada a la salida del DAB. A potencias bajas y medias, es mucho menor que la resistencia externa que presentan los reductores. Puesto que ambas están conectadas en paralelo, la planta viene definida, prácticamente, por la resistencia interna del modelo del DAB. Dado que esta es una resistencia positiva, evita la aparición de un polo en el semiplano positivo en estas medidas.

Cuando la potencia procesada por el DAB es alta, el valor de esa resistencia interna se incrementa significativamente. En esa situación, es de esperar que el polo sí se encuentre en el semiplano positivo. Sin embargo, debido a que la frecuencia de este polo disminuye al incrementar la potencia procesada por el DAB, esto no debería causar inestabilidad si se diseña el lazo con las mismas precauciones seguidas con el convertidor reductor en modo corriente de pico.

- Cuando el DAB procesa potencias muy bajas operando en modo fuente, el polo dominante se desplaza a una frecuencia relativamente alta y aparece un segundo polo a otra frecuencia aún mayor, como se había observado en el capítulo anterior. Sin embargo, como se ve en la Fig. 5.3, estos dos polos están ligeramente más separados que en la medida del DAB fuera del PdB en el mismo punto de operación. Esto podría explicarse por la pequeña demanda de potencia de las alimentaciones auxiliares de los convertidores reductores, que hacen que el DAB procese una potencia ligeramente superior que la demandada en los buses de 24 V, indicada en la Fig. 5.3.
- Cuando la potencia procesada en modo sumidero es muy baja, sí que se observa un comportamiento semejante al del modo fuente. La plantas presentan una ganancia relativamente baja y los dos polos se encuentran a frecuencias muy cercanas. A pesar de que este hecho limita el ancho de banda que se puede conseguir con un regulador tipo II, no dificulta en exceso su diseño. Nuevamente, la potencia real procesada por el DAB hacia el bus de 380 V es ligeramente menor que la indicada en la leyenda de la Fig. 5.4, debida a las alimentaciones auxiliares de los reductores. Esta diferencia es más significativa a potencias bajas y provoca que las resonancias de las plantas sean ligeramente más acusadas que las medidas en el capítulo anterior.
- Sin embargo, cuando la potencia procesada en modo sumidero aumenta, las diferencias con el modo fuente son significativas. La ganancia de la planta disminuye de forma notable, lo que dificulta el diseño del lazo de regulación con un ancho de banda relativamente independiente de la potencia procesada. Además, aunque el sistema se puede aproximar por un primer orden, se observa una irregularidad en el entorno de 1 kHz que ninguno de los modelos analizados en el capítulo anterior predice.
- Resulta especialmente llamativa la baja ganancia de la planta cuando el DAB procesa -150 W. En este punto de funcionamiento se observa una zona muerta del control por fase desplazada, en la cual apenas varía la tensión de salida v_{bus} con las variaciones del desfase φ . Este fenómeno parece estar causado por la conmutación del puente secundario en el extremo del tiempo muerto del puente primario. La resolución de la tabla de tiempos muertos es relativamente baja y causa que, con pequeñas variaciones de φ , el tiempo muerto del puente primario varíe significativamente. Por esta razón, el desfase efectivo que se aplica al DAB apenas cambia en el entorno de este punto de funcionamiento y el control requiere variaciones grandes de φ para poder modificar el valor de v_{bus} .

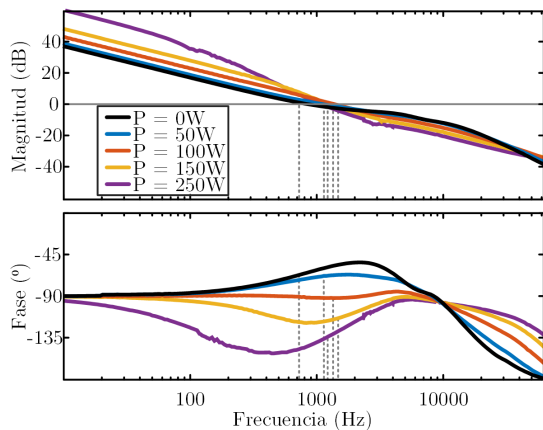


Figura 5.5: Diagrama de Bode de la ganancia de lazo abierto del DAB en modo fuente en el PdB.

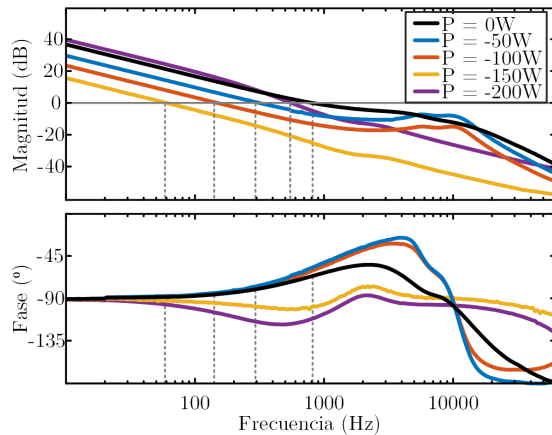


Figura 5.6: Diagrama de Bode de la ganancia de lazo abierto del DAB en modo sumidero en el PdB.

Para diseñar el regulador sobre las medidas realizadas se utiliza la herramienta *Control System Designer* de Matlab [275]. En ella se introducen los datos medidos y un regulador PI digital genérico en implementación paralelo según la expresión de la ecuación 5.1 [276].

$$G_{\text{cdab}}(s) = K_p + \frac{K_i}{1 - z^{-1}}, \quad (5.1)$$

donde K_p y K_i son respectivamente el coeficiente proporcional e integral del regulador y la variable discreta z debe estar muestreada con periodo T_{SDAB} .

Los valores de los coeficientes se ajustan manualmente en el *Control System Designer* para asegurar la estabilidad del DAB independientemente del punto de operación, con un ancho de banda y un margen de fase adecuado. Escogiendo un valor de K_p de 4 y un K_i de 0,25 se obtienen las ganancias de lazo abierto mostradas en las Fig. 5.5 y 5.6.

- Cuando el DAB funciona en modo fuente, el ancho de banda f_{CDAB} se mantiene bastante estable en el entorno de 1 kHz (Fig. 5.5). Aunque el margen de fase se degrada ligeramente al incrementar la potencia procesada, siempre es lo suficientemente grande como para garantizar la estabilidad del convertidor.
- Cuando el DAB opera como sumidero el margen de fase es relativamente grande y apenas cambia con el punto de operación para el regulador diseñado (Fig. 5.6). Sin embargo, f_{CDAB} varía en este caso entre 65 Hz y 910 Hz.
- Puesto que los valores de f_{CDAB} obtenidos son relativamente bajos, se puede utilizar un regulador PI incluso en los escenarios en los que la planta del DAB es de segundo orden y presenta una fuerte resonancia. El corte de la fase con -180° se produce a frecuencias suficientemente altas, en el entorno de los 10 kHz, como para no afectar a la estabilidad del DAB en este escenario.

5.3 Escenarios de operación y resultados

Una vez se ha diseñado el lazo de regulación del DAB para su operación dentro del PdB, éste se implementa en la FPGA que lo controla y se prepara el escenario mostrado en la

Fig. 5.7 para verificar el correcto funcionamiento del PdB en un entorno lo más parecido a la realidad posible.

Como se puede ver en esta figura, los elementos que el usuario puede conectar a los buses de 24 V se simulan en este caso con cinco POLs 3. Estos pueden procesar hasta 100 W y operar de forma bidireccional, simplificando significativamente el proceso de pruebas. Al igual que en el caso de las conexiones internas del PdB, los cables utilizados para conectar estos POLs tienen pequeñas impedancias parásitas que provocarán una ligera desviación en las medidas con respecto a los resultados teóricos, suavizando las transiciones.

En la Fig. 5.7 se indican además cuáles son las medidas que se muestran en los resultados de esta sección:

- La tensión v_o en el bus de 24 V proporcionado por el convertidor reductor 1 para comprobar que cumple los requisitos de calidad de suministro cuando se aplican escalones de carga al POL 3 que alimenta. Se mide en el canal 1 del osciloscopio.
- La tensión v_{bus} en el bus intermedio de 48 V proporcionado por el DAB para comprobar que proporciona un suministro estable y bien regulado a los reductores cuando se producen escalones de carga en los buses de 24 V. Se mide en el canal 2 del osciloscopio.
- La corriente i_o que debe proporcionar el reductor 1 a su bus de 24 V permite conocer la potencia que demanda o inyecta el POL 3. Se mide en el canal 3 del osciloscopio.
- La corriente i_i proporciona información sobre la potencia total procesada por el DAB. De esta forma, se tiene una medida indirecta de la potencia procesada por cada uno de los reductores. Se mide con el canal 4 del osciloscopio.

Para comprobar la correcta operación del PdB, se provocan escalones de carga en el POL 3 conectado al reductor 1, conectando y desconectando las resistencias colocadas a su salida. Con la configuración utilizada, estos pueden ser de ± 50 W o ± 80 W. Para poder probar la respuesta del DAB en diferentes puntos de operación, se utilizan los POLs conectados al resto de buses de 24 V para fijar la potencia total demandada o inyectada al DAB.

La Fig. 5.8(a) muestra el comportamiento del PdB frente a un escalón de carga entre 0 W y 50 W. La regulación del bus de 24 V por parte del reductor es buena y se corresponde con el valor teórico, presentando un Δv_{ot} de solo 580 mV. Se observa sin embargo que la corriente i_o demandada por el POL 3 presenta un rizado relativamente grande, a pesar del filtrado que proporciona su condensador de entrada C_e y la impedancia parásita del cableado. Este rizado en la corriente, que no aparece cuando se utilizan cargas resistivas, provoca un rizado estático en v_o mayor de lo esperado.

Lo que más llama la atención de la Fig. 5.8(a), sin embargo, es el valor de Δv_{bust} medido. Utilizando las ecuaciones del capítulo anterior y teniendo en cuenta que el ancho de banda del DAB en este punto de operación es de 1,13 kHz, el valor teórico de Δv_{bust} es de 1,88 V, casi cuatro veces mayor que los 490 mV medidos. Esta discrepancia entre las fórmulas analíticas y los resultados experimentales se analizará en más detalle en la sección 5.4.

Las Fig. 5.8(b) y 5.8(c) muestran escalones de carga de 80 W en ambos sentidos. Los resultados obtenidos son muy semejantes, con una buena regulación del bus de 24 V pero con un importante rizado estático. Este además es variable, aunque no parece depender del punto de operación. Al igual que en el caso anterior, la magnitud del Δv_{bust} medido es en este caso de 1,34 V y 0,83 V respectivamente, valores mucho menores que los 2,16 V y 3,26 V teóricos.

Para los resultados de la Fig. 5.8(d), el DAB procesa inicialmente 100 W y se le aplica un

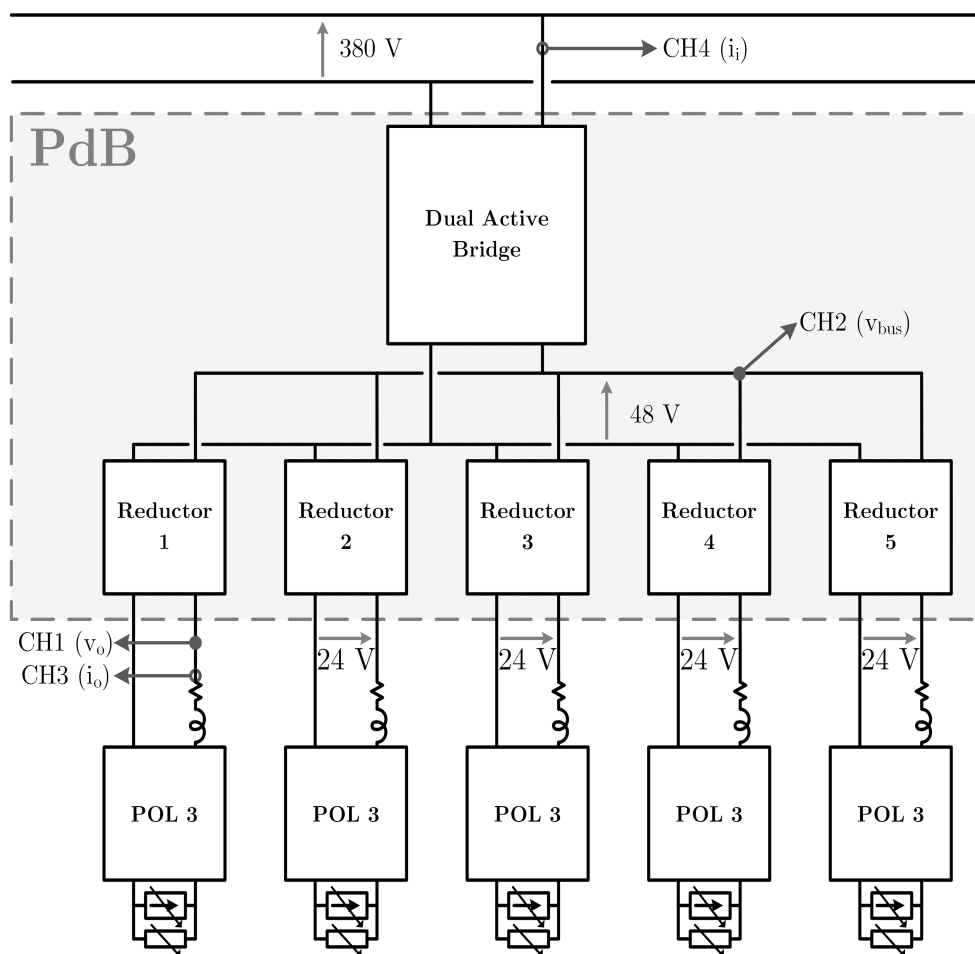


Figura 5.7: Escenario de pruebas para la verificación del Proveedor de Bus.

escalón de 80 W. Una vez más, el reductor regula perfectamente el bus de 24 V pero Δv_{bust} es mucho mayor que el medido para un escalón de carga equivalente en la Fig. 5.8(b). El error cometido con la fórmula analítica de Δv_{bust} es mucho menor en este caso. La medida es de 2,06 V, que es un valor mucho más semejante a los 2,24 V teóricos. Por tanto, los resultados medidos y teóricos encajan mejor en esa situación que en escenarios anteriores.

Finalmente, las Fig. 5.8(e) y 5.8(f) muestran escalones de carga que invierten el flujo de potencia por el DAB. En estas medidas, no solo la regulación del bus de 24 V es buena sino que también los valores de Δv_{bust} son mucho menores que en los casos anteriores y que los obtenidos con las expresiones analíticas dadas por el modelo utilizado en el capítulo anterior.

Habiendo validado que el PdB es capaz de regular las tensiones de los buses de 24 V y de gestionar flujos bidireccionales de energía cuando varía la demanda de potencia de los POLs, se estudia el efecto de la conexión y desconexión de los mismos sobre el PdB. Para ello, se modifica ligeramente el escenario de la Fig. 5.7. Ahora es el propio POL 3 el que se conecta y desconecta del bus de 24 V regulado por el reductor 1 en lugar de manipular sus cargas.

La Fig. 5.9 muestra el comportamiento del PdB cuando se conecta el POL 3 directamente al bus de 24 V, sin utilizar un *hot swap manager*. Curiosamente, las impedancias parásitas de los conectores y el cable utilizados son suficientemente grandes para amortiguar la carga del condensador de entrada C_e del POL, que no es apreciable en el osciloscopio. Sí que se observa claramente cómo la corriente i_o demandada por el POL aumenta lentamente y de

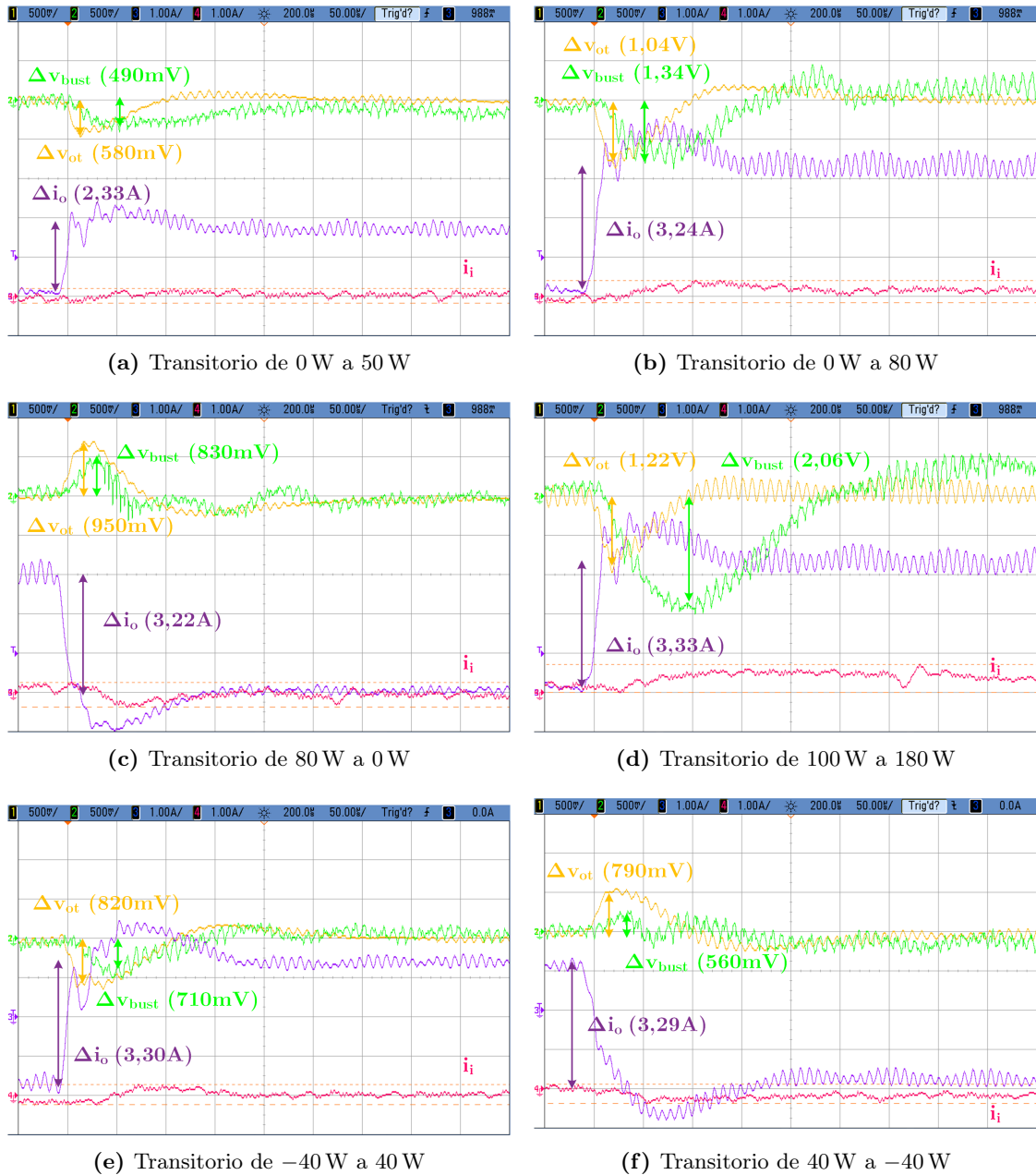


Figura 5.8: Medidas del comportamiento del PdB para diferentes puntos de operación y saltos de carga, mostrando v_o (CH1), v_{bus} (CH2), i_o (CH3) y i_i (CH4). Escala de tiempos: $50 \mu\text{s/s}$.

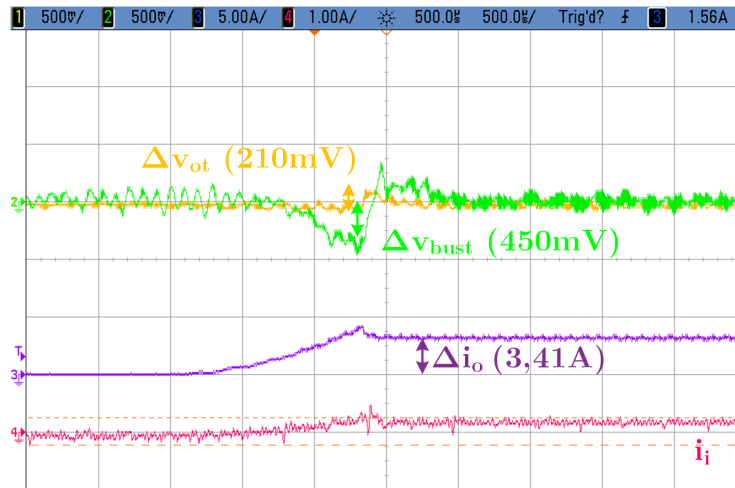


Figura 5.9: Medidas del comportamiento del PdB durante una conexión en caliente de un POL al bus de 24 V, mostrando v_o (CH1), v_{bus} (CH2), i_o (CH3) y i_i (CH4). Escala de tiempos: 500 μ s/s.

forma aproximadamente lineal, gracias al mecanismo de encendido suave del circuito de control utilizado. De esta forma, el controlador del reductor es capaz de seguir el ritmo de esta variación y el efecto sobre la tensión v_o es mínimo.

El valor de v_{bus} en esta figura, sin embargo, sí que presenta una desviación apreciable con respecto al valor nominal. Esto se debe en parte a que la baja resolución del convertidor analógico digital de 7 bits utilizado hace que el control del DAB no pueda detectar ningún error si este es menor de 480 mV. Por esta razón, el control no actúa para corregir v_{bus} hasta que Δv_{bus} es lo suficientemente grande como para salirse del contenedor o *bin* de error cero [276]. El uso de un convertidor con mayor resolución permitiría reducir esta desviación de la tensión v_{bus} . Sin embargo, también exigiría modificar la implementación del control para evitar la aparición de ciclos límite que podrían generar oscilaciones [276].

En la Fig. 5.10 se muestra la desconexión de este mismo POL 3. Las formas de onda obtenidas en esta medida son muy semejantes a las de la Fig. 5.8(c), donde se aplica un escalón de carga de -80 W al POL. Sin embargo, el valor Δv_{ot} es ligeramente mayor en este caso por tener una transición casi instantánea en i_o .

5.4 Problemas, posibles soluciones e ideas

5.4.1 Control del DAB

Los resultados experimentales obtenidos en este capítulo no hacen más que confirmar la necesidad de replantear las técnicas de control que se aplican al DAB en este trabajo. Con el control por fase desplazada propuesto, basado en la regulación directa de la tensión de salida, la estabilidad, las prestaciones dinámicas y la calidad de suministro del DAB dependen fuertemente del punto de operación.

Una de las técnicas propuestas para solucionar este problema es el uso de controles adaptativos. Este tipo de controles se basan en la modificación dinámica de los coeficientes del lazo de regulación para adaptarse a la planta cambiante del convertidor. Tradicionalmente, estos métodos se han utilizado para permitir al convertidor reaccionar frente a la degradación de sus componentes pasivos o la conexión de cargas, que modifican su planta.

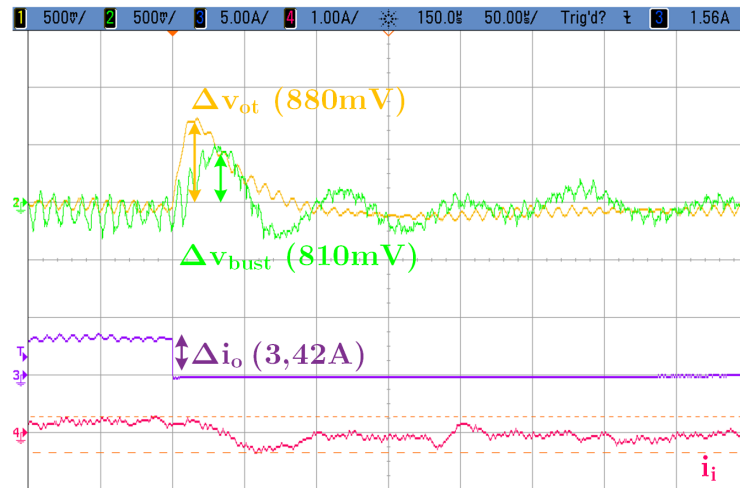


Figura 5.10: Medidas del comportamiento del PdB durante una desconexión de un POL del bus de 24 V, mostrando v_o (CH1), v_{bus} (CH2), i_o (CH3) y i_i (CH4). Escala de tiempos: 50 μ s/s.

El convertidor inyecta periódicamente perturbaciones en el bus para identificar su propia planta [276]. Si bien es un proceso relativamente lento y computacionalmente costoso, resulta muy útil para extender la vida útil de convertidores con condensadores electrolíticos u otros componentes que se degradan fuertemente con el tiempo o para la operación en entornos con cargas muy variables y dinámicas lentas.

En [237] se propone una modificación de esta técnica adaptada específicamente al DAB. Para minimizar el efecto de la variación de la planta con la potencia procesada, se implementa un sistema que modifica los coeficientes del lazo de regulación en función del punto de operación. Midiendo la corriente de salida, que está directamente relacionada con la potencia que procesa del DAB, el control puede seleccionar el lazo más óptimo para esa situación y proporcionar la mejor respuesta dinámica posible en todo el rango de potencias. El principal problema de este método de control es que el trabajo presentado en [237] comprueba su validez experimentalmente pero no hace un desarrollo teórico que permita modelar en detalle las transiciones. Esto dificulta la optimización del ancho de banda del DAB y el cálculo de su condensador de salida C_{ODAB} mínimo para cumplir con los requisitos de calidad de suministro.

Otra alternativa es la utilización de tablas que almacenen las variables de control adecuadas para cada punto de operación, como se hace en [132] y [277]. Para poder implementar esta técnica es necesario medir la tensión y la corriente de salida para saber cuál de los valores precalculados hay que aplicar. El principal problema de esta técnica es la necesidad de almacenar un gran número de datos para tener suficiente precisión en el control o el uso de complicados algoritmos de interpolación que limitan la tasa de actualización del lazo y su ancho de banda [132]. Además, al igual que en el caso anterior, el modelado de la dinámica durante transitorios de carga es complejo por no estar basado en métodos lineales de control.

5.4.2 Modelado del DAB

El modelado en pequeña señal de la planta del DAB resulta especialmente complicado por la ausencia de un punto sobre el que linealizar. Este problema es especialmente grave en convertidores como el que se integra en el PdB, que debe operar en un amplio rango de

potencias. El efecto de los tiempos muertos y su gran variación con la carga para asegurar la consecución de ZVS no hacen más que dificultar el modelado con una única expresión cerrada.

Una opción para caracterizar este tipo de sistemas con precisión es el uso de modelos politópicos [278]–[280]. Estos permiten combinar un número limitado de modelos lineales del convertidor en diferentes puntos de funcionamiento con unas funciones de ponderación para modelar el comportamiento del mismo en todas las situaciones de operación. Si bien esta técnica es ideal para simular el comportamiento del sistema, resulta poco práctica para la etapa de diseño y, obviamente, no elimina los problemas producidos por la gran variación de la planta del DAB.

Los problemas de modelado en el DAB se extienden también a su impedancia de salida. Esta determina la variación de la tensión de salida frente a escalones de carga y es, por tanto, un parámetro crítico para poder cumplir con los objetivos de calidad de suministro [270].

Los modelos de la planta en esta aplicación concreta sirven, únicamente, como una herramienta intermedia para estimar la variación de la tensión de salida del DAB durante los transitorios de la carga. Esta variación viene determinada por la impedancia de salida del DAB en lazo cerrado que depende, entre otras cosas, de la planta del convertidor y del diseño del regulador.

Los modelos de la impedancia de salida en lazo cerrado desarrollados en [270], [281], [282] proporcionan resultados muy semejantes a la impedancia de salida de un convertidor reductor con control en modo corriente de pico. Ambas se pueden aproximar por una inductancia a bajas frecuencias y el condensador de salida a altas frecuencias [143].

La gran semejanza entre las impedancias de salida del DAB y del reductor en modo corriente de pico, se podría pensar que la evolución de la corriente inyectada a la salida evolucionará en ambos casos de forma parecida. En los capítulos anteriores esta evolución de la corriente se ha aproximado como una exponencial negativa dependiente del ancho de banda del controlador [168].

Aunque esta aproximación es buena en el caso del convertidor reductor, los resultados mostrados en este capítulo y en los trabajos realizados en [237] y [281] muestran una cierta discrepancia entre la teoría y las medidas experimentales. Parte de este error entre la teoría y la práctica se podría explicar por el control en tiempo discreto y la falta de sincronía entre la actuación del lazo de regulación y los escalones de carga [270]. Sin embargo, la complejidad de los mecanismos de transferencia de potencia en el DAB y cómo se ven modificados durante los transitorios exige tener en cuenta más factores para determinar con precisión el comportamiento en estas situaciones [283].

5.4.3 Implementación del PdBI

La mayor parte de los problemas que se han identificado en el DAB utilizado en este trabajo vienen dados por la necesidad de tener tiempos muertos relativamente grandes con respecto al periodo de conmutación. Esto se debe a la gran capacidad parásita que presentan los MOSFETs utilizados en el puente primario del DAB. Como se comentó brevemente en el capítulo anterior, estos MOSFETs están optimizados para operar en puentes debido a las buenas características de su diodo parásito y el proceso de fabricación penaliza fuertemente las capacidades frente a tecnologías semejantes no optimizadas [284].

Una de las opciones para evitar estos problemas es el uso de dispositivos fabricados con materiales de banda prohibida ancha [285]. Si bien es cierto que los dispositivos de SiC de

600 V tienen capacidades similares a los dispositivos equivalentes de silicio, la mejora sí que es sustancial en los transistores de GaN [286]. La utilización de HEMTs de GaN permitiría, por tanto, la consecución de conmutaciones suaves con tiempos muertos significativamente menores, aunque también tienen un precio mayor y su gobierno requiere el diseño de circuitos de mando apropiados [286], [287].

Otra opción relativamente sencilla es la sustitución del puente completo primario por una estructura en medio puente [132]. Como se comentó en el capítulo anterior, el uso de solo dos dispositivos podría reducir a la mitad la carga que se debe redistribuir durante los tiempos muertos y duplica la corriente que circula por el devanado primario, acelerando este proceso. Si bien es cierto que la inductancia de dispersión L_k requerida para procesar la misma cantidad de potencia en el medio puente es también menor, la energía total almacenada en ella es mayor que en el DAB tradicional, ayudando a la consecución de ZVS en ambos puentes. Esto solo es cierto en aquellos casos donde la corriente por el primario sea lo suficientemente baja como para no requerir la sustitución de los MOSFETs por otros de mayor capacidad de corriente, que presentarán mayores capacidades parásitas.

Esta reflexión lleva a preguntarse si el DAB es realmente la mejor topología para controlar el flujo de potencia entre el bus de 380 V y el bus intermedio de 48 V. El estudio realizado en [132] permite descartar rápidamente algunas topologías por no ser adecuadas para esta aplicación:

- Convertidores como el *Flyback* o el *Forward* presentan eficiencias relativamente bajas y solo son adecuados para niveles de potencia menores que el requerido para el PdB en la arquitectura propuesta. Utilizar un Ćuk con aislamiento galvánico soluciona parte de estos problemas pero requiere un mayor número de dispositivos y condensadores de bloqueo de las componentes de CC, además de presentar una planta complicada de regular.
- Utilizar una topología en puente completo tradicional, con ocho transistores y un filtro LC en la salida del puente secundario, permite obtener una eficiencia semejante a la de un DAB a la vez que se simplifica el modelo dinámico. Sin embargo, esta opción requiere un segundo elemento magnético y circuitería adicional para atenuar las oscilaciones que tienen lugar en las conmutaciones del puente secundario, cuando se conecta la inductancia del filtro con la dispersión del transformador.
- Sustituir el puente secundario por una salida en *push-pull* reduce ligeramente el número de elementos necesarios. A cambio, requiere utilizar un transformador de mayor tamaño y más complejo de diseñar y los transistores del secundario deben tener una mayor capacidad de soportar tensión que en una implementación tradicional en puente completo.
- Los convertidores resonantes basados en puentes completos permiten alcanzar eficiencias muy altas a plena carga. Sin embargo, tienen como principales inconvenientes la necesidad de incluir elementos pasivos adicionales para conseguir la resonancia y la degradación de la operación a potencias bajas, pudiendo llegar a perder la regulación en esas situaciones.

Una topología que puede resultar interesante para esta aplicación es el puente con salida en doblador de corriente. Esta ha sido ampliamente utilizada en aplicaciones bidireccionales donde la eficiencia, el volumen y el coste del convertidor son aspectos clave de diseño [288]–[292]. Como se puede ver en la Fig. 5.11, esta topología se puede implementar con solo cuatro transistores [288], [292] y la utilización de un medio puente a la entrada podría ayudar a conseguir ZVS con tiempos muertos menores, al igual que ocurría en la variante del DAB.

Al contrario que en el DAB, el control de la tensión de salida se basa en este caso en el ciclo de trabajo aplicado a los transistores. Puesto que este depende únicamente de la tensión de entrada, la tensión de salida deseada y la relación de vueltas del transformador, el modelado de la planta resulta mucho más sencillo, obteniendo un resultado semejante al del reductor con control en modo tensión [292]. Esto permite cerrar un único lazo con un ancho de banda independiente del punto de operación y determinar de forma precisa el condensador de salida requerido para proporcionar la calidad de suministro deseada en función de los modelos planteados en [168].

La principal desventaja de esta topología es la necesidad de añadir dos elementos magnéticos, lo que puede incrementar significativamente el volumen del convertidor. Además, la eficiencia obtenida en [291] para esta topología parece ser menor que la de otras alternativas. Sin embargo, los materiales magnéticos y los transistores han evolucionado lo suficiente desde 1998 como para requerir un nuevo estudio comparativo.

La topología mostrada en la Fig. 5.11 también se podría controlar con un ciclo de trabajo asimétrico para mejorar su eficiencia con respecto a un control tradicional [293]. La planta del convertidor es ligeramente más compleja en este caso, presentando dos resonancias. Sin embargo, se puede obtener un buen ancho de banda si se realiza un diseño adecuado del regulador y se presta atención a los elementos parásitos [292].

5.4.4 Interacción entre convertidores

Durante todos los desarrollos teóricos de este trabajo se ha considerado de que la corriente demandada o inyectada a los convertidores diseñados tiene un rizado en régimen permanente despreciable. Sin embargo, cuando se ensambla el PdB con múltiples convertidores y se utilizan POLs como cargas y fuentes, se puede ver que el rizado de estas corrientes es significativo. Puesto que los condensadores de salida de los convertidores que integran el PdB no se han dimensionado considerando este efecto, se observa también un importante rizado en el bus intermedio de 48 V y los buses de 24 V accesibles al usuario.

Cuando hay varios convertidores con distinta frecuencia de conmutación conectados al mismo bus, este problema se agrava. La corriente demandada al convertidor que regula el bus presenta en ese caso componentes a frecuencias de intermodulación [294]. Este problema se podría solucionar parcialmente con la selección adecuada de las frecuencias de conmutación dentro del PdB para que los productos de intermodulación sean atenuados de forma natural por los filtros de los convertidores y entrelazando el control de los reductores para compensar el rizado de las corrientes demandadas por cada uno de ellos. Sin embargo, estas técnicas no son sencillas de aplicar a los POLs. Además de no tener acceso directo a su

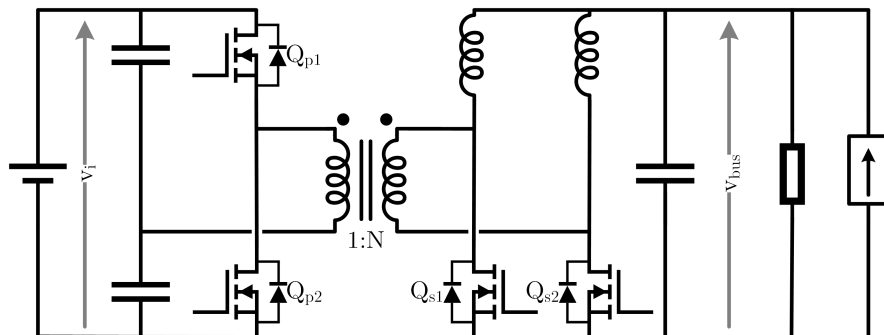


Figura 5.11: Esquema simplificado de un convertidor en medio puente con salida en doblador de corriente.

circuitería de control, éstos pueden ser muy diversos y tener frecuencias de conmutación muy distintas.

La solución más sencilla es filtrar el rizado de corriente de alta frecuencia, haciendo que el comportamiento de todo el sistema se asemeje más a las condiciones ideales en que se diseñó. Para ello, simplemente se debe añadir un pequeño choque de ferrita [294] o un filtro en Π completo [140] para atenuar el rizado de la corriente.

El principal problema de filtrar la corriente de entrada de los convertidores es dónde fijar el límite de rizado admitido. Como se comentó en el Capítulo 3, los estándares de compatibilidad electromagnética para equipos militares embarcados y sistemas de telecomunicación no parecen particularmente apropiados para esta aplicación. La normativa EN 55014-1:2017, que cubre los equipos domésticos y de propósito general alimentados tanto en CA como en CC, no fija un límite a la interferencia conducida por debajo de 150 kHz [295]. Puesto que la componente fundamental del rizado de corriente presente en el escenario probado en este capítulo se encuentra en el entorno de los 100 kHz, no es posible aplicar este estándar directamente para solucionar el problema identificado. Sería necesario generar una especificación semejante a la militar, que fija límites de interferencias conducidas desde 5 kHz, con una máscara más permisiva y adecuada para los SDCs en entornos domésticos.

Otro aspecto importante de la interacción entre convertidores es la conexión y desconexión de los mismos en el bus de 24 V. Los resultados mostrados en la sección 5.3 demuestran que, en aquellas situaciones en las que el cable utilizado para la conexión es lo suficientemente largo, podría no ser necesario utilizar circuitería adicional para asegurar la carga lenta del condensador de entrada. La desconexión del POL es equivalente a un escalón de carga, por lo que tampoco requiere tomar medidas adicionales. Sin embargo, el bajo coste de los *hot swap managers* y la simplicidad de su diseño hacen recomendable incluirlos en todos los POLs para evitar posibles problemas durante la conexión de nuevos elementos al bus y aumentar la fiabilidad y robustez del sistema frente a sobrecargas y cortocircuitos [148], [149].

5.5 Conclusiones

Tras integrar el convertidor DAB y los convertidores reductores diseñados en un PdB y comprobar su funcionamiento simulando un escenario real utilizando POLs como cargas y fuentes conectadas al bus de 24 V se lleva a las siguientes conclusiones:

- El diseño realizado es satisfactorio y permite proporcionar cinco buses estables, regulados e independientes de 24 V al usuario de forma segura y eficiente.
- El comportamiento dinámico del DAB dificulta el cumplimiento de los requisitos impuestos sobre la calidad de suministro del bus intermedio de 48 V. Sin embargo, por tratarse de un bus no accesible al usuario, es posible relajar ligeramente los requisitos fijados sin penalizar la calidad de los buses de 24 V, incrementar el valor del condensador de salida C_{ODAB} del DAB o aplicar técnicas como las expuestas en la sección 5.4.
- La topología DAB podría no ser la más apropiada para la implementación del PdB. Sin embargo, ninguna de las alternativas evaluadas en este capítulo es estrictamente mejor en todos los aspectos. Sería necesario realizar un análisis exhaustivo de las ventajas e inconvenientes de cada una de ellas además de los detalles de implementación real, que pueden condicionar la selección de la topología más adecuada.

- El rizado de la corriente demandada por los convertidores utilizados causa perturbaciones en la tensión de los buses de 24 V que no se habían predicho en capítulo anteriores. Al no poder aplicar directamente ninguna de las regulaciones de interferencia electromagnética existentes, se debería realizar un estudio sobre los niveles máximos de inyección de componentes de alta frecuencia que producen un efecto despreciable en la tensión del bus.

Capítulo 6

Conclusiones

En este trabajo se proporciona una guía de diseño para el convertidor que genera y regula el bus de baja tensión en un Sistema de Distribución de Energía en Corriente Continua (SDC) para un entorno doméstico.

Tras analizar como se realiza actualmente la electrificación de los hogares en CA, se propone una arquitectura para el SDC basada en dos niveles de tensión: un bus general de distribución de 380 V y múltiples buses aislados de 24 V para los elementos con una potencia nominal menor de 100 W. Con la estructura bien definida, se describe el proceso de diseño del Proveedor de Bus (PdB) bidireccional que proporciona interfaces de 24 V a los usuarios para la conexión tanto de cargas como de fuentes. Este proceso se verifica diseñando un PdB adaptado a las necesidades y requisitos de un usuario doméstico, aunque el algoritmo descrito se puede adaptar fácilmente a distintas aplicaciones u objetivos de diseño. Los resultados obtenidos en cada capítulo se resumen en la siguiente lista.

En el **Capítulo 2** se propone una implementación del SDC sencilla, robusta, segura y que permite la gestión de cargas y fuentes de energía. Para ello se tienen en cuenta las siguientes consideraciones:

- El actual sistema de distribución en CA se basa en una estructura dividida en circuitos independientes, cuya capacidad de corriente se dimensiona para las cargas que van a alimentar. Esta solución encaja con la filosofía de las micro-redes y se mantiene en la implementación del SDC.
- Proporcionar un único nivel de tensión de 380 V desde un rectificador colocado en el punto de conexión a red es la opción más sencilla y que supone menores cambios con respecto al sistema actual de CA. Un SDC con dos niveles de tensión proporciona un buen equilibrio entre seguridad y complejidad del sistema, además de facilitar la integración de elementos de baja potencia como luminarias LED, electrónica de consumo, Sistemas de Generación Distribuida (SGDs) auxiliares y pequeños Sistemas de Almacenamiento de Energía (SAEs).
- Se utiliza un PdB para proporcionar cinco buses seguros e independientes de 24 V al usuario. Cada PdB sustituye a alguno de los circuitos de propósito general del sistema tradicional y está limitado a 500 W, lo que debería ser suficiente para proporcionar energía en baja tensión a dos habitaciones en un hogar convencional.
- El PdB se implementa con una arquitectura de bus común. Se utiliza un convertidor *Dual Active Bridge* (DAB) para proporcionar un bus intermedio regulado no accesible al usuario de 48 V y presentar una única interfaz con aislamiento galvánico al bus general de 380 V. A este bus intermedio de 48 V se conectan cinco convertidores

reductores síncronos, que regulan la tensión de cada uno de los buses independientes de 24 V. De esta forma, se simplifica el sistema de protecciones en el bus general de distribución pero se puede controlar con detalle la potencia proporcionada en cada interfaz de baja tensión. Si se produce un fallo en cualquiera de los buses de 24 V, el reductor y sus protecciones lo aislará del resto del PdB, minimizando el impacto de la avería.

- La implementación con un bus común simplifica además la instalación, reconfiguración y mantenimiento del PdB. El uso de tensión segura en el bus intermedio permite reemplazar los reductores o modificar el cableado de baja tensión con el resto del sistema operando con normalidad.
- Los convertidores usados para la implementación del PdB son bidireccionales, permitiendo la conexión de SGDs y SAEs a los buses de 24 V. Puesto que los reductores regulan la tensión de 24 V, estos elementos deben operar como fuentes de potencia o de corriente.

En el **Capítulo 3** se estudian los requisitos que debe cumplir el convertidor reductor síncrono para su integración en el PdB y se valoran distintas posibilidades de implementación. Se propone un procedimiento de diseño que minimiza las pérdidas del reductor a la vez que asegura el cumplimiento de los requisitos impuestos por la aplicación. De este capítulo se extraen las siguientes conclusiones:

- El convertidor reductor síncrono es apropiado para gestionar los flujos de potencia bidireccionales entre el bus intermedio de 48 V y los elementos del bus de 24 V. Es una topología sencilla y fácil de controlar que se puede implementar en un volumen reducido con una buena eficiencia.
- El método de diseño propuesto permite optimizar la eficiencia del convertidor y cumplir con los requisitos de calidad de suministro, proporcionando una buena correspondencia entre la estimación analítica y los resultados experimentales medidos.
- El procedimiento de diseño no solo depende de las características del sistema sino también de los componentes escogidos para la implementación del reductor, el rizado de corriente por la inductancia y el método de control utilizado.
- En todos los escenarios planteados se encuentra una frecuencia de conmutación óptima que permite minimizar las pérdidas del convertidor a plena carga. Esta frecuencia afecta además al volumen del condensador necesario para cumplir con los requisitos impuestos.
- Con las características eléctricas escogidas, la mayor eficiencia del convertidor se obtiene cuando se opta por un control a frecuencia fija. La operación en QSW-ZVS es adecuada para la optimización de la eficiencia en un rango limitado de potencia procesada pero penaliza las pérdidas en el resto de puntos de operación.
- Se identifica el control en modo tensión del reductor en frecuencia fija como la mejor opción para esta aplicación. Comparado con el control en modo corriente de pico, permite el uso de un condensador de salida menor para cumplir con los requisitos impuestos sobre la calidad de suministro. Sin embargo, el control en modo corriente de pico es menos sensible a las cargas capacitivas que el usuario puede colocar en el bus y su uso podría ser interesante en ciertas aplicaciones.

En el **Capítulo 4** se adapta el análisis realizado para el reductor y el procedimiento de diseño propuesto a las peculiaridades del convertidor DAB. Las principales conclusiones que se extraen de este capítulo son las siguientes:

- La implementación del DAB con un único núcleo magnético con devanados apilados permite reducir las pérdidas y asegurar las conmutaciones suaves independientemente de la potencia procesada por el convertidor.
- El procedimiento de diseño propuesto para el reductor se puede adaptar fácilmente al DAB. Sin embargo, los resultados no son tan precisos como los que se obtienen para el reductor. Por una parte, las pérdidas en el elemento magnético no son sencillas de modelar con los modelos simples de pérdidas, especialmente aquellas debidas a las componentes de altas frecuencias y el proceso real de fabricación. Por otra parte, el dimensionamiento del condensador de salida para proporcionar una regulación adecuada durante escalones de carga no es sencilla, debido al comportamiento dinámico del convertidor.
- Ninguno de los modelos dinámicos propuestos para el DAB describen con precisión su comportamiento en todo el rango de potencias. Incluso los modelos más sencillos predicen con bastante precisión las plantas medidas a potencias altas. Sin embargo, cuando el desfase que controla la transferencia de potencia empieza a ser del orden de magnitud de los tiempos muertos, estos mecanismos de transferencia cambian. La resonancia entre las capacidades parásitas de los MOSFETs y la inductancia de dispersión juega un papel muy importante cuando la potencia procesada es baja, modificando sustancialmente el comportamiento del DAB. El modelado del efecto que tienen estas resonancias sobre la dinámica resulta muy complejo, por lo que se opta por medir la planta del convertidor y cerrar el lazo de regulación utilizando los resultados obtenidos.
- A la vista de estos resultados, se opta por dimensionar el condensador de salida en base a las medidas realizadas y la estimación de los anchos de banda que se pueden obtener con las distintas plantas que presenta el DAB.

En el **Capítulo 5** se procede a la integración de los seis convertidores en el PdB para comprobar el correcto funcionamiento como sistema. De las pruebas realizadas se extraen las siguientes conclusiones:

- Las plantas del DAB cuando se integra en el PdB diseñado no sufren cambios significativos con respecto a las medidas en el Capítulo 4. Sin embargo, no es posible generalizar este resultado para cualquier especificación puesto que se carece de un modelo analítico.
- Las plantas del DAB se pueden aproximar, en general, como un sistema de primer orden y su impedancia de salida en lazo cerrado es muy semejante a la de un convertidor reductor controlado en modo corriente de pico. Sin embargo, las ecuaciones que describen la evolución de la corriente de salida del reductor durante un transitorio de carga no se corresponden con las medidas realizadas sobre el DAB. Además, la variación de la tensión de salida durante estos transitorios tampoco se puede explicar fácilmente con los modelos utilizados para el reductor en modo tensión.
- Los problemas identificados en lo que respecta al control del DAB lleva a plantearse el uso de topologías alternativas. Si bien la sustitución del puente completo de entrada del DAB por un medio puente o el uso de un medio puente con salida en doblador de corriente podrían ser sustitutos adecuados, es necesario realizar un estudio más detallado de estas opciones.
- La optimización de los convertidores de forma individual y la falta de sincronización de su frecuencia de conmutación hace aparecer en los distintos buses un rizado estático de tensión mayor de lo previsto. Si bien es cierto que apenas tiene efecto sobre

el funcionamiento del PdB o los elementos conectados por el usuario, para la implementación de un producto comercial se deberían incluir mecanismos que eviten la aparición de estas componentes de intermodulación. Puesto que el diseñador del PdB no puede controlar la implementación de los convertidores que actúan como interfaz entre los elementos del usuario y los buses de 24 V, la opción más sencilla sería la utilización de filtros EMI para atenuar las corrientes de alta frecuencia inyectadas a cada uno de los buses.

6.1 Mejoras y posible trabajo futuro

Aunque el diseño del PdB realizado cumple con su función y los requisitos impuestos, la implementación propuesta no es necesariamente la mejor. Las líneas de investigación futuras podrían centrarse en resolver los problemas identificados en este trabajo y en la optimización de la arquitectura.

Quizás la línea de trabajo más clara es el análisis detallado de la mejor topología para implementar el convertidor aislado que proporciona el bus intermedio de 48 V desde el bus de 380 V. Como se ha comentado anteriormente, hay alternativas al DAB que podrían resultar interesantes pero ninguna de ellas es indiscutiblemente mejor que la opción utilizada. Para escoger la más adecuada, habría que estudiar en profundidad aspectos como el control y el comportamiento dinámico, la eficiencia, la densidad de potencia, el peso o el coste de cada una de ellas y la importancia relativa de cada uno de estos factores en su uso para la implementación del PdB en un entorno doméstico.

Siguiendo con esta misma línea, se podrían valorar otras topologías para sustituir el convertidor reductor síncrono. Si bien este presenta muy buenas características, podrían estudiarse otras topologías de convertidores reductores no aislados para buscar soluciones con prestaciones semejantes y menor volumen, peso o pérdidas.

Otra posible línea de investigación podría ser la optimización de la arquitectura propuesta a las necesidades de diferentes usuarios. Si bien en el Capítulo 2 se ha hecho una breve relación de los elementos que requieren energía eléctrica en un hogar, resulta importante estudiar aspectos como los perfiles de carga de estos elementos, los patrones de uso de la energía por parte de diferentes tipos de usuarios o la distribución real de tomas eléctricas en un hogar actual con respecto a la distribución ideal.

Este estudio permitiría además hacer una selección más informada sobre especificaciones eléctricas como los niveles de tensión más apropiados para cada bus, la potencia nominal de los PdBs o si realmente existe la necesidad de que éstos sean bidireccionales. Analizando las necesidades de cada elemento en el hogar se podría llegar a la conclusión, por ejemplo, de que resulta más adecuado utilizar un único bus general de 120 V o que el nivel más adecuado para los buses de tensión segura es de 48 V o de tan solo 5 V.

Si las tensiones de distribución cambiaran significativamente, habría que replantear la arquitectura propuesta para la implementación del PdB. Por ejemplo, si la distribución a tensión segura se realizase a 48 V, resulta difícil escoger otro nivel de tensión segura para una arquitectura en bus intermedio. Esto daría pie a evaluar si el uso de un bus intermedio y las ventajas que esto proporciona son suficientes o si es más ventajoso el uso de un único convertidor aislado por cada canal de baja potencia y tensión segura.

Una línea de investigación estrechamente ligada con la selección de las topologías y la arquitectura es el estudio de la fiabilidad del sistema. En este trabajo se ha considerado que una estructura relativamente compleja pero de mantenimiento sencillo es preferible

frente a una estructura más simple con un mantenimiento más costoso. Sin embargo, habría que estudiar en detalle los posibles mecanismos de fallo y cual es la opción más robusta. De la misma forma, habría que analizar el efecto que tiene una mayor fiabilidad sobre la eficiencia, el volumen y el coste del sistema para escoger la opción más rentable.

Finalmente, una caracterización detallada de los elementos que el usuario puede conectar a cada uno de los buses permitiría abrir una línea de investigación en lo referente a la interacción entre convertidores. En este trabajo se ha supuesto que todas las cargas y fuentes que el usuario puede conectar al bus tienen características y comportamientos semejantes. Sin embargo, ciertos elementos pueden presentar peculiaridades como la necesidad de realizar encendidos extremadamente rápido, poder sobrecargar el bus durante cortos periodos de tiempo o requerir el uso de filtros de entrada que exceden los límites impuestos en este trabajo. Unido a la necesidad de utilizar filtros EMI que limiten la inyección de armónicos a los buses de distribución, la caracterización cuidadosa de los diferentes elementos podría facilitar la creación de un estándar para los SDCs domésticos y permitir la adaptación de los métodos de diseño propuestos en este trabajo a un entorno de operación real.

6.2 Financiación

Este trabajo de Tesis ha sido financiado principalmente por el Gobierno del Principado de Asturias mediante la beca pre-doctoral Severo Ochoa BP14-085 y por el Gobierno de España mediante el proyecto MINECO13-DPI2013-47176-C2-2-R. Otras fuentes de financiación han sido el Gobierno de España mediante el proyecto MINECO-17-DPI2016-75760-R, el Gobierno del Principado de Asturias mediante el proyecto FC-15-GRUPIN14-143 y los Fondos Europeos de Desarrollo Regional (FEDER).

Chapter 7

Conclusions

This work provides a design guide for the power converter which generates and regulates the low voltage bus in a Direct Current Power Distribution System (SDC) for domestic applications.

After the analysis of current electrification solutions at home using alternate current, a two level architecture is proposed for the SDC implementation: a general distribution bus at 380 V and several isolated 24 V buses for those elements with a nameplate power under 100 W. Once the structure is well defined, the design procedure of the bidirectional Bus Provider (PdB) is described. This converter provides 24 V interfaces so the user can connect both loads and sources. This procedure is verified by designing a PdB adapted to the needs and requirements of a domestic user, although the described algorithm can be easily adapted to different applications or design targets. The results obtained in each chapter are summarized in the following list.

In **Chapter 2** a simple, safe and robust implementation of the SDC is proposed. This proposal allows the management of both loads and power sources and takes into account the following aspects:

- Current AC distribution systems at home are based on a sectorised architecture, split into several independent circuits. Each of these circuits have a current-carrying capacity adequate for their expected loads. This solution is similar to the microgrid philosophy and is thus used for the implementation of the SDC.
- The easiest solution, which requires the minimum amount of changes with respect to a traditional AC system, is to provide a single 380 V voltage level from a front-end rectifier at the point of common coupling. Using a two level SDC provides a good compromise between safety and system complexity. It also makes easier the integration of low power elements such as LED lighting, consumer electronics, auxiliary Distributed Generation Systems (SGDs) and low capacity Energy Storage Systems (SAEs).
- A PdB is used in order to provide five safe and independent 24 V buses to the user. Each PdB replaces one of the general purpose circuits of the traditional AC system and is limited to 500 W, which should be enough to provide power at low voltage to up to two rooms in a standard home.
- The PdB is implemented with an Intermediate Bus Architecture. A Dual Active Bridge converter (DAB) is used to provide an intermediate regulated 48 V bus which is not accessible to the user and to present a single interface with galvanic isolation to the general 380 V bus. This intermediate 48 V bus provides power to five synchronous

buck converters which independently regulate their output voltage and provide 24 V buses. This implementation simplifies the protections which should be added to the high voltage bus but enables the tight control of each of the low voltage interfaces with the user. Should a fault happen in any of the 24 V buses, its buck converter and bus protections will isolate it from the rest of the PdB, minimizing the effect on the rest of the system.

- The implementation based on an intermediate bus simplifies the installation, reconfiguration and maintenance of the PdB. As the 48 V intermediate bus has a safe voltage level, it is possible to replace the buck converters or modify the low voltage wiring with the rest of the system operating normally.
- The power converters that comprise the PdB are bidirectional, allowing the connection of SGDs and SAEs to the 24 V buses. These elements should operate as current or power sources in order to not conflict with the buck converters over the bus voltage control.

In **Chapter 3** the requirements for the operation of the synchronous buck converters integrated in the PdB are studied and different implementation options are evaluated. A design procedure, which minimizes the converter losses and guarantees the compliance with the application requirements is proposed. From this chapter, the following conclusions are drawn:

- The synchronous buck converter is appropriate for managing bidirectional power flows between the 48 V intermediate bus and the elements connected to the 24 V bus. It is a simple and easy to control topology which can be implemented in a compact volume with a high efficiency.
- The proposed design procedure optimizes the switching frequency of the converter and ensures that the power quality requirements are met. The experimental measurements closely match the analytical results.
- This design procedure not only depends on the system characteristics but also the chosen components, the inductor current ripple and the control method.
- In every scenario, an optimum switching frequency is found such that it minimizes the converter losses at full load. This frequency also affects the volume of the output capacitor which is required to comply with the requirements.
- With the chosen electrical characteristics, the best efficiency is obtained with fixed frequency operation. The use of QSW-ZVS mode is adequate for optimizing efficiency in narrow power ranges but increases the losses in the rest of operating points.
- Fixed frequency, voltage mode control is identified as the best option for this application. Compared with current peak mode control, a smaller output capacitor can be used in order to comply with the power quality requirements. Current peak mode control is, however, less sensitive to capacitive loads and could be preferred in other applications.

In **Chapter 4** the analysis performed and the design procedure proposed for the buck converter are adapted to the traits of the DAB converter. The main conclusions drawn from this chapter are the following:

- The implementation of the DAB with a single magnetic core and stacked windings allows the reduction of the losses and can ensure soft switching regardless of the power level processed by the converter.

- The design procedure which was originally proposed for the buck can be easily adapted to the DAB. However, the obtained results are not as precise as those of the buck. The losses in the magnetic component are not easy to model accurately with simple loss models, specially those due to the high frequency effects and the actual manufacturing process. Additionally, the required output capacitor calculation to comply with power quality requirements is not easy to calculate due to the complex dynamic behavior of the DAB.
- None of the dynamic models which have been proposed for the DAB can describe its behavior in the full power range. Even the simple models accurately estimate the actual plant when the processed power is high. However, then the phase shift which controls the power transfer is comparable to the dead-times, these power transfer mechanisms change. The resonance of the parasitic capacitance of the MOSFETs and the leakage inductance play a very important role when the processed power is low, significantly changing the DAB behavior. Modeling of these resonances is really complex so it is preferred to directly measure the converter plants and to close the loops based on these measurements.
- Due to these results, the output capacitor is calculated with the estimated bandwidth which can be obtained with the different plants of the DAB depending on the operating point.

In **Chapter 5** the six converters are integrated into the PdB in order to verify the correct operation as a system. From those trials, the following conclusions are drawn:

- The different plants of the DAB when it is integrated within the PdB are not significantly different from those measured in Chapter 4. However, it is not possible to generalize this result for every specification due to the lack of an analytical model.
- The plants of the DAB can be approximated, in most cases, as a first order system and its closed loop impedance is similar to that of a current peak mode controlled buck converter. However, the equations which describe the output current of the buck converter during a load transient do not match the measured behavior of the DAB. Besides that, the output voltage deviation during those transients cannot be easily explained with the models used for the buck in voltage mode control.
- The issues regarding the DAB control could be a good reason for the use of alternative topologies. The use of a half bridge as the input port of the DAB or a half bridge with a current doubler output could be adequate for this application. However, a deep analysis of these options should be performed in order to assess whether they are actually better than the DAB for this application.
- The individual optimization of the converters and the lack of switching frequency synchronization cause a higher steady state voltage ripple than expected. Even though it has little effect on the correct operation of the PdB or the user elements, the implementation of a commercial product should include mechanisms which limit these intermodulation interferences. The designer of the PdB cannot control the implementation of the converters which will interface the user elements and the 24 V buses, making the use of EMI filters the simplest option to attenuate these high frequency currents injected into the buses.

7.1 Enhancements and possible future work

Even though the designed PdB fulfills all the requirements of this application, the proposed implementation is not necessarily the most adequate. Future research lines could focus on solving those issues identified in this work and the optimization of the proposed architecture.

Perhaps, the clearest research line is the detailed analysis of the most appropriate topology for the implementation of the isolated converter which provides the intermediate 48 V bus from the 380 V bus. As it was previously mentioned, there are alternatives to the DAB which could prove interesting but none of them is clearly better than the DAB itself. In order to choose the most adequate one, a deep analysis of assets such as the control, the dynamic behavior, the efficiency, the power density, the weight or the cost of each of them should be performed, as well as how important each of these aspects is for the implementation of a PdB in a domestic environment.

Following this research line, alternative topologies could also be considered to replace the synchronous buck converter. Although the buck converter has outstanding characteristics, different non-isolated, step-down topologies could have a similar performance with lower volume, weight or losses.

Another possible research line could be the optimization of the architecture itself to the needs of different users. Chapter 2 provides a brief review of those domestic elements which require electrical power. However, a thorough study of their load profiles, the energy usage patterns of different kinds of users or the actual distribution of power sockets in current homes should be performed.

This study would allow making an informed choice of the electrical specifications, such as voltage levels for each bus, the nameplate power of the PdB or whether there is a real need for the system to be bidirectional. Analyzing the needs of every element which is used at home could lead to the selection of a single distribution bus of 120 V or that the safe voltage bus should have a voltage level as high as 48 V or as low as 5 V.

If the distribution voltage levels changed significantly, the PdB architecture should be questioned. For example, if the safe voltage level for the buses was fixed at 48 V, it would be difficult to choose another safe voltage for the intermediate bus. This would lead to the evaluation of whether the use of an Intermediate Bus Architecture is justified or it is more advantageous to use a single isolated converter for each low power, safe voltage interface.

Another research line which is closely linked to the selection of the topologies and architecture is the study of the system reliability. In this work, a relatively complex structure with a simple maintenance is preferred to a simpler structure with a costlier maintenance. However, the different failure mechanisms and which option is the most robust should be carefully studied. The effect of an enhanced reliability on efficiency, volume and cost of the whole system should be evaluated in order to choose the most profitable or less expensive option.

Finally, a detailed characterization of the elements which the user can connect to each bus would allow the start of a new research line regarding converter interaction. In this work it was assumed that every load and source which can be connected by the user have similar characteristics and behavior. Nevertheless, some elements could have some peculiarities, such as the need for extremely fast turn-on processes, the ability overload the bus during short time intervals or the use of input filters with higher capacitor values than those considered in this work. A thorough characterization of these elements and their EMI

filters could lead to the elaboration of a standard for domestic SDCs and the adaption of the design methods proposed in this work to a real operation environment.

7.2 Funding

This Thesis has been mainly supported by the Gobierno del Principado de Asturias through the pre-doctoral grant Severo Ochoa BP14-085 and by the Gobierno de España through the project MINECO13-DPI2013-47176-C2-2-R. The rest of the support has been granted in by the Otras fuentes de financiación han sido el Gobierno de España through the project MINECO-17-DPI2016-75760-R, the Gobierno del Principado de Asturias through the project FC-15-GRUPIN14-143 and the European Regional Development Fund (ERDF).

Anexo A

Diseño de POLs para el bus de 24 V

El PdB debe intercambiar energía con múltiples fuentes o cargas que en la mayor parte de los casos estarán conectadas a los buses de 24 V por un convertidor. Para comprobar de forma experimental su correcto funcionamiento y la validez del procedimiento de diseño propuesto, se construyen tres tipos de POL distintos con los que realizar las pruebas. Estos buscan emular el funcionamiento de cargas y fuentes reales con las especificaciones que han sido definidas en los capítulos 2 y 3.

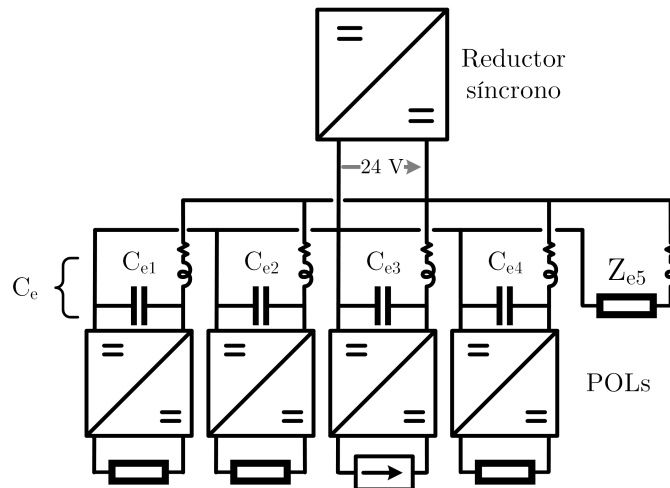


Figura A.1: Escenario de ejemplo con múltiples POLs y una carga pasiva conectados a uno de los buses de 24 V.

A.1 Diseño del POL 1

El diseño del POL 1 se basa en el convertidor conmutado comercial Murata OKI-78SR-12/1.0-W36-C [296], que proporciona una salida regulada de 12 V y hasta 12 W.

Puesto que todas las funcionalidades del convertidor están integradas, su diseño resulta extremadamente sencillo. El fabricante únicamente recomienda añadir una capacidad de entrada y otra de salida de al menos $10 \mu\text{F}$ que deben estar implementadas con condensadores cerámicos de baja ESR. Teniendo en cuenta la pérdida de capacidad de estos elementos debido a la polarización con tensión continua [297] y el pequeño condensador de entrada que se encuentra ya integrado en el propio convertidor, cada POL 1 conectado al bus de 24 V supone un C_e de entorno a $4,5 \mu\text{F}$.

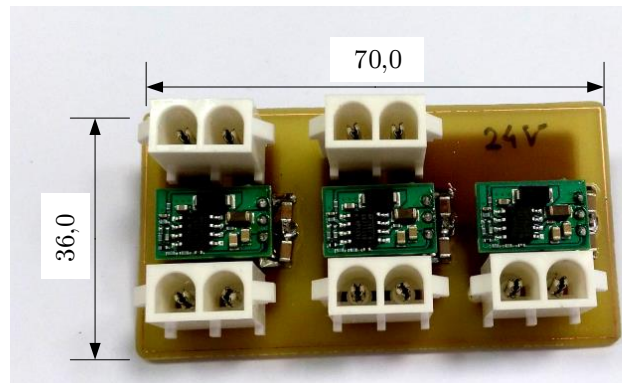


Figura A.2: Prototipo con tres convertidores POL 1.

A.2 Diseño del POL 2

El convertidor conmutado comercial RECOM R-7212P [298] se usa como base para el diseño del POL 2. Este proporciona hasta 24 W con una única salida regulada de 12 V.

Al igual que en el caso anterior, el diseño es muy sencillo puesto que el R-7212P integra todo lo necesario para la conversión. Aunque tiene la posibilidad de añadir funcionalidades adicionales colocando circuitería externa, se utiliza con su configuración más básica. Únicamente se añaden un condensador cerámico de $10\ \mu\text{F}$ a su entrada y un condensador electrolítico de $100\ \mu\text{F}$ a su salida, como recomienda el fabricante.

Con esta configuración, el valor de C_e del POL 2 es de aproximadamente $7\ \mu\text{F}$.

A.3 Diseño del POL 3

Los anteriores POLs solo permiten el flujo de potencia desde el bus de 24 V hacia su carga, operando únicamente en modo sumidero. Para poder probar la correcta operación del PdB cuando se le conecta una fuente, se desea que el POL 3 sea bidireccional. Controlando únicamente su tensión de salida, debería ser capaz de demandar o inyectar potencia al bus de 24 V y operar como una CPC o una FPC.

Una forma sencilla de conseguir la operación bidireccional de este POL es diseñarlo de forma análoga al convertidor reductor síncrono utilizado para la implementación del PdB con las especificaciones adaptadas al bus de 24 V. Para aprovechar los materiales disponibles, se utiliza el TPH7R006PL y un núcleo magnético RM8 en material N97. Las condiciones

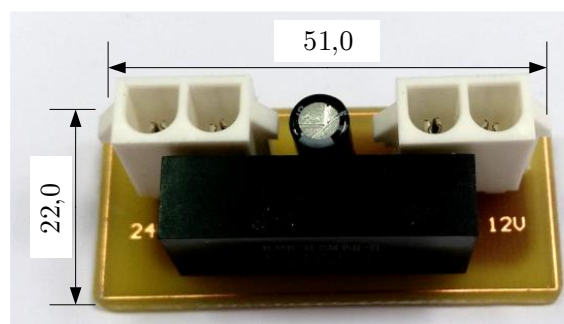


Figura A.3: Prototipo del convertidor POL 2.

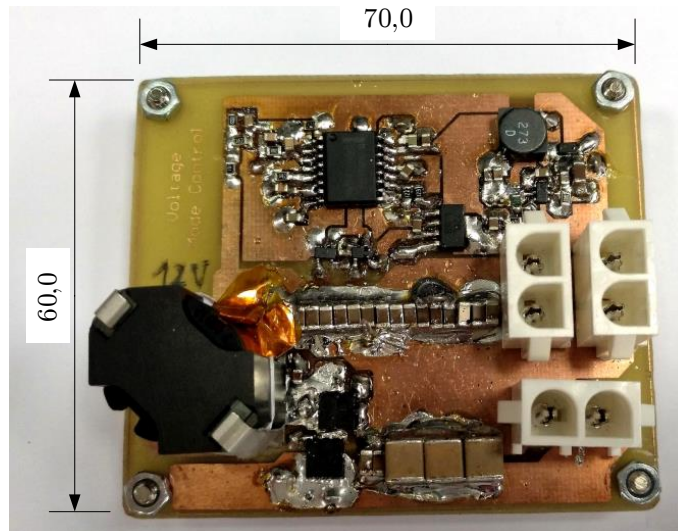


Figura A.4: Prototipo del convertidor POL 3.

iniciales de diseño son análogas a las del reductor, si bien en este caso no es necesario añadir ninguna condición sobre la degradación del controlador por cargas capacitivas. El rizado de corriente por la inductancia se fija de forma arbitraria en un 40 % de la corriente nominal i_{opol} . Al igual que en el caso del reductor, se utiliza un control en modo tensión.

Las características más significativas del diseño de este POL siguiendo el procedimiento propuesto en el capítulo 3 son las siguientes:

- Frecuencia de conmutación: 112 kHz.
- Frecuencia de corte del lazo de regulación: 17,9 kHz.
- Valor de la inductancia L_{pol} : 16,0 μH
- Valor del condensador de entrada C_e : 78,0 μF .
- Valor del condensador de salida C_{opol} : 72,8 μF .

Anexo B

Medida de impedancias con el Venable 6320

Un analizador de respuesta en frecuencia es un equipo de medida que permite caracterizar el comportamiento de un circuito en el dominio de la frecuencia. Al contrario que un osciloscopio, que realiza la medida de forma pasiva, el analizador de respuesta en frecuencia introduce una perturbación en el circuito que se quiere caracterizar y evalúa su respuesta en función de la magnitud medida y la propia perturbación.

Estos equipos resultan especialmente útiles para medir plantas, reguladores y ganancias de lazo abierto de convertidores para estudiar su estabilidad. Para realizar estas medidas sólo se necesita modificar ligeramente la implementación tradicional del regulador para añadir uno o más puntos de inyección de la perturbación [299]–[301]. A pesar de que estas medidas pueden requerir aislamiento para la inyección de la perturbación, el analizador es capaz de proporcionar los pequeños niveles de tensión y corriente requeridos para perturbar el sistema sin utilizar amplificadores externos.

El Venable 6320 permite medir a través de dos canales, que son independientes del canal utilizado para introducir la perturbación. La respuesta en frecuencia la obtiene a partir de estas dos medidas y la relación entre sus componentes a la frecuencia de la perturbación introducida. El hecho de que se puedan relacionar dos señales eléctricas cualquiera, independientemente de su significado físico, permite medir magnitudes como la impedancia de entrada o salida de los convertidores.

Esta medida se realiza típicamente utilizando el Venable para inyectar una perturbación sobre la potencia procesada en el puerto cuya impedancia se desea obtener y utilizando los dos canales de medida para medir la variación de tensión y de corriente en dicho puerto. Puesto que el generador del equipo no es capaz de inyectar potencia directamente, es necesario el uso de un sistema de inyección que proporcione el aislamiento y el nivel de potencia requeridos [302].

Estos sistemas de inyección no solo deben proporcionar suficiente potencia sino que también deben hacerlo en un amplio rango de frecuencias. Resulta muy complejo el diseño de un transformador adecuado para esta aplicación y los productos comerciales disponibles tienen limitaciones tanto en frecuencia como en la ganancia mínima [302]. Por esta razón, se plantea una alternativa que no requiere el uso de un transformador.

Para no tener que utilizar aislamiento, se debe evitar colocar el elemento que genera la perturbación en serie con la fuente que proporciona potencia a la entrada del convertidor a medir. La opción más sencilla es la colocación de un sumidero controlable de corriente

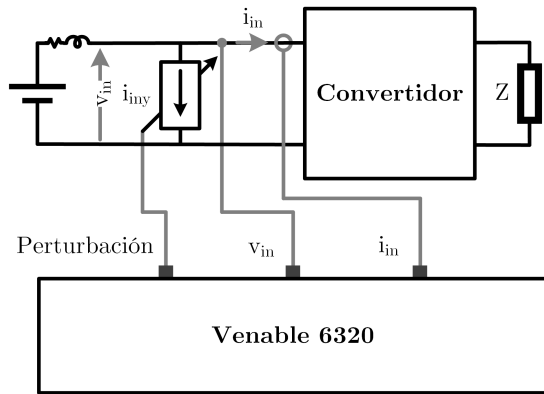


Figura B.1: Montaje propuesto para la medida de la impedancia de entrada.

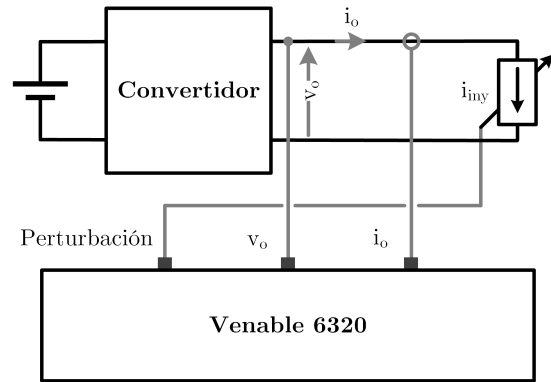


Figura B.2: Montaje propuesto para la medida de la impedancia de salida.

en paralelo con la entrada del convertidor, como se muestra en la Fig. B.1. Si al control del sumidero se le aplica una variación lo suficientemente grande, causará ligeras variaciones sobre la tensión de entrada del convertidor. Este a su vez, reaccionará demandando una corriente variable debido al lazo de regulación. La relación entre su tensión de entrada y la corriente que demanda definirá su impedancia de entrada.

La misma técnica se puede utilizar para medir la impedancia de salida, con un montaje como el mostrado en la Fig. B.2. El valor medio de la señal de control aplicada al sumidero fija el punto de operación del convertidor y las perturbaciones aplicadas causarán la variación de la tensión de salida. La relación entre las dos magnitudes medidas proporciona la impedancia de salida. Utilizando esta solución se evita además la necesidad de colocar una resistencia a la salida para fijar el punto de funcionamiento. Esta podría afectar a la medida de la impedancia y requerir un postprocesado de los datos obtenidos que, con esta técnica, no es necesario.

La implementación de este sumidero controlable se realiza con el circuito mostrado en la Fig. B.3. En esta configuración el MOSFET opera en zona lineal, controlado por el amplificador operacional. Éste polariza la puerta del MOSFET de forma adecuada para asegurar que la corriente medida se corresponde con la referencia externa. Controlando esta referencia

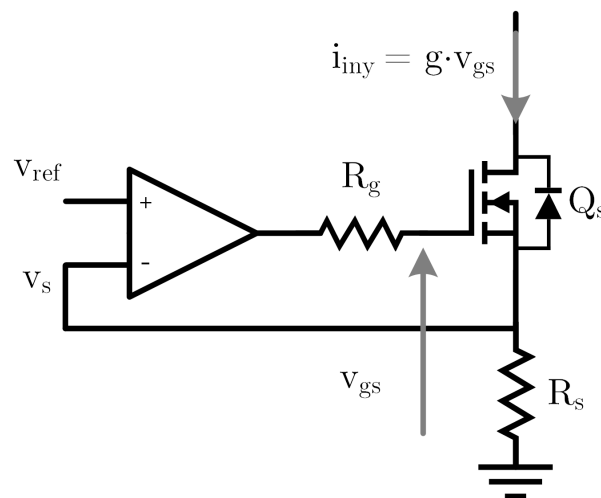


Figura B.3: Esquema simplificado de la implementación del sumidero controlado de corriente.



Figura B.4: Prototipo del sumidero controlado de corriente.

externa con el generador del Venable 6320, se puede introducir una perturbación de potencia moderada sin necesidad de utilizar circuitos adicionales de adaptación, aislamiento o amplificación.

Con la implementación propuesta, el MOSFET puede demandar una corriente variable pero no inyectarla al sistema. Por esta razón, la perturbación sinusoidal introducida por el Venable debe tener un valor medio de, al menos, la misma magnitud que la perturbación. Como el MOSFET opera en zona lineal, este valor medio de la corriente puede suponer una disipación de potencia alta. En el montaje de la Fig. B.2 la disipación será aún mayor, ya que el sumidero debe demandar, además, una cierta corriente adicional para fijar el punto de funcionamiento del convertidor.

Utilizar un único MOSFET limita la perturbación que se puede introducir en el sistema. Por esta razón, se opta por una solución modular, colocando varios sumideros de corriente en paralelo con controles y resistencias de medida independientes. Para poder hacer el sistema más flexible, cada uno de estos circuitos de control tiene la opción de gobernarse desde una entrada común conectada al Venable o desde un nivel de tensión interno controlado con un potenciómetro.

Para este trabajo, se implementa el sumidero con cuatro MOSFETs Infineon IRFB3806PBF de 60 V, que pueden ser usados tanto en un bus de 48 V como de 24 V. El control se realiza con un amplificador operacional OPA188 de Texas Instruments y una resistencia de medida de $1\ \Omega$ para cada MOSFET. Para incrementar la capacidad de inyectar corriente del operacional, se introduce una etapa complementaria con un transistor BD135 y BD136. Finalmente, los cuatro MOSFETs se montan sobre un radiador Aavid Thermalloy OS518-150-B para permitir la disipación de hasta 25 W en cada sumidero. La Fig B.4 muestra uno de los prototipos.

Anexo C

Análisis estático del DAB con un modelo en T

El análisis estático tradicional, realizado en [132], [232] no tiene en cuenta el efecto de integrar una inductancia magnetizante L_m en el transformador del DAB cuya corriente magnetizante i_{Lm} no es despreciable. Los procedimientos propuestos en [132] y [240] utilizan herramientas matemáticas complejas, que resultan más adecuadas para la comprobación del prototipo que para el proceso de diseño.

En este anexo se plantea una adaptación del análisis estático tradicional para considerar el efecto de L_m en los esfuerzos de corriente, la transferencia de potencia y los límites de ZVS. En la Fig. C.1 se muestra el esquema eléctrico del un DAB con una implementación en T como el que se utiliza en este trabajo. Las dos inductancias de dispersión $L_k/2$ se muestran referidas al primario del transformador para facilitar el modelado del convertidor.

Para poder realizar los cálculos de una forma sencilla, se parte del equivalente simplificado del DAB de la Fig. C.2 y se obtienen los dos circuitos Thévenin equivalentes mostrados en las Fig. C.3(a) y C.3(b). Las expresiones de las tensiones equivalentes V_{peq} y V_{seq} y de las inductancias de dispersión equivalentes L_{eqp} y L_{eqs} se pueden calcular con las siguientes ecuaciones:

$$V_{peq} = V_p \frac{2k}{2k + 1}. \quad (C.1)$$

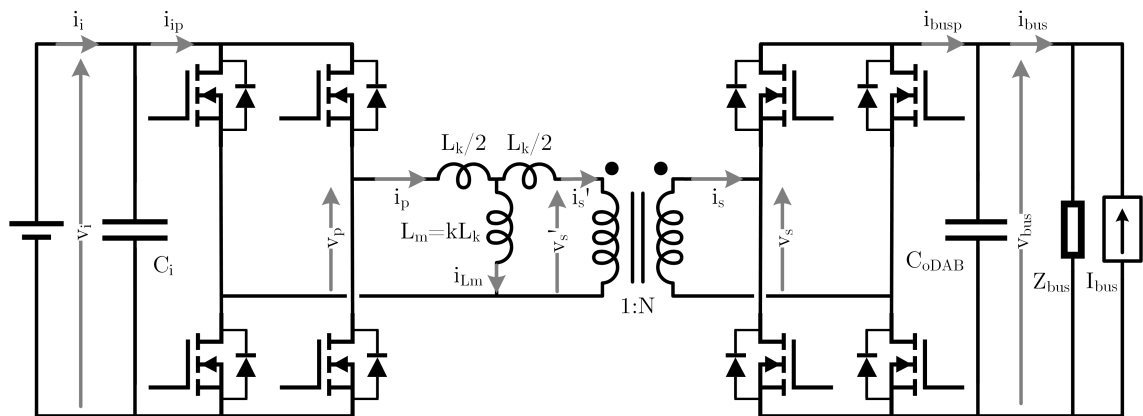


Figura C.1: Esquema eléctrico del convertidor DAB con una implementación en T.

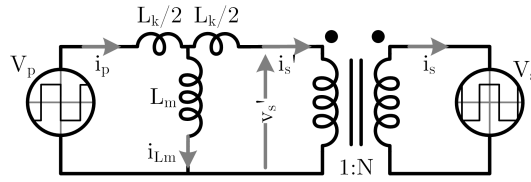


Figura C.2: Equivalente simplificado del convertidor DAB con una implementación en T.

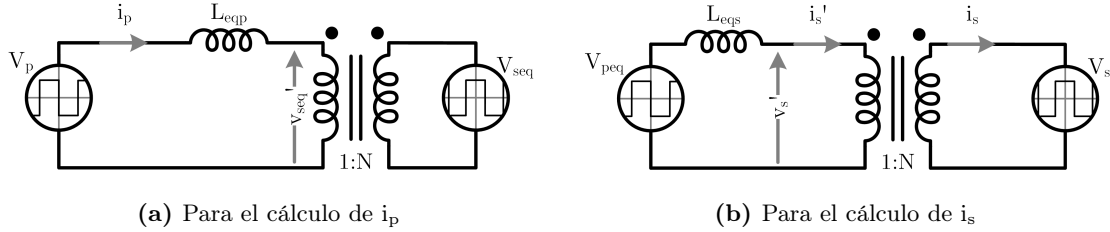


Figura C.3: Equivalentes de Thévenin para el cálculo de las corrientes en el convertidor DAB con una implementación en T.

$$V_{seq} = V_s \frac{2k}{2k+1}. \quad (C.2)$$

$$L_{eqp} = L_k \frac{2k + \frac{1}{2}}{2k+1}, \quad (C.3a)$$

$$L_{eqs} = L_k \frac{2k + \frac{1}{2}}{2k+1}, \quad (C.3b)$$

$$L_{eqp} = L_{eqs} = L_{eq}. \quad (C.3c)$$

Como se puede ver en las ecuaciones C.3a y C.3b, las dos inductancias de dispersión equivalentes tienen el mismo valor, que de ahora en adelante se expresará como L_{eq} .

Siguiendo un procedimiento análogo al de [303], se puede estudiar el comportamiento estático del DAB considerando únicamente medio periodo de conmutación ($T_{SDAB}/2$). La evolución de la corriente en la otra mitad del periodo se puede extrapolar utilizando las propiedades de antisimetría que presenta el DAB. Por simplicidad, en la derivación y cálculo de las siguientes ecuaciones se asume que φ es positivo y el convertidor inyecta potencia hacia su salida. Sin embargo, todas ellas siguen siendo válidas si el valor de φ pasa a ser negativo.

Para el cálculo de la corriente i_p se debe utilizar el circuito equivalente mostrado en la Fig. C.3(a). La tensión aplicada sobre L_{eq} durante medio periodo es:

$$V_p - V_{seq} = \begin{cases} V_i + \frac{V_o}{N} \frac{2k}{2k+1} & \text{durante } 0 \leq t \leq \frac{\varphi T_{SDAB}}{2\pi}, \\ V_i - \frac{V_o}{N} \frac{2k}{2k+1} & \text{durante } \frac{\varphi T_{SDAB}}{2\pi} \leq t \leq \frac{T_{SDAB}}{2}. \end{cases} \quad (C.4)$$

Con esta tensión, los valores de pico de la corriente i_p en el instante de conmutación del puente primario (I_{p1}) y secundario (I_{p2}) vienen dadas por la ecuación C.5.

$$I_{p1} = \frac{T_{SDAB}}{4\pi L_k} \left(V_i \pi + \frac{V_{bus}}{N} \frac{2k}{2k+1} (2\varphi - \pi) \right) \frac{2k+1}{2k + \frac{1}{2}}, \quad (C.5a)$$

$$I_{p2} = \frac{T_{SDAB}}{4\pi L_k} \left(V_i (2\varphi - \pi) + \frac{V_{bus}}{N} \frac{2k}{2k+1} \pi \right) \frac{2k+1}{2k + \frac{1}{2}}. \quad (C.5b)$$

En el caso del cálculo de la corriente i_s se debe utilizar el circuito equivalente mostrado en la Fig. C.3(b). Ahora la tensión aplicada sobre L_{eq} durante medio periodo es:

$$V_{peq} - V_s = \begin{cases} V_i \frac{2k}{2k+1} + \frac{V_o}{N} & \text{durante } 0 \leq t \leq \frac{\varphi T_{SDAB}}{2\pi}, \\ V_i \frac{2k}{2k+1} - \frac{V_o}{N} & \text{durante } \frac{\varphi T_{SDAB}}{2\pi} \leq t \leq \frac{T_{SDAB}}{2}. \end{cases} \quad (C.6)$$

Los valores de pico de la corriente i_s en el instante de conmutación del puente primario (I_{s1}) y secundario (I_{s2}) vienen dadas por la ecuación C.7.

$$I_{s1} = \frac{T_{SDAB}}{4\pi L_k N} \left(V_i \frac{2k}{2k+1} \pi + \frac{V_{bus}}{N} (2\varphi - \pi) \right) \frac{2k+1}{2k + \frac{1}{2}}, \quad (C.7a)$$

$$I_{s2} = \frac{T_{SDAB}}{4\pi L_k N} \left(V_i \frac{2k}{2k+1} (2\varphi - \pi) + \frac{V_{bus}}{N} \pi \right) \frac{2k+1}{2k + \frac{1}{2}}. \quad (C.7b)$$

La corriente i_{Lm} , correspondiente a la inductancia magnetizante L_m no se puede medir directamente. Sin embargo, sí que proporciona información sobre la corriente reactiva que se añade a i_p pero que no se transfiere al bus de 48 V a través de i_s . Sus valores de pico en los instantes de conmutación I_{Lm1} y I_{Lm2} se pueden calcular según la ecuación C.8.

$$I_{Lm1} = I_{p1} - N I_{s1} = \frac{T_{SDAB}}{4\pi L_k} \left(V_i \pi + \frac{V_{bus}}{N} (\pi - 2\varphi) \right) \frac{1}{2k + \frac{1}{2}}, \quad (C.8a)$$

$$I_{Lm2} = I_{p2} - N I_{s2} = \frac{T_{SDAB}}{4\pi L_k} \left(V_i (2\varphi - \pi) - \frac{V_{bus}}{N} \pi \right) \frac{1}{2k + \frac{1}{2}}. \quad (C.8b)$$

Para poder calcular la potencia procesada por el DAB es necesario estudiar la potencia i_{busp} , obtenida cuando el puente secundario rectifica la corriente i_s . Como se puede ver en la Fig. C.4, la corriente i_{busp} tiene periodo $T_{SDAB}/2$ y sólo es negativa durante pequeños intervalos de duración t_2 . La corriente media de salida i_{bus} se puede calcular según la ecuación C.9.

$$i_{bus} = \frac{2}{T_{SDAB}} \left(\frac{1}{2} (I_{s1} t_1 - I_{s2} t_2) + \frac{\pi - \varphi}{\pi} \frac{T_{SDAB}}{2} \left(\frac{1}{2} (I_{s1} + I_{s2}) \right) \right). \quad (C.9)$$

donde t_1 y t_2 se pueden calcular siguiendo un proceso análogo al utilizado en [232]:

$$t_1 = \frac{T_{SDAB}}{4\pi} \frac{V_i \frac{2k}{2k+1} \pi + \frac{V_{bus}}{N} (2\varphi - \pi)}{V_i \frac{2k}{2k+1} + \frac{V_{bus}}{N}}, \quad (C.10a)$$

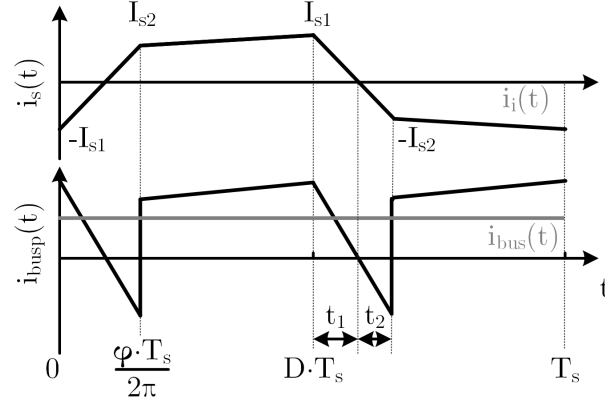


Figura C.4: Corriente i_s por el devanado secundario del transformador, corriente i_{busp} a la salida del puente secundario y corriente de salida i_{bus} del DAB.

$$t_2 = \frac{T_{\text{SDAB}}}{4\pi} \frac{V_i \frac{2k}{2k+1} (2\varphi - \pi) + \frac{V_{\text{bus}}}{N} \pi}{V_i \frac{2k}{2k+1} + \frac{V_{\text{bus}}}{N}}. \quad (\text{C.10b})$$

La corriente media de salida i_{bus} se calcula sustituyendo t_1 y t_2 en la ecuación C.8 y simplificando:

$$i_{\text{bus}} = \frac{2k}{2k + \frac{1}{2}} \frac{\varphi(\pi - |\varphi|) V_i}{2\pi^2 N L_k f_{\text{SDAB}}}. \quad (\text{C.11})$$

Multiplicando i_{bus} por la tensión de salida V_{bus} se puede calcular la potencia procesada por el DAB según la ecuación C.12.

$$P_{\text{DAB}} = \frac{2k}{2k + \frac{1}{2}} \frac{\varphi(\pi - |\varphi|) V_i V_{\text{bus}}}{2\pi^2 N L_k f_{\text{SDAB}}}. \quad (\text{C.12})$$

Una vez que se ha obtenido una expresión cerrada para P_{DAB} , es posible identificar términos con las ecuaciones C.5 y C.7 para poder calcular las corrientes en los instantes de la conmutación de forma independiente de f_{SDAB} y L_k y para cualquier potencia procesada $P(\varphi)$, gracias a la ecuación C.13:

$$\frac{T_{\text{SDAB}}}{L_k} = \frac{2k + \frac{1}{2}}{2k} \frac{2\pi^2 N L_k P_{\text{DABmáx}}}{\varphi_{\text{máx}}(\pi - \varphi_{\text{máx}}) V_i V_{\text{bus}}}, \quad (\text{C.13a})$$

$$P(\varphi) = P_{\text{DAB}} \frac{\varphi(\pi - |\varphi|)}{\varphi_{\text{máx}}(\pi - \varphi_{\text{máx}})}. \quad (\text{C.13b})$$

Sustituyendo:

$$I_{\text{P1}} = \frac{\pi N P(\varphi)}{2\varphi(\pi - |\varphi|) V_i V_{\text{bus}}} \left(V_i \pi + \frac{V_{\text{bus}}}{N} \frac{2k}{2k+1} (2\varphi - \pi) \right) \frac{2k+1}{2k}, \quad (\text{C.14a})$$

$$I_{\text{P2}} = \frac{\pi N P(\varphi)}{2\varphi(\pi - |\varphi|) V_i V_{\text{bus}}} \left(V_i (2\varphi - \pi) + \frac{V_{\text{bus}}}{N} \frac{2k}{2k+1} \pi \right) \frac{2k+1}{2k}. \quad (\text{C.14b})$$

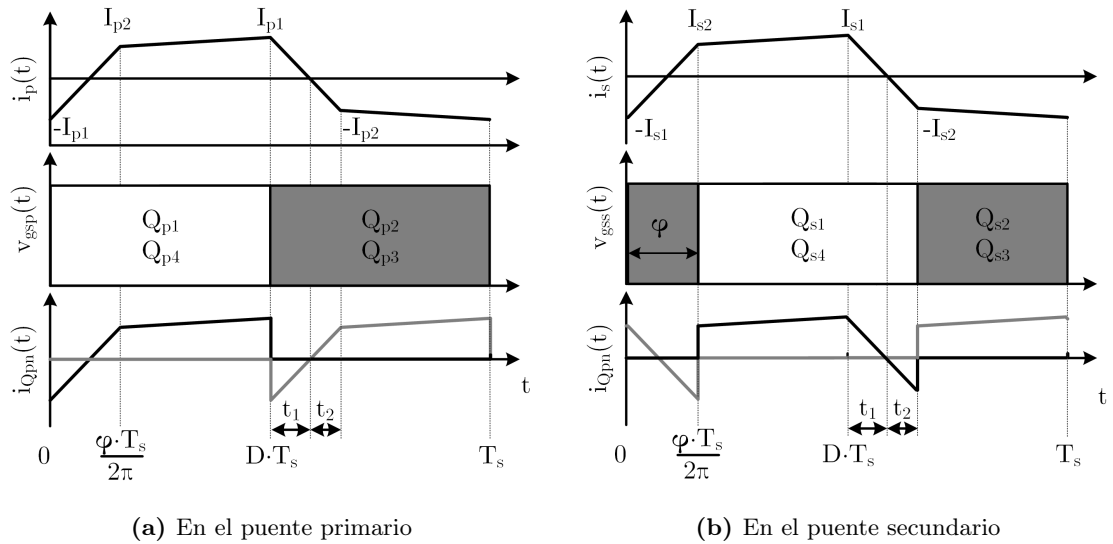


Figura C.5: Formas de onda de las corrientes y señales de control de los MOSFETs del DAB.

$$I_{s1} = \frac{\pi P(\varphi)}{2\varphi(\pi - |\varphi|)V_i V_{bus}} \left(V_i \frac{2k}{2k+1} \pi + \frac{V_{bus}}{N} (2\varphi - \pi) \right) \frac{2k+1}{2k}, \quad (\text{C.15a})$$

$$I_{s2} = \frac{\pi P(\varphi)}{2\varphi(\pi - |\varphi|)V_i V_{bus}} \left(V_i \frac{2k}{2k+1} (2\varphi - \pi) + \frac{V_{bus}}{N} \pi \right) \frac{2k+1}{2k}. \quad (\text{C.15b})$$

Con estas ecuaciones es posible calcular la corriente eficaz que circula por cada uno de los MOSFETs y los dos devanados del transformador en cualquier punto de funcionamiento antes de seleccionar la frecuencia de conmutación y el valor de L_k .

Cada MOSFET sólo conduce durante la mitad del periodo, con unas formas de onda como las mostradas en la Fig. C.5. Para simplificar el cálculo de la corriente eficaz total, se obtienen los coeficientes U_{efx} de los tramos de geometría conocida (triangular, trapezoidal, etc.) y duración t_x para después componerlos según la ecuación C.16.

$$I_{ef} = \sqrt{\sum_{x=1}^y \frac{t_x}{T_{SDAB}} U_{efx}^2} = \sqrt{\sum_{x=1}^y D_x U_{efx}^2}. \quad (\text{C.16})$$

Para el primario, la corriente eficaz $I_{Q_{pef}}$ por cada MOSFET Q_{pn} se puede expresar como:

$$I_{Q_{pef}} = \sqrt{D_{Q_{p1}} U_{Q_{p1ef}}^2 + D_{Q_{p2}} U_{Q_{p2ef}}^2 + D_{Q_{p3}} U_{Q_{p3ef}}^2}, \quad (\text{C.17})$$

donde:

$$U_{Q_{p1ef}} = \frac{I_{p1}^2}{3}, \quad (\text{C.18a})$$

$$U_{Q_{p2ef}} = \frac{I_{p2}^2}{3}, \quad (\text{C.18b})$$

$$U_{Q_{p3ef}} = \frac{I_{p1}^2 + I_{p1}I_{p2} + I_{p2}^2}{3}, \quad (\text{C.18c})$$

$$D_{Qp1} = \frac{1}{4\pi} \frac{V_i \pi + \frac{V_{bus}}{N} \frac{2k}{2k+1} (2\varphi - \pi)}{V_i + \frac{V_{bus}}{N} \frac{2k}{2k+1}}, \quad (C.18d)$$

$$D_{Qp2} = \frac{1}{4\pi} \frac{V_i (2\varphi - \pi) + \frac{V_{bus}}{N} \frac{2k}{2k+1} \pi}{V_i + \frac{V_{bus}}{N} \frac{2k}{2k+1}}, \quad (C.18e)$$

$$D_{Qp3} = 0,5 - D_{Qp1} - D_{Qp2}. \quad (C.18f)$$

Siguiendo el mismo procedimiento, la corriente eficaz I_{Qsef} por cada MOSFET del puente secundario es:

$$I_{Qsef} = \sqrt{D_{Qs1}U_{Qs1ef} + D_{Qs2}U_{Qs2ef} + D_{Qs3}U_{Qs3ef}}, \quad (C.19)$$

donde:

$$U_{Qs1ef} = \frac{I_{s1}^2}{3}, \quad (C.20a)$$

$$U_{Qs2ef} = \frac{I_{s2}^2}{3}, \quad (C.20b)$$

$$U_{Qs3ef} = \frac{I_{s1}^2 + I_{s1}I_{s2} + I_{s2}^2}{3}, \quad (C.20c)$$

$$D_{Qs1} = \frac{1}{4\pi} \frac{V_i \frac{2k}{2k+1} \pi + \frac{V_{bus}}{N} (2\varphi - \pi)}{V_i \frac{2k}{2k+1} + \frac{V_{bus}}{N}}, \quad (C.20d)$$

$$D_{Qs2} = \frac{1}{4\pi} \frac{V_i \frac{2k}{2k+1} (2\varphi - \pi) + \frac{V_{bus}}{N} \pi}{V_i \frac{2k}{2k+1} + \frac{V_{bus}}{N}}, \quad (C.20e)$$

$$D_{Qs3} = 0,5 - D_{Qs1} - D_{Qs2}. \quad (C.20f)$$

Para calcular la corriente eficaz por los devanados del transformador simplemente se debe tener en cuenta que es equivalente a la que circula por dos de los MOSFETs del puente conectado a ese devanado. Por tanto:

$$I_{txpef} = \sqrt{2(D_{Qp1}U_{Qp1ef} + D_{Qp2}U_{Qp2ef} + D_{Qp3}U_{Qp3ef})} = \sqrt{2}I_{Qpef}, \quad (C.21a)$$

$$I_{txsef} = \sqrt{2(D_{Qs1}U_{Qs1ef} + D_{Qs2}U_{Qs2ef} + D_{Qs3}U_{Qs3ef})} = \sqrt{2}I_{Qsef}. \quad (C.21b)$$

Una vez dimensionados los MOSFETs y el transformador, es necesario calcular los valores de C_i y C_{ODAB} para un cierto rizado estático de tensión. Este rizado viene dado por la diferencia entre la corriente media de entrada o salida al convertidor y la corriente pulsada del puente correspondiente. La capacidad del condensador para compensar esta diferencia determina el rizado. Por ejemplo, en el caso de C_{ODAB} :

$$v_{bus} = \frac{1}{C_{ODAB}} \int_0^t i_{C_{ODAB}}(\tau) d\tau = \frac{1}{C_{ODAB}} \int_0^t (i_{busp}(\tau) - I_{bus}) d\tau. \quad (C.22)$$

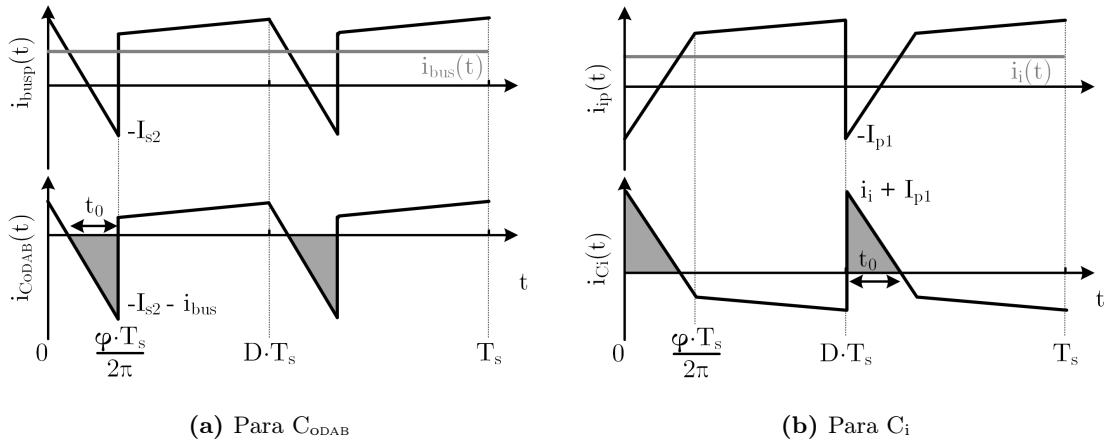


Figura C.6: Formas de onda por los condensadores C_{ODAB} y C_i y su relación con las corrientes i_{busp} , i_{bus} , i_{ip} y i_i .

La corriente media por el condensador en un periodo debe ser nula, por lo que el rizado pico a pico de su tensión se puede calcular únicamente con la integración del intervalo donde esta corriente es negativa. En la Fig. C.6(a) se puede ver claramente la duración de este intervalo y la forma de la corriente en el mismo:

- Comienza en $t = \tau$ y la corriente por C_{ODAB} en ese instante $i_{C_{ODAB}}(\tau)$ es nula.
- Alcanza su valor máximo $-I_{s2} - I_{bus}$ en el instante $\tau + t_0$.
- Su evolución es lineal, según la ecuación C.23, permitiendo determinar fácilmente el valor de t_0 .

$$i_{C_{ODAB}}(t) = \frac{\tau - t}{NL_k} \left(V_i \frac{2k}{2k+1} + \frac{V_{bus}}{N} \right) \frac{2k+1}{2k+\frac{1}{2}} \quad \text{con } \tau < t < t_0 + \tau, \quad (C.23a)$$

$$t_0 = \frac{1}{2\pi f_{SDAB}} \frac{V_i \frac{2k}{2k+1} \left(2\varphi - \frac{\pi}{2} + \frac{\varphi^2}{\pi} \right) + \frac{V_{bus}\pi}{2N}}{V_i \frac{2k}{2k+1} + \frac{V_{bus}}{N}}. \quad (C.23b)$$

Para calcular el valor de C_{ODAB} necesario:

$$\Delta v_{busp} = \int_{\tau}^{t_0+\tau} \frac{t}{NL_k} \left(V_i \frac{2k}{2k+1} + \frac{V_{bus}}{N} \right) \frac{2k+1}{2k+\frac{1}{2}} dt, \quad (C.24a)$$

$$C_{ODAB}(\Delta v_{busp}) \geq \frac{1}{\Delta v_{busp}} \frac{P_{DAB} \left(V_i \frac{2k}{2k+1} \left(2\varphi_{\max} - \frac{\pi}{2} - \frac{\varphi_{\max}^2}{\pi} \right) + \frac{V_{bus}\pi}{2N} \right)^2}{4f_{SDAB}\varphi_{\max}(\pi - \varphi_{\max})V_i V_{bus} \left(V_i \frac{2k}{2k+1} + \frac{V_{bus}}{N} \right)}. \quad (C.24b)$$

Para el cálculo de C_i se sigue un proceso análogo a partir de la la Fig. C.6(b), obteniendo:

$$C_i \geq \frac{1}{\Delta V_i} \frac{P_{DAB} N \left(\frac{V_i \pi}{2} + \frac{V_{bus}}{N} \frac{2k}{2k+1} \left(\varphi_{\max} - \frac{\pi}{2} - \frac{\varphi_{\max}^2}{\pi} \right) \right)^2}{4f_{SDAB}\varphi_{\max}(\pi - \varphi_{\max})V_i V_{bus} \left(V_i + \frac{V_{bus}}{N} \frac{2k}{2k+1} \right)}. \quad (C.25)$$

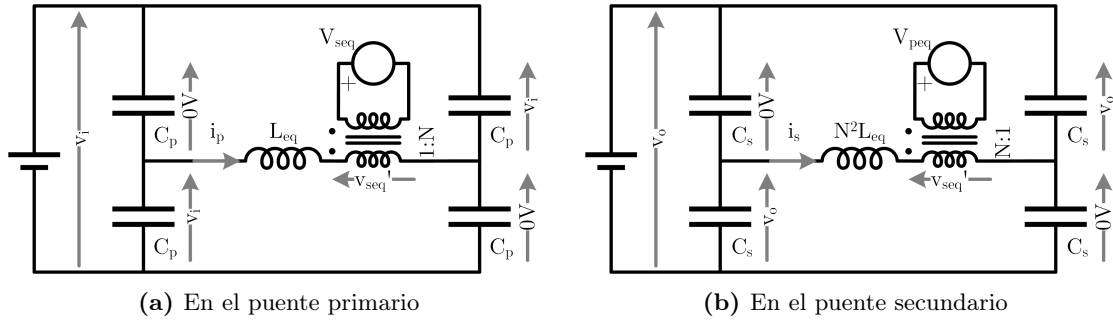


Figura C.7: Circuitos equivalentes para el cálculo de las condiciones de ZVS en los dos puentes del DAB.

Finalmente, se debe estudiar el valor de k necesario para asegurar la operación en ZVS en ambos puentes para cualquier nivel de potencia procesada. Para ello, se sigue el procedimiento descrito en [225] adaptado a la implementación en T, utilizando los circuitos equivalentes mostrados en la Fig. C.7. En ella se representan las capacidades parásitas cuya carga se debe redistribuir, tanto en la conmutación del puente primario como la del secundario. Las tensiones iniciales de cada una de estas capacidades se ha dibujado de forma arbitraria para una de las conmutaciones, pero las ecuaciones planteadas son también válidas para la segunda conmutación del mismo puente.

Durante el intervalo de tiempo en que se produce la conmutación del primario, i_p es la corriente que se encarga de redistribuir las cargas de las capacidades parásitas C_p , modificando su tensión V_{C_p} según la siguiente ecuación:

$$i_p(t) = 2C_p \frac{dV_{C_p}}{dt}. \quad (C.26)$$

La energía almacenada en la inductancia se utiliza para redistribuir las cargas, reduciendo el valor de i_p . Al comienzo del intervalo de conmutación, i_p tiene un valor de I_{p1} , que debe ser lo suficientemente grande para garantizar la conmutación con ZVS. La ecuación C.27 relaciona las energías según [225].

$$\frac{1}{2} L_{eq} I_{p1}^2 = \int_0^{t_{comm}} \frac{V_{seq}}{N} i_p(t) dt = 2C_p \frac{V_i V_{bus}}{N} \frac{2k}{2k+1}. \quad (C.27)$$

Despejando el valor mínimo de I_{p1} para asegurar ZVS:

$$I_{p1} \geq 2 \sqrt{C_p \frac{V_i V_{bus}}{L_{eq} N} \frac{2k}{2k+1}}. \quad (C.28)$$

Se puede sustituir I_{p1} por la expresión de la ecuación C.5 y despejar el valor mínimo de desfase φ con el cual se obtiene ZVS en el primario:

$$\varphi(C_p) \geq \frac{\pi}{2} \left(1 - \frac{V_i N}{V_{bus} \frac{2k}{2k+\frac{1}{2}}} \right) + \frac{4\pi}{T_{SDAB}} \sqrt{\frac{L_k C_p V_i N (2k+1)}{2k V_{bus}}}. \quad (C.29)$$

Si siguiendo el mismo proceso para el puente secundario, la corriente i_s se relaciona con la tensión en las capacidades parásitas de los MOSFETs V_{C_s} según la ecuación C.30.

$$i_s(t) = 2C_s \frac{dV_{C_s}}{dt} \quad (\text{C.30})$$

La energía almacenada en la inductancia se utiliza para redistribuir las cargas, reduciendo el valor de i_s . Al comienzo del intervalo de conmutación, i_s tiene un valor de I_{s2} , que debe ser lo suficientemente grande para garantizar la conmutación con ZVS. Relacionando nuevamente las energías según [225]:

$$\frac{1}{2}N^2L_{eq}I_{s2}^2 = \int_0^{t_{conm}} NV_{seq}i_s(t)dt = 2C_sV_iV_{bus}N\frac{2k}{2k+1}. \quad (\text{C.31})$$

Despejando el valor mínimo de I_{s2} para asegurar ZVS:

$$I_{s2} \geq 2\sqrt{C_s\frac{V_iV_{bus}}{L_{eq}N}\frac{2k}{2k+1}}. \quad (\text{C.32})$$

Se puede sustituir I_{s2} por la expresión de la ecuación C.7 y despejar el valor mínimo de desfase φ con el cual se obtiene ZVS en el secundario según la ecuación C.33.

$$\varphi(C_s) \geq \frac{\pi}{2} \left(1 - \frac{V_{bus}}{V_iN\frac{2k}{2k+\frac{1}{2}}} \right) + \frac{4\pi}{T_{SDAB}} \sqrt{\frac{L_kC_pV_{bus}N(2k+1)}{2k}} V_i. \quad (\text{C.33})$$

Es posible escoger un valor de k que asegure ZVS en ambos puentes con la implementación en T propuesta. Para ello, se iguala φ a cero en las ecuaciones C.29 y C.33 y se resuelve:

$$k(C_p) \leq \frac{-b + \sqrt{b^2 - 4ac}}{2a}, \quad (\text{C.34a})$$

$$a = 4 \left(\frac{64C_pL_kV_iV_{bus}f_{SDAB}^2}{N} - \left(V_i - \frac{V_{bus}}{N} \right)^2 \right), \quad (\text{C.34b})$$

$$b = 4 \left(\frac{16C_pL_kV_iV_{bus}f_{SDAB}^2}{N} - V_i \left(V_i - \frac{V_{bus}}{N} \right) \right), \quad (\text{C.34c})$$

$$c = -V_i^2. \quad (\text{C.34d})$$

$$k(C_p) \leq \frac{-b + \sqrt{b^2 - 4ac}}{2a}, \quad (\text{C.35a})$$

$$a = 4 \left(64C_sL_kV_iV_{bus}f_{SDAB}^2N - \left(\frac{V_{bus}}{N} - V_i \right)^2 \right), \quad (\text{C.35b})$$

$$b = 4 \left(16C_sL_kV_iV_{bus}f_{SDAB}^2N - \frac{V_{bus}}{N} \left(\frac{V_{bus}}{N} - V_i \right) \right), \quad (\text{C.35c})$$

$$c = - \left(\frac{V_{bus}}{N} \right)^2. \quad (\text{C.35d})$$

$$k \leq \min\{k(C_p), k(C_s)\}. \quad (\text{C.36})$$

Con las ecuaciones de este anexo es posible dimensionar todos los componentes del DAB, calcular sus esfuerzos eléctricos en diferentes puntos de operación y realizar un diseño apropiado para asegurar la conmutación suave en ambos puentes en todo el rango de potencias.

Bibliografía

- [1] Eaton Corporation, “Power distribution systems,” Eaton Corporation, Informe Técnico, agosto 2017.
- [2] C. N. Brown, “Charging for electricity in the early years of electricity supply,” *Management and Education-Reviews IEE Proceedings A-Physical Science, Measurement and Instrumentation*, vol. 132, no. 8, pp. 513–524, diciembre 1985.
- [3] C. L. Sulzberger, “Triumph of AC - from Pearl Street to Niagara,” *IEEE Power and Energy Magazine*, vol. 99, no. 3, pp. 64–67, mayo 2003.
- [4] —, “Triumph of AC. 2. the battle of the currents,” *IEEE Power and Energy Magazine*, vol. 1, no. 4, pp. 70–73, julio 2003.
- [5] P. Fairley, “DC versus AC: The second war of currents has already begun [in my view],” *IEEE Power and Energy Magazine*, vol. 10, no. 6, pp. 104–103, noviembre 2012.
- [6] L. L. Lai, H. T. Zhang, S. Mishra, D. Ramasubramanian, C. S. Lai, y F. Y. Xu, “Lessons learned from July 2012 indian blackout,” en *Proc. 9th IET Int. Conf. Advances in Power System Control Operation and Management (APSCOM 2012)*, noviembre 2012, pp. 1–6.
- [7] G. C. Loehr, “The "good" blackout: The northeast power failure of 9 November 1965 [history],” *IEEE Power and Energy Magazine*, vol. 15, no. 3, pp. 84–96, mayo 2017.
- [8] A. Dubey y S. Poudel, “A robust approach to restoring critical loads in a resilient power distribution system,” en *Proc. IEEE Power Energy Society General Meeting*, julio 2017, pp. 1–5.
- [9] D. Boroyevich, I. Cvetković, D. Dong, R. Burgos, F. Wang, y F. Lee, “Future electronic power distribution systems – A contemplative view,” en *Proc. 12th Int. Conf. Optimization of Electrical and Electronic Equipment*, mayo 2010, pp. 1369–1380.
- [10] M. Rabinowitz, “Power systems of the future. 4,” *IEEE Power Engineering Review*, vol. 20, no. 8, pp. 4–9, agosto 2000.
- [11] R. H. Lasseter y P. Paigi, “Microgrid: a conceptual solution,” en *Proc. IEEE 35th Annual Power Electronics Specialists Conf. (IEEE Cat. No.04CH37551)*, vol. 6, junio 2004, pp. 4285–4290 Vol.6.
- [12] R. H. Lasseter, “Smart distribution: Coupled microgrids,” *Proceedings of the IEEE*, vol. 99, no. 6, pp. 1074–1082, junio 2011.
- [13] V. Krishnamurthy y A. Kwasinski, “Effects of power electronics, energy storage, power distribution architecture, and lifeline dependencies on microgrid resiliency during extreme events,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 4, pp. 1310–1323, diciembre 2016.
- [14] K. P. Schneider, F. K. Tuffner, M. A. Elizondo, C. C. Liu, Y. Xu, y D. Ton, “Evaluating the feasibility to use microgrids as a resiliency resource,” *IEEE Transactions on Smart Grid*, vol. 8, no. 2, pp. 687–696, marzo 2017.
- [15] M. Rabinowitz, “Power systems of the future. 2,” *IEEE Power Engineering Review*, vol. 20, no. 3, pp. 10–29, marzo 2000.
- [16] N. G. Hingorani, “Facts-flexible AC transmission system,” en *Proc. Int. Conf. AC and DC Power Transmission*, septiembre 1991, pp. 1–7.
- [17] A. Q. Huang, M. L. Crow, G. T. Heydt, J. P. Zheng, y S. J. Dale, “The Future Renewable Electric Energy Delivery and Management (FREEDM) system: The energy internet,” *Proceedings of the IEEE*, vol. 99, no. 1, pp. 133–148, enero 2011.

- [18] F. Blaabjerg, Z. Chen, y S. B. Kjaer, "Power electronics as efficient interface in dispersed power generation systems," *IEEE Transactions on Power Electronics*, vol. 19, no. 5, pp. 1184–1194, septiembre 2004.
- [19] M. Rodriguez, G. Stahl, L. Corradini, y D. Maksimović, "Smart DC power management system based on software-configurable power modules," *IEEE Transactions on Power Electronics*, vol. 28, no. 4, pp. 1571–1586, abril 2013.
- [20] T. Dragičević, J. C. Vasquez, J. M. Guerrero, y D. Škrlec, "Advanced LVDC electrical power architectures and microgrids: A step toward a new generation of power distribution networks." *IEEE Electrification Magazine*, vol. 2, no. 1, pp. 54–65, marzo 2014.
- [21] T. Dragičević, J. M. Guerrero, J. C. Vasquez, y D. Škrlec, "Supervisory control of an adaptive-droop regulated DC microgrid with battery management capability," *IEEE Transactions on Power Electronics*, vol. 29, no. 2, pp. 695–706, febrero 2014.
- [22] N. L. Diaz, T. Dragičević, J. C. Vasquez, y J. M. Guerrero, "Intelligent distributed generation and storage units for DC microgrids — a new concept on cooperative control without communications beyond droop control," *IEEE Transactions on Smart Grid*, vol. 5, no. 5, pp. 2476–2485, septiembre 2014.
- [23] Y. Gu, W. Li, y X. He, "Frequency-coordinating virtual impedance for autonomous power management of DC microgrid," *IEEE Transactions on Power Electronics*, vol. 30, no. 4, pp. 2328–2337, abril 2015.
- [24] J. M. Guerrero, J. C. Vasquez, J. Matas, L. G. de Vicuna, y M. Castilla, "Hierarchical control of droop-controlled AC and DC microgrids — a general approach toward standardization," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 1, pp. 158–172, enero 2011.
- [25] X. Lu, J. M. Guerrero, K. Sun, y J. C. Vasquez, "An improved droop control method for DC microgrids based on low bandwidth communication with DC bus voltage restoration and enhanced current sharing accuracy," *IEEE Transactions on Power Electronics*, vol. 29, no. 4, pp. 1800–1812, abril 2014.
- [26] D. E. Olivares, A. Mehrizi-Sani, A. H. Etemadi, C. A. Cañizares, R. Iravani, M. Kazerani, A. H. Hajimiragha, O. Gomis-Bellmunt, M. Saeedifard, R. Palma-Behnke, G. A. Jiménez-Estévez, y N. D. Hatziargyriou, "Trends in microgrid control," *IEEE Transactions on Smart Grid*, vol. 5, no. 4, pp. 1905–1919, julio 2014.
- [27] H. Farhangi, "The path of the smart grid," *IEEE Power and Energy Magazine*, vol. 8, no. 1, pp. 18–28, enero 2010.
- [28] B. Andersen y C. Barker, "A new era in HVDC?" *IEE Review*, vol. 46, no. 2, pp. 33–39, marzo 2000.
- [29] B. R. Andersen, "HVDC transmission-opportunities and challenges," en *Proc. 8th IEE Int. Conf. AC and DC Power Transmission*, marzo 2006, pp. 24–29.
- [30] W. Long y S. Nilsson, "HVDC transmission: yesterday and today," *IEEE Power and Energy Magazine*, vol. 5, no. 2, pp. 22–31, marzo 2007.
- [31] D. J. Hammerstrom, "AC versus DC distribution systems — did we get it right?" en *Proc. IEEE Power Engineering Society General Meeting*, junio 2007, pp. 1–5.
- [32] X. Liu y B. Su, "Microgrids — an integration of renewable energy technologies," en *Proc. China Int. Conf. Electricity Distribution*, diciembre 2008, pp. 1–7.
- [33] G. D. Friedlander, "Railroad electrification: past, present, and future history of systems in the United States," *IEEE Spectrum*, vol. 5, no. 7, pp. 50–65, julio 1968.
- [34] N. Lang, "Electrifying history," *ABB review*, no. 2, pp. 88–94, 2010.
- [35] A. Emadi, "Transportation 2.0," *IEEE Power and Energy Magazine*, vol. 9, no. 4, pp. 18–29, julio 2011.
- [36] B. Bilgin, P. Magne, P. Malysz, Y. Yang, V. Pantelic, M. Preindl, A. Korobkine, W. Jiang, M. Lawford, y A. Emadi, "Making the case for electrified transportation," *IEEE Transactions on Transportation Electrification*, vol. 1, no. 1, pp. 4–17, junio 2015.
- [37] R. M. Cuzner y D. A. Esmaili, "Fault tolerant shipboard mvdc architectures," en *Proc. Ship Propulsion and Road Vehicles (ESARS) 2015 Int. Conf. Electrical Systems for Aircraft, Railway*, marzo 2015, pp. 1–6.

- [38] J. G. Ciezki y R. W. Ashton, "Selection and stability issues associated with a navy shipboard DC zonal electric distribution system," *IEEE Transactions on Power Delivery*, vol. 15, no. 2, pp. 665–669, abril 2000.
- [39] J. D. Schuddebeurs, C. D. Booth, G. M. Burt, y J. R. McDonald, "Impact of marine power system architectures on ifep vessel availability and survivability," en *Proc. IEEE Electric Ship Technologies Symp*, mayo 2007, pp. 14–21.
- [40] Rolls-Royce, "Marine products and systems catalogue," Rolls-Royce, Informe Técnico, 2017.
- [41] Z. Jin, G. Sulligoi, R. Cuzner, L. Meng, J. C. Vasquez, y J. M. Guerrero, "Next-generation shipboard DC power system: Introduction smart grid and dc microgrid technologies into maritime electrical networks," *IEEE Electrification Magazine*, vol. 4, no. 2, pp. 45–57, junio 2016.
- [42] J. D. Dunlop, "Communications satellite power conditioning systems," en *Proc. IEEE Power Electronics Specialists Conf*, abril 1970, pp. 5–11.
- [43] J. A. Rosero, J. A. Ortega, E. Aldabas, y L. Romeral, "Moving towards a more electric aircraft," *IEEE Aerospace and Electronic Systems Magazine*, vol. 22, no. 3, pp. 3–9, marzo 2007.
- [44] G. Buticchi, L. Costa, y M. Liserre, "Improving system efficiency for the More Electric Aircraft: A look at dc/dc converters for the avionic onboard dc microgrid," *IEEE Industrial Electronics Magazine*, vol. 11, no. 3, pp. 26–36, septiembre 2017.
- [45] D. Izquierdo, R. Azcona, F. J. L. d. Cerro, C. Fernández, y B. Delicado, "Electrical power distribution system (hv270dc), for application in more electric aircraft," en *Proc. Twenty-Fifth Annual IEEE Applied Power Electronics Conf. and Exposition (APEC)*, febrero 2010, pp. 1300–1305.
- [46] B. S. Mark Murrill, "Evaluating the opportunity for dc power in the data center," Emerson Network Power, Informe Técnico, 2010.
- [47] *IEC 60950 - 1. Information Technology Equipment - Safety - Part 1: General Requirements*, IEC Std., 2009.
- [48] A. Pratt, P. Kumar, y T. V. Aldridge, "Evaluation of 400V DC distribution in telco and data centers to improve energy efficiency," en *Proc. INTELEC 07 - 29th Int. Telecommunications Energy Conf*, septiembre 2007, pp. 32–39.
- [49] D. F. Huang, H. L. Jou, J. C. Wu, K. D. Wu, y J. J. Huang, "Multi-level DC power distribution interface for data centers," en *Proc. IEEE Int. Conf. Smart City/SocialCom/SustainCom (SmartCity)*, diciembre 2015, pp. 878–881.
- [50] IT@Intel, "Intel IT: Extremely energy-efficient, high-density data centers," White Paper, diciembre 2015.
- [51] X. Li y S. Jiang, "Google 48v power architecture," en *2017 IEEE Applied Power Electronics Conference and Exposition (APEC) Plenary Sessions*, marzo 2017.
- [52] P. Smith, "Edison vs tesla: A rematch in the telecom data center," en *Proc. IEEE Int. Telecommunications Energy Conf. (INTELEC)*, octubre 2015, pp. 1–6.
- [53] P. T. Krein, "Data center challenges and their power electronics," *CPSS Transactions on Power Electronics and Applications*, vol. 2, no. 1, pp. 39–46, 2017.
- [54] M. Salato, A. Zolj, D. J. Becker, y B. J. Sonnenberg, "Power system architectures for 380V DC distribution in telecom datacenters," en *Proc. Intelec 2012*, septiembre 2012, pp. 1–7.
- [55] M. Salato y U. Ghisla, "Optimal power electronic architectures for DC distribution in datacenters," en *Proc. IEEE First Int. Conf. DC Microgrids (ICDCM)*, junio 2015, pp. 245–250.
- [56] ON Semiconductor, "Power Factor Correction (PFC) Handbook," ON Semiconductor, Informe Técnico, abril 2014.
- [57] Eltek 380 Vdc Power Solutions. Website. Eltek, a Delta Group Company. [En línea]. Disponible en: <https://www.eltek.com/products/380-vdc-power-solutions/> (Última visita: 5 de marzo 2018).
- [58] Netsure: Flexible power built to stand up to whatever the future holds. Website. Vertiv. [En línea]. Disponible en: <https://www.vertivco.com/en-us/products/brands/netsure/> (Última visita: 2 de marzo 2018).

- [59] Netpower Labs Webpage. Website. Netpower Labs. [En línea]. Disponible en: <http://www.netpower.se/index> (Última visita: 1 de marzo 2018).
- [60] IBM, *IBM Flex System Products and Technology for Power Systems*. IBM Redbooks, 2014.
- [61] *EN 300 132-3-1 V2.1.1. Power supply interface at the input to telecommunications and datacom (ICT) equipment; Part 3: Operated by rectified current source, alternating current source or direct current source up to 400 V; Sub-part 1*, ETSI Std., Rev. 2.1.1, febrero 2012.
- [62] *EN 301 605 V1.1.1. Earthing and bonding of 400 VDC data and telecom (ICT) equipment*, ETSI Std., Rev. 1.1.1, octubre 2013.
- [63] *L.1200. Direct current power feeding interface up to 400 V at the input to telecommunication and ICT equipment*, ITU-T Std., 2012.
- [64] *L.1201. Architecture of power feeding systems of up to 400 VDC*, ITU-T Std., 2012.
- [65] *Data/Telecom Center Standard Version 1.0*, EMerge Alliance Std., noviembre 2012.
- [66] M. Arriaga, C. A. Canizares, y M. Kazerani, “Northern Lights: Access to electricity in Canada’s northern and remote communities,” *IEEE Power and Energy Magazine*, vol. 12, no. 4, pp. 50–59, julio 2014.
- [67] M. Hamza, M. Shehroz, S. Fazal, M. Nasir, y H. A. Khan, “Design and analysis of solar PV based low-power low-voltage DC microgrid architectures for rural electrification,” en *2017 IEEE Power & Energy Society General Meeting*, julio 2017.
- [68] E. Hesla, “Is DC coming to rural electric systems?” en *2013 IEEE Rural Electric Power Conference (REPC)*, abril 2013.
- [69] T. Taufik, “The DC house project: An alternate solution for rural electrification,” en *IEEE Global Humanitarian Technology Conference (GHTC 2014)*, octubre 2014.
- [70] R. Panguloori, P. Mishra, y U. Boeke, “Economic viability improvement of solar powered Indian rural banks through DC grids,” en *2011 Annual IEEE India Conference*, diciembre 2011.
- [71] J. Kumagai, “Lights for the enlightened,” *IEEE Spectrum*, vol. 53, no. 12, pp. 32–39, diciembre 2016.
- [72] P. A. Madduri, J. Poon, J. Rosa, M. Podolsky, E. A. Brewer, y S. R. Sanders, “Scalable DC microgrids for rural electrification in emerging regions,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 4, pp. 1195–1205, diciembre 2016.
- [73] P. Torcellini, S. Pless, M. Deru, y D. Crawley, “Zero energy buildings: A critical look at the definition,” National Renewable Energy Laboratory (NREL), Golden, CO., Informe Técnico, 2006.
- [74] F. Thornton, “Electric home appliances — 100 years,” *Electrical Engineering*, vol. 71, no. 12, pp. 1087–1090, diciembre 1952.
- [75] C. F. Scott, “Engineering for appliances,” *Electrical Engineering*, vol. 68, no. 3, pp. 205–211, marzo 1949.
- [76] J. Dickert y P. Schegner, “Evolution and future prospects of electricity demand for residential customers,” en *Proc. IEEE Power Energy Society General Meeting*, julio 2015, pp. 1–5.
- [77] M. Nonogaki, T. Kikuchi, H. Keiichi, M. Hidenori, y T. Takashi, “Development of the mutual energy exchanging system between areas by the direct-current system which utilized renewable energy,” en *Proc. IEEE 36th Int. Telecommunications Energy Conf. (INTELEC)*, septiembre 2014, pp. 1–6.
- [78] H. Kakigano, Y. Miura, T. Ise, y R. Uchida, “DC micro-grid for super high quality distribution — system configuration and control of distributed generations and energy storage devices,” en *Proc. 37th IEEE Power Electronics Specialists Conf.*, junio 2006, pp. 1–7.
- [79] D. Salomonsson y A. Sannino, “Low-voltage DC distribution system for commercial power systems with sensitive electronic loads,” *IEEE Transactions on Power Delivery*, vol. 22, no. 3, pp. 1620–1627, julio 2007.
- [80] Tesla Powerwall. Website. Tesla Inc. [En línea]. Disponible en: https://www.tesla.com/es_ES/powerwall (Última visita: 6 de marzo 2018).
- [81] X. Zhou, G. Wang, S. Lukic, S. Bhattacharya, y A. Huang, “Multi-function bi-directional battery charger for plug-in hybrid electric vehicle application,” en *Proc. IEEE Energy Conversion Congress and Exposition*, septiembre 2009, pp. 3930–3936.

- [82] Pilot projects. The Research Centre on Zero Emission Buildings. [En línea]. Disponible en: <http://www.zeb.no/index.php/pilot-projects> (Última visita: 27 de febrero 2018).
- [83] E. K. Hansen, G. G. H. Olesen, y M. Mullins, "Home smart home: A danish energy-positive home designed with daylight," *Proceedings of the IEEE*, vol. 101, no. 11, pp. 2436–2449, noviembre 2013.
- [84] E. Rodriguez-Diaz, M. Savaghebi, J. C. Vasquez, y J. M. Guerrero, "An overview of low voltage DC distribution systems for residential applications," en *2015 IEEE 5th International Conference on Consumer Electronics - Berlin (ICCE-Berlin)*, septiembre 2015.
- [85] B. T. Patterson, "DC, come home: DC microgrids and the birth of the Enernet," *IEEE Power and Energy Magazine*, vol. 10, no. 6, pp. 60–69, noviembre 2012.
- [86] R. Weiss, L. Ott, y U. Boeke, "Energy efficient low-voltage DC-grids for commercial buildings," en *Proc. IEEE First Int. Conf. DC Microgrids (ICDCM)*, junio 2015, pp. 154–158.
- [87] K. Garbesi, V. Vossos, y H. Shen, "Catalog of DC Appliances and Power Systems," Lawrence Berkeley National Laboratory, Informe Técnico LBNL-5364E, octubre 2011.
- [88] L. Mackay, L. Ramirez-Elizondo, y P. Bauer, "DC ready devices - is redimensioning of the rectification components necessary?" en *Proceedings of the 16th International Conference on Mechatronics - Mechatronika 2014*, diciembre 2014.
- [89] G. Makarabbi, V. Gavade, R. Panguloori, y P. Mishra, "Compatibility and performance study of home appliances in a DC home distribution system," en *2014 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, diciembre 2014.
- [90] V. Rajaraman, A. Jhunjhunwala, P. Kaur, y U. Rajesh, "Economic analysis of deployment of DC power and appliances along with solar in urban multi-storied buildings," en *2015 IEEE First International Conference on DC Microgrids (ICDCM)*, junio 2015.
- [91] U. Boeke y M. Wendt, "DC power grids for buildings," en *2015 IEEE First International Conference on DC Microgrids (ICDCM)*, junio 2015.
- [92] D. Fregosi, S. Ravula, D. Brhlik, J. Saussele, S. Frank, E. Bonnema, J. Scheib, y E. Wilson, "A comparative study of DC and AC microgrids in commercial buildings across different climates and operating profiles," en *2015 IEEE First International Conference on DC Microgrids (ICDCM)*, junio 2015.
- [93] A. Sannino, G. Postiglione, y M. H. J. Bollen, "Feasibility of a DC network for commercial facilities," *IEEE Transactions on Industry Applications*, vol. 39, no. 5, pp. 1499–1507, septiembre 2003.
- [94] H. Kakigano, Y. Miura, y T. Ise, "Distribution voltage control for DC microgrids using fuzzy control and gain-scheduling technique," *IEEE Transactions on Power Electronics*, vol. 28, no. 5, pp. 2246–2258, mayo 2013.
- [95] D. J. Becker y B. Sonnenberg, "DC microgrids in buildings and data centers," en *2011 IEEE 33rd International Telecommunications Energy Conference (INTELEC)*, octubre 2011.
- [96] B. Wunder, J. Kaiser, F. Fersterra, L. Ott, Y. Han, y M. Marz, "Energy distribution with DC microgrids in commercial buildings with power electronics," en *2015 International Symposium on Smart Electric Distribution Systems and Technologies (EDST)*, septiembre 2015.
- [97] Intelligent DC Microgrid Living Lab. Website. Aalborg University. [En línea]. Disponible en: <http://www.et.aau.dk/research-programmes/microgrids/activities/intelligent-dc-microgrid-living-lab/> (Última visita: 2 de marzo 2018).
- [98] *USB Power Delivery Specification*, USB Implementers Forum, Inc. Std., Rev. 2.0 v1.3, enero 2017.
- [99] SEG 4 - Systems Evaluation Group - Low Voltage Direct Current Applications, Distribution and Safety for use in Developed and Developing Economies, "IEC Technology Report LVDC:2017 — LVDC: electricity for the 21st century," IEC, Informe Técnico, septiembre 2017.
- [100] IET Standards, *Code of Practice for Low and Extra Low Voltage Direct Current Power Distribution in buildings*. The Institution of Engineering and Technology, 2015.
- [101] *Occupied Space Standard Version 1.1*, EMerge Alliance Std., octubre 2012.
- [102] EMerge Alliance, "EMerge Alliance 2017 recap & 2018 goals," EMerge Alliance, Informe Técnico, enero 2018.

- [103] TC 64 - Electrical installations and protection against electric shock, “IEC TR 60479-5:2007. Effects of current on human beings and livestock - Part 5: Touch voltage threshold values for physiological effects,” IEC, Informe Técnico, noviembre 2007.
- [104] D. Salomonsson, L. Soder, y A. Sannino, “Protection of low-voltage DC microgrids,” *IEEE Transactions on Power Delivery*, vol. 24, no. 3, pp. 1045–1053, julio 2009.
- [105] T. Schoepf, R. Basheer, A. Boudina, y G. Drew, “Mitigation of connector damage during disengaging DC loads using polymeric arc suppressor,” *IEEE Transactions on Components and Packaging Technologies*, vol. 28, no. 2, pp. 311–318, junio 2005.
- [106] Saf-D-Grid — Connector system for higher voltage power distribution. Anderson Power Products.
- [107] T. Iino, K. Hirose, M. Noritake, A. Nakamura, K. Kiryu, y J. Sekikawa, “Characteristics of 400 V DC plug and socket-outlet for DC distribution systems,” en *2012 International Conference on Renewable Energy Research and Applications (ICRERA)*, noviembre 2012.
- [108] Y. Hayashi, H. Toyoda, T. Ise, y A. Matsumoto, “Design consideration for contactless DC connector in high power density future 380 v DC distribution system,” en *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, septiembre 2014.
- [109] T. Hailu, L. Mackay, M. Gajic, y J. Ferreira, “From voltage stiff to voltage weak DC distribution grid: Opportunities and challenges,” en *2016 IEEE 2nd Annual Southern Power Electronics Conference (SPEC)*, diciembre 2016.
- [110] J. W. Kolar, J. Biela, S. Waffler, T. Friedli, y U. Badstuebner, “Performance trends and limitations of power electronic systems,” en *Proc. 6th Int. Conf. Integrated Power Electronics Systems*, marzo 2010, pp. 1–20.
- [111] R. Burkart y J. W. Kolar, “Component cost models for multi-objective optimizations of switched-mode power converters,” en *2013 IEEE Energy Conversion Congress and Exposition*, septiembre 2013.
- [112] R. M. Burkart y J. W. Kolar, “Comparative life cycle cost analysis of si and SiC PV converter systems based on advanced η - ρ - σ multiobjective optimization techniques,” *IEEE Transactions on Power Electronics*, vol. 32, no. 6, pp. 4344–4358, junio 2017.
- [113] Ministerio de Economía, Industria y Competitividad, *Guía Técnica de aplicación al Reglamento Electrotécnico de Baja Tensión: BT-25. Instalaciones interiores en viviendas. Número de circuitos y características (Rev. 2)*, julio 2012.
- [114] S. Partlin. (2017, febrero) Ventajas de la batería de alta tensión conectada en ca sobre otras soluciones alternativas. SMA. [En línea]. Disponible en: <https://www.sma-sunny.com/es/ventajas-de-la-bateria-de-alta-tension-conectada-en-ca-sobre-otras-soluciones-alternativas/>
- [115] P. J. Grbović, “Power converters for energy storage applications,” en *2018 IEEE Applied Power Electronics Conference and Exposition (APEC) Educacion Seminars*, marzo 2018.
- [116] *Reglamento Electrotécnico para Baja Tensión e Instrucciones Técnicas Complementarias ITC*, AENOR, agosto 2002.
- [117] NFPA, *NFPA 70®: National Electrical Code® (NEC®), 2014 Edition*. National Fire Protection Association, 2013.
- [118] European Telecommunications Standards Institute, “ETSI TR 103 229 V1.1.1 Environmental Engineering (EE); Safety Extra Low Voltage (SELV) DC power supply network for ICT devices with energy storage and grid or renewable energy sources options,” ETSI, Informe Técnico, julio 2014.
- [119] List of the power consumption of typical household appliances. Website. Daft Logic. [En línea]. Disponible en: <https://www.daftlogic.com/information-appliance-power-consumption.htm> (Última visita: 10 de marzo 2018).
- [120] How much energy do my household appliances use? Website. energuide.be. [En línea]. Disponible en: <https://www.energuide.be/en/questions-answers/how-much-energy-do-my-household-appliances-use/71/> (Última visita: 10 de marzo 2018).
- [121] How much electricity am I using? Website. Centre for Sustainable Energy. [En línea]. Disponible en: <https://www.cse.org.uk/advice/advice-and-support/how-much-electricity-am-i-using> (Última visita: 10 de marzo 2018).

- [122] Common household appliance energy use. Website. Matanuska Electric Association. [En línea]. Disponible en: <http://www.mea.coop/wp-content/uploads/2014/06/High-Bill-Packet.pdf> (Última visita: 10 de marzo 2018).
- [123] LED Light Requirement Calculator. Website. Charleston Lights. [En línea]. Disponible en: <http://www.charlestonlights.com/led-light-requirement-calculator> (Última visita: 10 de marzo 2018).
- [124] Synergy wiring accessories. Website. Legrand UK & Ireland. [En línea]. Disponible en: <https://www.legrand.co.uk/products/wiring-devices/wiring-accessories/synergy/> (Última visita: 20 de febrero 2018).
- [125] How to upgrade to a 2 gang USB socket. British General. [En línea]. Disponible en: <https://www.bgelectrical.uk/public/downloads/usb-downloads/How-to-change-a-2-gang-USB-socket.pdf> (Última visita: 20 de febrero 2018).
- [126] 1600-C2-380 Spec Sheet. Nextek Power Systems. [En línea]. Disponible en: <https://www.nextekpower.com/1600-c2-380-spec-sheet> (Última visita: 22 de febrero 2018).
- [127] K. Harada, T. Ninomiya, y T. Nabeshima, "On the precise regulation of multiple outputs in a DC-DC converter with an energy-storage reactor," en *1979 IEEE Power Electronics Specialists Conference*, jun 1979.
- [128] R. V. White, "Emerging on-board power architectures," en *Proc. Eighteenth Annual IEEE Applied Power Electronics Conf. and Exposition APEC '03*, vol. 2, febrero 2003, pp. 799–804 vol.2.
- [129] A. Extance, "The dawn of solar windows," *IEEE Spectrum*, febrero 2018.
- [130] J. Sun, M. Xu, Y. Ying, y F. Lee, "High power density, high efficiency system two-stage power architecture for laptop computers," en *37th IEEE Power Electronics Specialists Conference*, 2006.
- [131] Vishay Siliconix, "Selection of MOSFETs for DC/DC synchronous buck controllers: SiP12201 single 10 A controller and SiP12203 triple step down controller IC for 2 synchronous and 1 linear power rail," Vishay, Informe Técnico, octubre 2008.
- [132] F. Krismer, "Modeling and optimization of bidirectional dual active bridge dc-dc converter topologies," Tesis Doctoral, ETH Zürich, 2010.
- [133] R. D. Middlebrook, "Input filter considerations in design and application of switching regulators," en *IEEE Industry Applications Society Annual Meeting, 1976 Record*, 1976, pp. 366–382.
- [134] N. Sokal, "System oscillations caused by negative input resistance at the power input port of a switching mode regulator, amplifier, dc/dc converter, or dc/ac inverter," en *IEEE Power Electronics Specialists Conference, 1973 Record*, 1973.
- [135] J. Schonberger, R. Duke, y S. D. Round, "DC-bus signaling: A distributed control strategy for a hybrid renewable nanogrid," *IEEE Transactions on Industrial Electronics*, vol. 53, no. 5, pp. 1453–1460, octubre 2006.
- [136] V. Nasirian, S. Moayedi, A. Davoudi, y F. L. Lewis, "Distributed cooperative control of DC microgrids," *IEEE Transactions on Power Electronics*, vol. 30, no. 4, pp. 2288–2303, abril 2015.
- [137] T. Horiba, "Lithium-ion battery systems," *Proceedings of the IEEE*, vol. 102, no. 6, pp. 939–950, junio 2014.
- [138] A. A.-H. Hussein y I. Batarseh, "A review of charging algorithms for nickel and lithium battery chargers," *IEEE Transactions on Vehicular Technology*, vol. 60, no. 3, pp. 830–838, mar 2011.
- [139] R. W. Erickson y D. Maksimovic, *Fundamentals of Power Electronics*. Springer, 2001.
- [140] J. Ham, "Application Note AN:022. MIL EMI and Transient Solutions," Vicor, Informe Técnico, diciembre 2007.
- [141] *EN 300 132-2 V2.1.1. Power supply interface at the input to telecommunications and datacom (ICT) equipment; Part 2: Operated by by -48 V direct current (dc)*, ETSI Std., Rev. 2.1.1, febrero 2012.
- [142] B. King. (2017, diciembre) Design considerations for USB Type-C™ power delivery. Texas Instruments. [En línea]. Disponible en: <https://training.ti.com/design-considerations-usb-type-c-power-delivery> (Última visita: 26 de febrero 2018).

- [143] R. Ahmadi, D. Paschedag, y M. Ferdowsi, “Closed-loop input and output impedances of DC-DC switching converters operating in voltage and current mode control,” en *IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society*. IEEE, nov 2010.
- [144] B. Choi, B. H. Cho, y S.-S. Hong, “Dynamics and control of DC-to-DC converters driving other converters downstream,” *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 46, no. 10, pp. 1240–1248, 1999.
- [145] B. Hauke, “Application Report SLVA477B: Basic calculation of a buck converter’s power stage,” Texas Instruments, Nota de Aplicación, agosto 2015.
- [146] Flex, “Design Note 024: DC/DC power modules basics ,” Flex Power Modules, Informe Técnico, diciembre 2017.
- [147] A. Kaknevicus y A. Hoover, “Application Report SLVA670A: Managing inrush current,” Texas Instruments, Nota de Aplicación, mayo 2015.
- [148] J. Stevens, “Application Report SLVA379: Selecting transistors for hot-swap applications,” Texas Instruments, Nota de Aplicación, diciembre 2009.
- [149] A. Rogachev, “Application Report SLVA673A: Robust hot swap design,” Texas Instruments, Nota de Aplicación, abril 2015.
- [150] S. Maniktala, “Unraveling buck converter efficiency and maximizing performance,” Microsemi, Informe Técnico, febrero 2013.
- [151] R. Kollman, J. Betten, y B. S. Lee, “Power supply solution for DDR bus termination,” Texas Instruments, Informe Técnico, julio 2001.
- [152] W. Chen, “High efficiency DDR termination power supplies source and sink more than 10 Amps,” Linear Technology, Informe Técnico, julio 2002.
- [153] Texas Instruments, “TPS40056 Wide-input synchronous, tracking buck controller,” Texas Instruments, Hoja de características, abril 2006.
- [154] L. Balogh, “A practical introduction to digital supply control,” Texas Instruments, Informe Técnico, 2005.
- [155] R. Allan. (2017, julio) SiC and GaN vs. IGBTs: The imminent tug of war for supremacy. Website. Power Electronics - Informa USA Inc. [En línea]. Disponible en: <http://www.powelectronics.com/automotive/sic-and-gan-vs-igbt-immminent-tug-war-supremacy> (Última visita: 12 de marzo 2018).
- [156] Infineon, “650V CoolMOS C7 power transistor IPA65R045C7,” Infineon, Hoja de características, noviembre 2013.
- [157] —, “650V CoolMOS C7 power transistor IPZ65R045C7,” Infineon, Hoja de características, abril 2013.
- [158] J. Brown y G. Moxey, “AN605 – Power MOSFET basics: Understanding MOSFET characteristics associated with the Figure of Merit,” Vishay Siliconix, Informe Técnico, septiembre 2003.
- [159] J. Strydom, “Selecting eGaN FET optimal on-resistance,” Efficient Power Conversion, Informe Técnico, 2013.
- [160] J. Strydom, M. de Rooij, y A. Lidow, “Gallium Nitride transistor packaging advances and thermal modeling,” Efficient Power Conversion, Informe Técnico, septiembre 2012.
- [161] D. Reusch, “Impact of parasitics on performance,” Efficient Power Conversion, Informe Técnico, 2013.
- [162] Toshiba, “Power MOSFET thermal design and attachment of a thermal fin,” Toshiba Corporation, Informe Técnico, febrero 2017.
- [163] W. Peinhopf, “Application Note AN 2012-04: Cooling of thinPAK 8x8,” Infineon, Informe Técnico, abril 2012.
- [164] Power inductor finder. Website. Coilcraft. [En línea]. Disponible en: <https://www.coilcraft.com/apps/finder/finder.cfm> (Última visita: 26 de febrero 2018).
- [165] Rohm semiconductor, “The important points of Multi-Layer Ceramic Capacitor used in buck converter circuit ,” Rohm semiconductor, Informe Técnico, abril 2013.

- [166] A. Bjeletic, L. Corradini, D. Maksimović, y R. Zane, “Specifications-driven design space boundaries for point-of-load converters,” en *Proc. Twenty-Sixth Annual IEEE Applied Power Electronics Conf. and Exposition (APEC)*, marzo 2011, pp. 1166–1173.
- [167] Y. Wang, S. W. H. de Haan, y J. A. Ferreira, “Potential of improving PWM converter power density with advanced components,” en *Proc. 13th European Conf. Power Electronics and Applications*, septiembre 2009, pp. 1–10.
- [168] K. Yao, Y. Ren, y F. C. Lee, “Critical bandwidth for the load transient response of voltage regulator modules,” *IEEE Transactions on Power Electronics*, vol. 19, no. 6, pp. 1454–1461, noviembre 2004.
- [169] S. Maniktala, “Voltage-mode, current-mode (and hysteretic control),” Microsemi, Informe Técnico, 2012.
- [170] R. Miftakhutdinov, “Compensating DC/DC converters with ceramic output capacitors,” Texas Instruments, Informe Técnico, 2005.
- [171] S. Vesti, T. Suntio, J. A. Oliver, R. Prieto, y J. A. Cobos, “Impedance-based stability and transient-performance assessment applying maximum peak criteria,” *IEEE Transactions on Power Electronics*, vol. 28, no. 5, pp. 2099–2104, mayo 2013.
- [172] S. Sudhoff, S. Glover, P. Lamm, D. Schmucker, y D. Delisle, “Admittance space stability analysis of power electronic systems,” *IEEE Transactions on Aerospace and Electronic Systems*, vol. 36, no. 3, pp. 965–973, 2000.
- [173] X. Feng, J. Liu, y F. Lee, “Impedance specifications for stable DC distributed power systems,” *IEEE Transactions on Power Electronics*, vol. 17, no. 2, pp. 157–162, marzo 2002.
- [174] J. Liu, X. Feng, F. Lee, y D. Borojevich, “Stability margin monitoring for dc distributed power systems via perturbation approaches,” *IEEE Transactions on Power Electronics*, vol. 18, no. 6, pp. 1254–1261, noviembre 2003.
- [175] A. Riccobono y E. Santi, “A novel passivity-based stability criterion (PBSC) for switching converter DC distribution systems,” en *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, febrero 2012.
- [176] C. Wildrick, F. Lee, B. Cho, y B. Choi, “A method of defining the load impedance specification for a stable distributed power system,” *IEEE Transactions on Power Electronics*, vol. 10, no. 3, pp. 280–285, mayo 1995.
- [177] C. M. Wildrick, “Stability of distributed power supply systems,” Trabajo Fin de Máster, Virginia Tech, 1993.
- [178] P. Li y B. Lehman, “Performance prediction of DC-dc converters with impedances as loads,” *IEEE Transactions on Power Electronics*, vol. 19, no. 1, pp. 201–209, enero 2004.
- [179] H. J. Zhang, “Modeling and loop compensation design of switching mode power supplies,” Linear Technology, Informe Técnico, enero 2015.
- [180] L. Lewis, B. Cho, F. Lee, y B. Carpenter, “Modeling, analysis and design of distributed power systems,” en *20th Annual IEEE Power Electronics Specialists Conference*, 1989.
- [181] G. Lakkas, “Mosfet power losses and how they affect power-supply efficiency,” Texas Instruments, Informe Técnico, 2016.
- [182] D. Graovac, M. Pürschel, y A. Kiep, “Application Note: MOSFET power losses calculation using the data-sheet parameters,” Infineon, Informe Técnico, julio 2006.
- [183] L. H. Dixon, “Magnetics design for switching power supplies,” en *Unitrode Magnetics Design Handbook*. Unitrode, 1990.
- [184] Coilcraft, “Choosing inductors for energy efficient power applications,” Coilcraft, Informe Técnico, 2017.
- [185] C. R. Sullivan, “High frequency core and winding loss modeling,” en *2013 International Electric Machines & Drives Conference*, mayo 2013.
- [186] L. Crane, “Inductor performance in high frequency DC-DC converters,” Coilcraft, Informe Técnico, 2005.
- [187] R. Fiore, “ESR losses in ceramic capacitors,” American Technical Ceramics, Informe Técnico, 2007.

- [188] EPCOS, “SIFERRIT material N97,” TDK Group, Informe Técnico, mayo 2017.
- [189] Designing with magnetic cores at high temperatures. Website. Magnetics. [En línea]. Disponible en: <https://www.mag-inc.com/Design/Design-Guides/Designing-with-Magnetic-Cores-at-High-Temperatures> (Última visita: 5 de mayo 2017).
- [190] S. Čuk. (2017, abril) Step-down dc-dc converter eliminates ferrite cores at 50kHz enabling power supply on chip with one-cycle transient. Website. Power Electronics - Informa USA Inc. [En línea]. Disponible en: <http://www.powerselectronics.com/power-management/step-down-dc-dc-converter-eliminates-ferrite-cores-50khz-enabling-power-supply-chip> (Última visita: 2 de marzo 2018).
- [191] D. Reusch, “Optimizing PCB layout,” Efficient Power Conversion, Informe Técnico, 2014.
- [192] J. Strydom, “Driving eGaN FETs,” *Bodo’s Power*, noviembre 2010.
- [193] X. Li, J. Qin, y J. B. Bernstein, “Compact modeling of MOSFET wearout mechanisms for circuit-reliability simulation,” *IEEE Transactions on Device and Materials Reliability*, vol. 8, no. 1, pp. 98–121, marzo 2008.
- [194] G. H. Johnson, J. M. Palau, C. Dachs, K. F. Galloway, y R. D. Schrimpf, “A review of the techniques used for modeling single-event effects in power MOSFETs,” *IEEE Transactions on Nuclear Science*, vol. 43, no. 2, pp. 546–560, abril 1996.
- [195] A. Lidow y R. Strittmatter, “Enhancement mode gallium nitride transistor reliability,” en *2015 IEEE First International Conference on DC Microgrids (ICDCM)*. IEEE, jun 2015.
- [196] Venable Instruments, “Model 6300 Series,” Venable Instruments, Informe Técnico, 2018.
- [197] R. Redl y N. O. Sokal, “Current-mode control, five different types, used with the three basic classes of power converters: Small-signal AC and large-signal DC characterization, stability requirements, and implementation of practical circuits,” en *1985 IEEE Power Electronics Specialists Conference*, junio 1985.
- [198] C. Deisch, “Simple switching control method changes power converter into a current source,” en *1978 IEEE Power Electronics Specialists Conference*, junio 1978.
- [199] L. H. Dixon, “Average current mode control of switching power supplies,” Unitrode, Informe Técnico, 1990.
- [200] B. Arbetter y D. Maksimovic, “Feed-forward pulse-width modulators for switching power converters,” en *Proceedings of PESC 95 - Power Electronics Specialist Conference*, junio 1995.
- [201] K. Smedley y S. Cuk, “One-cycle control of switching converters,” *IEEE Transactions on Power Electronics*, vol. 10, no. 6, pp. 625–633, 1995.
- [202] D. Ma, W.-H. Ki, y C.-Y. Tsui, “A fast response adaptive dc-dc switching converter using on-chip dual-loop one-cycle control,” en *Proceedings of the 28th European Solid-State Circuits Conference*, septiembre 2002, pp. 379–382.
- [203] B. Cheng, E. Lee, B. Lynch, y R. Taylor, “Choosing the right variable frequency buck regulator control strategy,” Texas Instruments, Informe Técnico, 2014.
- [204] R. D. Middlebrook, “Topics in multiple-loop regulators and current-mode programming,” *IEEE Transactions on Power Electronics*, vol. PE-2, no. 2, pp. 109–124, abril 1987.
- [205] T. Suntio, M. Hankaniemi, y M. Karppanen, “Analysing the dynamics of regulated converters,” *IEE Proceedings - Electric Power Applications*, vol. 153, no. 6, 2006.
- [206] R. B. Ridley, “A new small-signal model for current-mode control,” Tesis Doctoral, Virginia Polytechnic Institute and State University, 1990.
- [207] B. Mammano, “Current sensing solutions for power supply designers,” Texas Instruments, Informe Técnico, 2001.
- [208] Unitrode, “Practical considerations in current mode power supplies,” Unitrode, Informe Técnico, 1999.
- [209] B. Cheng, E. Lee, B. Lynch, y R. Taylor, “Choosing the right fixed frequency buck regulator control strategy,” Texas Instruments, Informe Técnico, 2014.

- [210] V. Vorperian, "Quasi-square-wave converters: topologies and analysis," *IEEE Transactions on Power Electronics*, vol. 3, no. 2, pp. 183–191, abril 1988.
- [211] C. Marxgüt, J. Biela, y J. W. Kolar, "Interleaved triangular current mode (TCM) resonant transition, single phase PFC rectifier with high efficiency and high power density," en *Proc. Int. Power Electronics Conf. - ECCE ASIA* -, junio 2010, pp. 1725–1732.
- [212] D. Maksimovic, "Design of the zero-voltage-switching quasi-square-wave resonant switch," en *Proc. 24th Annual IEEE Power Electronics Specialists Conf. PESC '93 Record*, junio 1993, pp. 323–329.
- [213] B. Ray y A. Romney-Diaz, "Constant frequency resonant topologies for bidirectional DC/DC power conversion," en *Proc. 24th Annual IEEE Power Electronics Specialists Conf. PESC '93 Record*, junio 1993, pp. 1031–1037.
- [214] A. Vazquez, A. Rodriguez, D. G. Lamar, y M. M. Hernando, "Master-slave technique for improving the efficiency of interleaved synchronous boost converters," en *Proc. IEEE 15th Workshop Control and Modeling for Power Electronics (COMPEL)*, junio 2014, pp. 1–9.
- [215] Y. Wen y O. Trescases, "Analysis and comparison of frequency stabilization loops in self-oscillating current mode DC–DC converters," *IEEE Transactions on Power Electronics*, vol. 28, no. 10, pp. 4753–4766, octubre 2013.
- [216] P. Scortaru, D. V. Nicolae, M. Cernat, y Z. Puklus, "Reversible DC-to-DC converter for a dual voltage automotive system using zero voltage switching technique," en *Proc. 11th Int. Conf. Optimization of Electrical and Electronic Equipment*, mayo 2008, pp. 251–258.
- [217] S. Chen, O. Trescases, y W. T. Ng, "Fast dead-time locked loops for a high-efficiency microprocessor-load ZVS-QSW DC/DC converter," en *Proc. IEEE Conf. Electron Devices and Solid-State Circuits (IEEE Cat. No.03TH8668)*, diciembre 2003, pp. 391–394.
- [218] A. Vazquez, A. Rodriguez, K. Martin, M. Arias, y M. M. Hernando, "Inductor optimization for multiphase interleaved synchronous bidirectional Boost converter working in discontinuous conduction mode with zero voltage switching," en *2013 IEEE Energy Conversion Congress and Exposition*, septiembre 2013.
- [219] W. M. Moussa y J. E. Morris, "DC and AC characteristics of zero voltage switching PWM converters," en *PESC 92 Record. 23rd Annual IEEE Power Electronics Specialists Conference*, junio 1992.
- [220] J. M. F. D. Costa y M. M. Silva, "Small-signal models and dynamic performance of quasi-square-wave ZVS converters with voltage-mode and current-mode control," en *38th Midwest Symposium on Circuits and Systems. Proceedings*, agosto 1995.
- [221] A. Vázquez, "Propuestas de diseño modular y agrupación en paralelo del convertidor elevador síncrono para sistemas de alimentación bidireccionales," Tesis Doctoral, Universidad de Oviedo, 2016.
- [222] M. E. Dale y C. R. Sullivan, "General comparison of power loss in single-layer and multi-layer windings," en *IEEE 36th Conference on Power Electronics Specialists, 2005*, junio 2005.
- [223] R. W. DeDoncker, M. H. Kheraluwala, y D. M. Divan, "Power conversion apparatus for DC/DC conversion using dual active bridges," US Grant patentus US5 027 264A, 1991.
- [224] F. Krismer y J. W. Kolar, "Accurate power loss model derivation of a high-current dual active bridge converter for an automotive application," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 3, pp. 881–891, marzo 2010.
- [225] M. N. Kheraluwala, R. W. Gascoigne, D. M. Divan, y E. D. Baumann, "Performance characterization of a high-power dual active bridge DC-to-DC converter," *IEEE Transactions on Industry Applications*, vol. 28, no. 6, pp. 1294–1301, 1992.
- [226] A. Rodriguez, A. Vazquez, D. G. Lamar, M. M. Hernando, y J. Sebastian, "Different purpose design strategies and techniques to improve the performance of a dual active bridge with phase-shift control," *IEEE Transactions on Power Electronics*, vol. 30, no. 2, pp. 790–804, febrero 2015.
- [227] Z. Shen, R. Burgos, D. Boroyevich, y F. Wang, "Soft-switching capability analysis of a dual active bridge dc-dc converter," en *2009 IEEE Electric Ship Technologies Symposium*, abril 2009.
- [228] D. Costinett, D. Maksimovic, y R. Zane, "Design and control for high efficiency in high step-down dual active bridge converters operating at high switching frequency," *IEEE Transactions on Power Electronics*, vol. 28, no. 8, pp. 3931–3940, agosto 2013.

- [229] D. Costinett, “Analysis and design of high efficiency, high conversion ratio, dc-dc power converters,” Tesis Doctoral, University of Colorado at Boulder, 2013.
- [230] H. Higa, S. Takuma, K. Orikawa, y J. ichi Itoh, “Dual active bridge DC-DC converter using both full and half bridge topologies to achieve high efficiency for wide load,” en *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, septiembre 2015.
- [231] J. Hiltunen, V. Vaisanen, R. Juntunen, y P. Silventoinen, “Variable-frequency phase shift modulation of a dual active bridge converter,” *IEEE Transactions on Power Electronics*, vol. 30, no. 12, pp. 7138–7148, diciembre 2015.
- [232] A. Rodríguez, “Análisis de arquitecturas multipuerto para la alimentación de sistemas electrónicos con múltiples flujos de energía,” Tesis Doctoral, Universidad de Oviedo, 2013.
- [233] X. Liu, Z. Q. Zhu, D. A. Stone, M. P. Foster, W. Q. Chu, I. Urquhart, y J. Greenough, “Novel dual-phase-shift control with bidirectional inner phase shifts for a dual-active-bridge converter having low surge current and stable power control,” *IEEE Transactions on Power Electronics*, vol. 32, no. 5, pp. 4095–4106, mayo 2017.
- [234] H. Wang, K. Yan, Z. Ling, y J. Gan, “Switching strategy for isolated dual-active-bridge converter,” *IET Power Electronics*, vol. 10, no. 1, pp. 29–37, enero 2017.
- [235] R. T. Naayagi, R. Shuttleworth, y A. J. Forsyth, “Bidirectional control of a dual active bridge DC-DC converter for aerospace applications,” *IET Power Electronics*, vol. 5, no. 7, pp. 1104–1118, agosto 2012.
- [236] C. Nan y R. Ayyanar, “Dual active bridge converter with PWM control for solid state transformer application,” en *2013 IEEE Energy Conversion Congress and Exposition*, septiembre 2013.
- [237] D. Segaran, D. G. Holmes, y B. P. McGrath, “Enhanced load step response for a bidirectional DC/DC converter,” *IEEE Transactions on Power Electronics*, vol. 28, no. 1, pp. 371–379, enero 2013.
- [238] W. Choi, K.-M. Rho, y B.-H. Cho, “Fundamental duty modulation of dual-active-bridge converter for wide-range operation,” *IEEE Transactions on Power Electronics*, vol. 31, no. 6, pp. 4048–4064, jun 2016.
- [239] J. Riedel, D. G. Holmes, C. Teixeira, y B. P. McGrath, “Wide range ZVS operation of dual active bridge DC-DC converters using adaptive modulation and low coupling factor transformers,” en *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*. IEEE, septiembre 2016.
- [240] J. Riedel, D. G. Holmes, B. P. McGrath, y C. Teixeira, “ZVS soft switching boundaries for dual active bridge DC-DC converters using frequency domain analysis,” *IEEE Transactions on Power Electronics*, vol. 32, no. 4, pp. 3166–3179, apr 2017.
- [241] H. Higa y J. ichi Itoh, “Extension of zero-voltage-switching range in dual active bridge converter by switched auxiliary inductance,” en *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*. IEEE, oct 2017.
- [242] J. Everts, “Modeling and optimization of bidirectional dual active bridge ac-dc converter topologies,” Tesis Doctoral, KU Leuven, 2014.
- [243] W. Choi, M. Lee, y B.-H. Cho, “Effect of transformer design on operation of fundamental duty modulation for dual-active-bridge converter,” en *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, marzo 2016.
- [244] M. Mu, L. Xue, D. Boroyevich, B. Hughes, y P. Mattavelli, “Design of integrated transformer and inductor for high frequency dual active bridge GaN charger for PHEV,” en *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, marzo 2015.
- [245] M. Meinhardt, M. Duffy, T. O’Donnell, S. O’Reilly, J. Flannery, y C. O. Mathuna, “New method for integration of resonant inductor and transformer-design, realisation, measurements,” en *APEC 99. Fourteenth Annual Applied Power Electronics Conference and Exposition. 1999 Conference Proceedings*, marzo 1999.
- [246] E. Santi, “Magnetics and control in power electronics : I. modeling of coupled inductors. ii. one-cycle control of switching converters,” Tesis Doctoral, California Institute of Technology, 1993.

- [247] B. Cougo y J. W. Kolar, "Integration of leakage inductance in tape wound core transformers for dual active bridge converters," en *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, marzo 2012, pp. 1–6.
- [248] W. T. McLyman, *Transformer and inductor design handbook*. CRC PR INC, 2011.
- [249] S. D. Simone, C. Adragna, y C. Spini, "Design guideline for magnetic integration in LLC resonant converters," en *2008 International Symposium on Power Electronics, Electrical Drives, Automation and Motion*, junio 2008.
- [250] M. Foster, A. Fairweather, y G. Ashley, "Design procedure for pot-core integrated magnetic component," en *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, mayo 2016, pp. 1–8.
- [251] H. Choi, "Analysis and design of LLC resonant converter with integrated transformer," en *APEC 07 - Twenty-Second Annual IEEE Applied Power Electronics Conference and Exposition*, febrero 2007.
- [252] ETD Coilformers Horizontal. Website. NORWE GmbH. [En línea]. Disponible en: <https://www.norwe.eu/products/en/002/A01> (Última visita: 15 de diciembre 2017).
- [253] TDK, "LLC Resonance Power Transformers SRX/SRV series," TDK, Hoja de características, diciembre 2016.
- [254] MID-LLCEPC EPC-Style Offline LLC Transformers. Website. Würth Elektronik. [En línea]. Disponible en: <http://katalog.we-online.de/en/ctm/MID-LLCEPC> (Última visita: 16 de diciembre 2017).
- [255] WE-LLCR Resonant Converter. Website. Würth Elektronik. [En línea]. Disponible en: <http://katalog.we-online.de/en/ctm/WE-LLCR> (Última visita: 16 de diciembre 2017).
- [256] H. R. Mamede, W. M. dos Santos, R. F. Coelho, y D. C. Martins, "A multicell dual-active bridge converter for increasing the reliability of power supply in a DC microgrid," en *Proc. IEEE First Int. Conf. DC Microgrids (ICDCM)*, junio 2015, pp. 274–279.
- [257] Z. Shan, J. Jatskevich, H. H.-C. Iu, y T. Fernando, "Simplified load-feedforward control design for dual-active-bridge converters with current-mode modulation," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2018.
- [258] Texas Instruments, "TI Designs: TIDA-BIDIR-400-12 Bidirectional DC-DC Converter," Texas Instruments, Informe Técnico, septiembre 2015.
- [259] S. Kulasekaran, R. Ayyanar, y S. Atcitty, "Switching frequency optimization of a high-frequency link based energy storage system," en *IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society*, octubre 2014.
- [260] Cmod S6. Website. Digilent, a National Instruments Company. [En línea]. Disponible en: <https://reference.digilentinc.com/reference/programmable-logic/cmod-s6/start> (Última visita: 2 de marzo 2018).
- [261] D. Shonts, "Improved PFC boost choke using a quasi-planar winding configuration," en *APEC '99. Fourteenth Annual Applied Power Electronics Conference and Exposition. 1999 Conference Proceedings*, 1999.
- [262] K. Takagi y H. Fujita, "Dynamic control and dead-time compensation method of an isolated dual-active-bridge DC-DC converter," en *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, septiembre 2015.
- [263] C. R. Sullivan y L.-W. Losses, "Analytical model for effects of twisting on litz-wire losses," en *2014 IEEE 15th Workshop on Control and Modeling for Power Electronics (COMPEL)*, junio 2014.
- [264] M. Perry, "Multiple layer series connected winding design for minimum losses," *IEEE Transactions on Power Apparatus and Systems*, vol. PAS-98, no. 1, pp. 116–123, enero 1979.
- [265] A. Ayachit y M. K. Kazimierczuk, "Steinmetz equation for gapped magnetic cores," *IEEE Magnetics Letters*, vol. 7, pp. 1–4, 2016.
- [266] J. Muhlethaler, J. Biela, J. W. Kolar, y A. Ecklebe, "Improved core-loss calculation for magnetic components employed in power electronic systems," *IEEE Transactions on Power Electronics*, vol. 27, no. 2, pp. 964–973, febrero 2012.

- [267] C. Zhao, S. Round, y J. Kolar, “Full-order averaging modelling of zero-voltage-switching phase-shift bidirectional DC–DC converters,” *IET Power Electronics*, vol. 3, no. 3, p. 400, 2010.
- [268] D. Czarkowski y M. K. Kazimierczuk, “SPICE compatible averaged models of PWM full-bridge DC-DC converter,” en *Proceedings of the 1992 International Conference on Industrial Electronics, Control, Instrumentation, and Automation*, 1992.
- [269] D. Costinett, R. Zane, y D. Maksimovic, “Discrete-time small-signal modeling of a 1 MHz efficiency-optimized dual active bridge converter with varying load,” en *2012 IEEE 13th Workshop on Control and Modeling for Power Electronics (COMPEL)*, junio 2012.
- [270] —, “Discrete time modeling of output disturbances in the dual active bridge converter,” en *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, marzo 2014.
- [271] I. Castro, J. Roig, R. Gelagaev, B. Vlachakis, F. Bauwens, D. G. Lamar, y J. Driesen, “Analytical switching loss model for superjunction MOSFET with capacitive nonlinearities and displacement currents for DC-DC power converters,” *IEEE Transactions on Power Electronics*, vol. 31, no. 3, pp. 2485–2495, marzo 2016.
- [272] C. Basso, “The dark side of loop control theory,” en *2012 IEEE Applied Power Electronics Conference and Exposition (APEC) Seminars*, marzo 2012.
- [273] S. W. Lee, “Demystifying type II and type III compensators using Op-Amp and OTA for DC/DC Converters,” Texas Instruments, Informe Técnico, 2014.
- [274] M. Hagen y V. Yousefzadeh, “Applying digital technology to pwm control-loop designs,” Texas Instruments, Informe Técnico, 2009.
- [275] Control System Designer. Website. MathWorks. [En línea]. Disponible en: <https://es.mathworks.com/help/control/ref/controlsystemdesigner-app.html> (Última visita: 14 de marzo 2018).
- [276] L. Corradini, D. Maksimovic, P. Mattavelli, y R. Zane, *Digital Control of High-Frequency Switched-Mode Power Converters*. John Wiley and Sons Ltd, 2015.
- [277] M. Stojadinovic, E. Kalkounis, F. Jauch, y J. Biela, “Generalized PWM generator with transformer flux balancing for dual active bridge converter,” en *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, septiembre 2017.
- [278] L. Arnedo, D. Boroyevich, R. Burgos, y F. Wang, “Polytopic black-box modeling of dc-dc converters,” en *2008 IEEE Power Electronics Specialists Conference*, junio 2008.
- [279] A. Frances, R. Asensi, O. Garcia, y J. Uceda, “A blackbox large signal lyapunov-based stability analysis method for power converter-based systems,” en *2016 IEEE 17th Workshop on Control and Modeling for Power Electronics (COMPEL)*, junio 2016.
- [280] A. Frances, R. Asensi, O. Garcia, R. Prieto, y J. Uceda, “Modeling electronic power converters in smart DC microgrids - an overview,” *IEEE Transactions on Smart Grid*, pp. 1–1, 2017.
- [281] J. A. Mueller y J. W. Kimball, “Generalized average modeling of DC subsystem in solid state transformers,” en *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, octubre 2017.
- [282] Q. Ye, R. Mo, y H. Li, “Impedance modeling and verification of a dual active bridge (DAB) DC/DC converter enabled DC microgrid in FREEDM system,” en *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEM-ECCE Asia)*, mayo 2016.
- [283] D. Costinett, D. Seltzer, D. Maksimovic, y R. Zane, “Inherent volt-second balancing of magnetic devices in zero-voltage switched power converters,” en *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*. IEEE, mar 2013.
- [284] MDmesh DM2 series. Website. ST Microelectronics. [En línea]. Disponible en: <http://www.st.com/en/power-transistors/mdmesh-dm2-series.html> (Última visita: 15 de abril 2018).
- [285] J. W. Kolar, D. Bortis, y D. Neumayr, “The ideal switch is not enough,” en *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, jun 2016.
- [286] GaN Systems, “GN001 Application Guide: Design with GaN Enhancement mode HEMT,” GaN Systems, Informe Técnico, abril 2018.

- [287] M. Moradpour, A. Lai, A. Serpi, y G. Gatto, “Multi-objective optimization of gate driver circuit for GaN HEMT in electric vehicles,” en *IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society*. IEEE, oct 2017.
- [288] L. M. Tolbert, W. A. Peterson, C. P. White, T. J. Theiss, y M. B. Scudiere, “A bi-directional DC-DC converter with minimum energy storage elements,” en *Conference Record of the 2002 IEEE Industry Applications Conference. 37th IAS Annual Meeting*, octubre 2002.
- [289] L. A. Flores, O. Garcia, J. A. Oliver, y J. A. Cobos, “High-frequency bi-directional DC/DC converter using two inductor rectifier,” en *IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics*, noviembre 2006.
- [290] H. Xiao, D. Chen, y S. Xie, “A ZVS bi-directional DC-DC converter for vehicular electronics,” en *2005 IEEE Vehicle Power and Propulsion Conference*, septiembre 2005.
- [291] K. Wang, C. Y. Lin, L. Zhu, D. Qu, F. C. Lee, y J. S. Lai, “Bi-directional DC to DC converters for fuel cell systems,” en *Power Electronics in Transportation (Cat. No.98TH8349)*, octubre 1998.
- [292] Y. Wen, S. Deng, H. Mao, y I. Batarseh, “Unified steady-state and dynamic modeling for symmetric and asymmetric half-bridge DC-DC converters with current doubler rectifiers,” en *Twentieth Annual IEEE Applied Power Electronics Conference and Exposition, 2005. APEC 2005.*, marzo 2005.
- [293] M. Arias, D. G. Lamar, F. F. Linera, D. Balocco, A. A. Diallo, y J. Sebastián, “Design of a soft-switching asymmetrical half-bridge converter as second stage of an LED driver for street lighting application,” *IEEE Transactions on Power Electronics*, vol. 27, no. 3, pp. 1608–1621, marzo 2012.
- [294] H. Huang, “Coordination of design issues in the intermediate bus architecture,” en *Proc. APEC 2005. Twentieth Annual IEEE Applied Power Electronics Conf. and Exposition*, vol. 1, marzo 2005, pp. 169–175.
- [295] *EN 55014-1:2017 Electromagnetic compatibility - Requirements for household appliances, electric tools and similar apparatus - Part 1: Emission*, IEC/SC CISPR/F Std., abril 2017.
- [296] Murata, “OKI-78SR Series, Non-Isolated Switching Regulator DC-DC,” Murata Power Solutions, Hoja de características, 2018.
- [297] Ceramic Capacitors FAQ - Characteristics. Website. Murata Power Solutions. [En línea]. Disponible en: <https://www.murata.com/support/faqs/products/capacitor/mlcc/char/0005> (Última visita: 7 de septiembre 2017).
- [298] RECOM, “R-7xxxP D Series, 2,3,4 Amp SIP12 Vertical & Horizontal Single Output,” RECOM, Hoja de características, 2018.
- [299] New techniques for measuring feedback loop transfer functions in current mode converters. Website. Venable Instruments. [En línea]. Disponible en: <https://venable.biz/technical-publications/new-techniques-measuring-feedback-loop-transfer-functions-current-mode-converters/> (Última visita: 5 de diciembre 2017).
- [300] Practical testing techniques for modern control loops. Website. Venable Instruments. [En línea]. Disponible en: <https://venable.biz/technical-publications/practical-testing-techniques-modern-control-loops/> (Última visita: 5 de diciembre 2017).
- [301] New techniques for testing power factor correction circuits. Website. Venable Instruments. [En línea]. Disponible en: <https://venable.biz/technical-publications/new-techniques-testing-power-factor-correction-circuits/> (Última visita: 5 de diciembre 2017).
- [302] Input/output impedance measurement set (IOZ). Website. Venable Instruments. [En línea]. Disponible en: <https://venable.biz/inputoutput-impedance-measurement-ioz/> (Última visita: 5 de diciembre 2017).
- [303] M. Rodríguez, L. Corradini, C. Olalla, y D. Maksimović, “Average current-mode control of boost converters with bidirectional power transfer capabilities,” en *Proc. IEEE 13th Workshop Control and Modeling for Power Electronics (COMPEL)*, junio 2012, pp. 1–7.

Lista de Símbolos

A_e	Área efectiva del núcleo magnético.
A_w	Área de ventana disponible para el devanado en el componente magnético.
B_p	Valor máximo de la componente de CA de la densidad de flujo magnético.
B_{max}	Valor máximo admitido de la densidad de flujo magnético.
B_w	Ancho de ventana disponible para el devanado en el componente magnético.
C_{bus}	Condensador equivalente colocado en el bus intermedio de 48 V.
$C_{bus\ n}$	Condensador de entrada del convertidor reductor síncrono n.
C_e	Condensador colocado a la entrada de los POL conectados a las salidas de 24 V.
C_i	Condensador de filtro colocado a la entrada del convertidor <i>Dual Active Bridge</i> .
C_o	Condensador de salida del convertidor reductor síncrono.
C_{ODAB}	Condensador de filtro colocado a la salida del convertidor <i>Dual Active Bridge</i> .
C_{opol}	Condensador de salida del POL.
C_p	Capacidad parásita drenador-fuente de los MOSFETs Q_{pn} del convertidor <i>Dual Active Bridge</i> .
C_s	Capacidad parásita drenador-fuente de los MOSFETs Q_{sn} del convertidor <i>Dual Active Bridge</i> .
d	Ciclo de trabajo del convertidor reductor síncrono.
$D_{máx}$	Ciclo de trabajo máximo del convertidor reductor síncrono, limitado por el controlador.
$D_{mín}$	Ciclo de trabajo mínimo del convertidor reductor síncrono, limitado por el controlador.
d_s	Espaciado entre los devanados del transformador en una implementación concéntrica y separación vertical.
E_{ON}	Energía de encendido de un MOSFET.
E_{OFF}	Energía de apagado de un MOSFET.
E_{ONP}	Energía de encendido de Q_p .
E_{ONS}	Energía de encendido de Q_s .
E_{OFFP}	Energía de apagado de Q_p .
E_{OFFQP}	Energía de apagado de Q_{pn} .
E_{OFFS}	Energía de apagado de Q_s .
E_{OFFQS}	Energía de apagado de Q_{sn} .
f_c	Frecuencia de corte del convertidor reductor síncrono.
\tilde{f}_c	Frecuencia de corte del convertidor reductor síncrono degradada por la carga.
f_{CDAB}	Frecuencia de corte del convertidor <i>Dual Active Bridge</i> .
f_{cpol}	Frecuencia de corte del regulador del POL.
f_r	Frecuencia de resonancia del filtro LC del convertidor reductor síncrono.
\tilde{f}_r	Frecuencia de resonancia del filtro LC del convertidor reductor síncrono degradada por la carga.
f_s	Frecuencia de conmutación del convertidor reductor síncrono.

f_{SDAB}	Frecuencia de conmutación del convertidor <i>Dual Active Bridge</i> .
$f_{SDABopt}$	Frecuencia de conmutación del convertidor <i>Dual Active Bridge</i> que minimiza las pérdidas globales.
$f_{SDABfab}$	Frecuencia de conmutación del convertidor <i>Dual Active Bridge</i> para permitir la fabricación del transformador.
f_{smin}	Frecuencia de conmutación del convertidor reductor síncrono que asegura evitar la saturación de la inductancia.
$f_{SDABmin}$	Frecuencia de conmutación del convertidor <i>Dual Active Bridge</i> que asegura evitar la saturación del transformador.
f_{sopt}	Frecuencia de conmutación del convertidor reductor síncrono que minimiza las pérdidas globales.
f_w	Factor de utilización del área de ventana en el componente magnético.
$G_{cdab}(s)$	Ganancia del regulador en modo tensión del convertidor <i>Dual Active Bridge</i> .
$G_{cvt}(s)$	Ganancia del regulador en modo tensión del convertidor reductor síncrono.
$G_{ccr}(s)$	Ganancia del regulador en modo corriente del convertidor reductor síncrono.
$G_{vdr}(s)$	Planta del convertidor reductor síncrono.
$G_{v\phi}(s)$	Planta del convertidor <i>Dual Active Bridge</i> .
$G_{Mr}(s)$	Ganancia del modulador del convertidor reductor síncrono.
H_w	Altura de ventana disponible para el devanado en el componente magnético.
i_{bus}	Corriente inyectada o demandada en el bus intermedio de 48 V.
ΔI_{bus}	Máxima variación de la corriente de salida del convertidor <i>Dual Active Bridge</i> durante un escalón de carga.
i_{busp}	Corriente de salida del puente secundario del convertidor <i>Dual Active Bridge</i> .
I_{ctrl}	Corriente controlada cuando el convertidor reductor síncrono opera en QSW-ZVS.
i_{ip}	Corriente de entrada del puente primario del convertidor <i>Dual Active Bridge</i> .
i_i	Corriente de entrada del convertidor <i>Dual Active Bridge</i> .
I_{inf}	Límite inferior de la banda de histéresis de corriente cuando el convertidor reductor síncrono opera en QSW-ZVS.
i_L	Corriente por la inductancia L del convertidor reductor síncrono.
i_{Lk}	Corriente por la inductancia L_k del convertidor <i>Dual Active Bridge</i> .
i_{Lm}	Corriente por la inductancia L_m del convertidor <i>Dual Active Bridge</i> .
I_{Lm1}	Valor de i_{Lm} en <i>Dual Active Bridge</i> en el instante de conmutación del puente primario.
I_{Lm2}	Valor de i_{Lm} en <i>Dual Active Bridge</i> en el instante de conmutación del puente secundario.
Δi_L	Rizado pico a pico de la corriente i_L en el convertidor reductor síncrono.
i_o	Corriente de salida del convertidor reductor síncrono.
$I_{qp\ ef}$	Corriente eficaz por el transistor Q_p del convertidor reductor síncrono.
$I_{qs\ ef}$	Corriente eficaz por el transistor Q_p del convertidor reductor síncrono.
i_{qpn}	Corriente por cada transistor Q_{pn} del puente primario del convertidor <i>Dual Active Bridge</i> .
$I_{qpn\ ef}$	Corriente eficaz por cada transistor Q_{pn} del puente primario del convertidor <i>Dual Active Bridge</i> .
i_{qsn}	Corriente por cada transistor Q_{sn} del puente secundario del convertidor <i>Dual Active Bridge</i> .
$I_{qsn\ ef}$	Corriente eficaz por cada transistor Q_{sn} del puente secundario del convertidor <i>Dual Active Bridge</i> .
i_p	Corriente entrante al elemento magnético del <i>Dual Active Bridge</i> desde el puente primario.
$I_p\ ef$	Valor eficaz de i_p .

I_{p1}	Valor de i_p en <i>Dual Active Bridge</i> en el instante de conmutación del puente primario.
I_{p2}	Valor de i_p en <i>Dual Active Bridge</i> en el instante de conmutación del puente secundario.
i_s	Corriente saliente del elemento magnético del <i>Dual Active Bridge</i> hacia el puente secundario.
I_{s1}	Valor de i_s en <i>Dual Active Bridge</i> en el instante de conmutación del puente primario.
I_{s2}	Valor de i_s en <i>Dual Active Bridge</i> en el instante de conmutación del puente secundario.
ΔI_o	Variación instantánea de la corriente de salida del convertidor reductor síncrono.
i_{opol}	Corriente de salida del POL.
i_{pol}	Corriente de entrada del POL.
I_{sup}	Límite superior de la banda de histéresis de corriente cuando el convertidor reductor síncrono opera en QSW-ZVS.
I_{zvs}	Corriente resonante necesaria para operar en modo QSW-ZVS en el convertidor reductor síncrono.
i_ϕ	Corriente inyectada a la salida por la fuente de corriente ideal del modelo estático del convertidor <i>Dual Active Bridge</i> .
k	Relación entre L_m y L_k en el convertidor <i>Dual Active Bridge</i> , referida al primario del transformador.
K_{CO}	Coefficiente de escala de las pérdidas del núcleo en la inductancia del convertidor reductor síncrono.
K_{CU}	Coefficiente de escala de las pérdidas del devanado en la inductancia del convertidor reductor síncrono.
K_{cotx}	Coefficiente de escala de las pérdidas del núcleo en el transformador del convertidor <i>Dual Active Bridge</i> .
K_{cutx}	Coefficiente de escala de las pérdidas del devanado en el transformador del convertidor <i>Dual Active Bridge</i> .
K_e	Coefficiente de pérdidas del material magnético.
K_i	Coefficiente integral del regulador digital del convertidor <i>Dual Active Bridge</i> .
K_n	Coefficiente que relaciona K_{CO} , K_{CU} , α y β para la optimización de N_L en la inductancia del convertidor reductor síncrono.
K_{ntx}	Coefficiente que relaciona K_{CO} , K_{CU} , α y β para la optimización de N_p en el transformador del convertidor <i>Dual Active Bridge</i> .
K_{min}	Coefficiente que relaciona f_s con N_{Lmin} para evitar la saturación en la inductancia del convertidor reductor síncrono.
K_{mintx}	Coefficiente que relaciona f_{SDAB} con N_{pmin} para evitar la saturación en el transformador del convertidor <i>Dual Active Bridge</i> .
K_{fabtx}	Coefficiente que relaciona f_{SDAB} con N_{pfab} para permitir la fabricación del transformador del convertidor <i>Dual Active Bridge</i> .
K_p	Coefficiente proporcional del regulador digital del convertidor <i>Dual Active Bridge</i> .
K_{rp}	Coefficiente de escala entre la resistencia equivalente de CA y de CC en los devanados del transformador del convertidor <i>Dual Active Bridge</i> .
K_s	Coefficiente de escala de las pérdidas de conmutación en los transistores del convertidor reductor síncrono.
K_{SDAB}	Coefficiente de escala de las pérdidas de conmutación en los transistores del convertidor <i>Dual Active Bridge</i> .
L	Inductancia de filtro del convertidor reductor síncrono.

L_k	Inductancia de dispersión del convertidor <i>Dual Active Bridge</i> , referida al primario del transformador.
L_m	Inductancia de magnetizante del transformador del convertidor <i>Dual Active Bridge</i> , referida a su devanado primario.
l_m	Longitud media por vuelta en el devanado del componente magnético.
L_{pol}	Inductancia de filtro del POL.
N	Relación de vueltas entre el devanado secundario del transformador del <i>Dual Active Bridge</i> y su devanado primario.
N_e	Factor mínimo de escala entre \check{f}_c y \check{f}_r en el convertidor reductor síncrono en control modo tensión.
N_L	Número de vueltas en el devanado la inductancia del convertidor reductor síncrono.
N_{Lmin}	Número mínimo de vueltas en el devanado la inductancia del convertidor reductor síncrono para evitar saturación del núcleo magnético.
N_p	Número de vueltas del devanado primario del transformador del <i>Dual Active Bridge</i> .
N_{pmin}	Número mínimo de vueltas del devanado primario del transformador del <i>Dual Active Bridge</i> para evitar saturación del núcleo magnético.
N_{pfab}	Número mínimo de vueltas del devanado primario del transformador del <i>Dual Active Bridge</i> para poder conseguir la L_k deseada.
N_s	Número de vueltas del devanado secundario del transformador del <i>Dual Active Bridge</i> .
P_c	Pérdidas de conducción en los transistores del convertidor reductor síncrono.
P_{CDAB}	Pérdidas de conducción en los transistores del convertidor <i>Dual Active Bridge</i> .
P_{CO}	Pérdidas en el núcleo de la inductancia del convertidor reductor síncrono.
P_{cotx}	Pérdidas en el núcleo del transformador del convertidor <i>Dual Active Bridge</i> .
P_{CU}	Pérdidas en el devanado de la inductancia del convertidor reductor síncrono.
P_{cutx}	Pérdidas en el devanado del transformador del convertidor <i>Dual Active Bridge</i> .
P_{cp}	Pérdidas de conducción en el transistor Q_p .
P_{cs}	Pérdidas de conducción en el transistor Q_s .
P_{DAB}	Potencia nominal del convertidor <i>Dual Active Bridge</i> .
P_L	Pérdidas en la inductancia del convertidor reductor síncrono.
P_{pol}	Potencia procesada por el POL en funcionamiento estático.
P_Q	Pérdidas en los transistores del convertidor reductor síncrono.
P_{QDAB}	Pérdidas en los transistores del convertidor <i>Dual Active Bridge</i> .
P_{Qp}	Pérdidas en el transistor Q_p del convertidor reductor síncrono.
P_{Qs}	Pérdidas en el transistor Q_s del convertidor reductor síncrono.
P_r	Potencia nominal del convertidor reductor síncrono.
P_{sp}	Pérdidas de conmutación en el transistor Q_p .
P_{ss}	Pérdidas de conmutación en el transistor Q_s .
P_{totr}	Pérdidas totales del convertidor reductor síncrono.
P_{totDAB}	Pérdidas totales del convertidor <i>Dual Active Bridge</i> .
P_{tx}	Pérdidas en el transformador del convertidor <i>Dual Active Bridge</i> .
Q_p	Transistor principal del convertidor reductor síncrono.
Q_{pn}	Transistor n del puente primario del convertidor <i>Dual Active Bridge</i> .
Q_s	Transistor síncrono del convertidor reductor síncrono.
Q_{sn}	Transistor n del puente secundario del convertidor <i>Dual Active Bridge</i> .
Q_{gsp}	Carga entre puerta y drenador de Q_p .
Q_{gss}	Carga entre puerta y drenador de Q_s .

Q_{gsQP}	Carga entre puerta y drenador de Q_{pn} .
Q_{gsQS}	Carga entre puerta y drenador de Q_{sn} .
Q_{rrs}	Carga de recuperación inversa de Q_s .
R_{CATX}	Resistencia equivalente de los devanados del transformador considerando los efectos de corriente alterna de alta frecuencia.
R_{bus}	Componente resistiva de la impedancia Z_{bus} colocada en el bus intermedio de 48 V como carga del convertidor <i>Dual Active Bridge</i> .
R_{Co}	Resistencia serie equivalente de C_o .
R_{CC}	Resistencia del devanado de la inductancia en corriente continua.
R_d	Resistencia virtual para el control por <i>droop</i> .
R_{dSON}	Resistencia de encendido del MOSFET en conducción.
R_{dSONP}	Resistencia de encendido de Q_p en conducción.
R_{dSONS}	Resistencia de encendido de Q_s en conducción.
R_{dSONQP}	Resistencia de encendido de Q_{pn} en conducción.
R_{dSONQS}	Resistencia de encendido de Q_{sn} en conducción.
R_e	Aproximación de Z_e para frecuencias menores que f_{cpol} .
r_{ent}	Resistencia interna colocada en paralelo con la entrada en el modelo dinámico del convertidor <i>Dual Active Bridge</i> .
r_{int}	Resistencia interna colocada en paralelo con la salida en el modelo dinámico del convertidor <i>Dual Active Bridge</i> .
R_L	Resistencia serie equivalente de L.
R_v	Resistencia virtual del modelo dinámico con control en modo corriente de pico.
t_{on}	Intervalo de tiempo durante el cual Q_p se mantiene encendido en el convertidor reductor síncrono cada periodo de conmutación.
T_s	Periodo de conmutación del convertidor reductor síncrono.
T_{SDAB}	Periodo de conmutación del convertidor <i>Dual Active Bridge</i> .
$T_r(s)$	Ganancia de lazo abierto del convertidor reductor síncrono.
$\tilde{T}_r(s)$	Ganancia de lazo abierto del convertidor reductor síncrono degradada por la carga.
v_{bus}	Tensión del bus intermedio de 48 V del Proveedor de Bus.
Δv_{busp}	Rizado pico a pico de la tensión v_{bus} en régimen permanente.
Δv_{bust}	Desviación máxima de la tensión v_{bus} durante un transitorio de carga.
V_{dr}	Tensión de alimentación del circuito de control de los MOSFETS.
V_e	Volumen efectivo de un núcleo magnético.
v_{ds}	Tensión pulsada aplicada a la entrada del filtro del convertidor reductor síncrono.
v_{gsp}	Tensión de mando del interruptor principal del convertidor reductor síncrono.
v_{gss}	Tensión de mando del interruptor síncrono del convertidor reductor síncrono.
v_i	Tensión de entrada del convertidor <i>Dual Active Bridge</i> .
v_{Lk}	Tensión aplicada sobre la inductancia L_k de <i>Dual Active Bridge</i> .
v_o	Tensión de salida del convertidor reductor síncrono.
Δv_{op}	Rizado pico a pico de la tensión v_o en el convertidor reductor síncrono en régimen permanente.
Δv_{ot}	Desviación máxima de la tensión v_o en el convertidor reductor síncrono durante un transitorio de carga.
v_{opol}	Tensión de salida del POL.
v_p	Tensión aplicada al transformador del convertidor <i>Dual Active Bridge</i> por el puente primario.
v_s	Tensión aplicada al transformador del convertidor <i>Dual Active Bridge</i> por el puente secundario.

Z_{bus}	Impedancia colocada en el bus intermedio de 48 V como carga del convertidor <i>Dual Active Bridge</i> .
Z_e	Impedancia de entrada del POL.
Z_{or}	Impedancia de salida del convertidor reductor síncrono en lazo abierto.
α	Exponente de frecuencia en la ecuación de Steinmetz.
β	Exponente de densidad de flujo en la ecuación de Steinmetz.
μ_0	Permeabilidad magnética del vacío.
φ	Desfase aplicado a las señales de control del puente secundario con respecto a las del primario en el convertidor <i>Dual Active Bridge</i> .
φ_c	Margen de fase del convertidor reductor síncrono con control en modo corriente.
$\varphi_{\text{máx}}$	Máximo desfase aplicado a las señales de control del puente secundario con respecto a las del primario en el convertidor <i>Dual Active Bridge</i> .
φ_v	Margen de fase del convertidor reductor síncrono con control en modo tensión.
σ_{cu}	Conductividad del cobre.

Lista de Acrónimos

CA	Corriente Alterna.
CC	Corriente Continua.
CPC	Carga de Potencia Constante.
CPD	Centro de Procesado de Datos.
DAB	<i>Dual Active Bridge.</i>
ESR	Resistencia Serie Equivalente del inglés <i>Equivalent Series Resistance.</i>
FACT	Sistema Flexible de Distribución en Corriente Alterna del inglés <i>Flexible Alternate Current Transmission Systems.</i>
FPC	Fuente de Potencia Constante.
GaN	Nitruro de Galio.
HCMC	Control por Histéresis de Corriente del inglés <i>Hysteretic Current Mode Control.</i>
HEMT	Transistor de Alta Movilidad de Electrones del inglés <i>High Electron Mobility Transistor.</i>
MOSFET	Transistor de Efecto de Campo Metal-Óxido-Semiconductor del inglés <i>Metal-Oxide-Semiconductor Field-Effect Transistor.</i>
MPPT	Seguidor del Máximo Punto de Potencia del inglés <i>Maximum Power Point Tracker.</i>
OCC	<i>One-Cycle Control.</i>
PCB	Placa de Circuito Impreso del inglés <i>Printed Circuit Board.</i>
PdB	Proveedor de Bus.
PdBI	Proveedor de Bus Intermedio.
POL	Convertidor de Punto de Carga del inglés <i>Point of Load.</i>
PWM	Modulador por Ancho de Pulso del inglés <i>Pulse Width Modulator.</i>
QSW-ZVS	Operación en Forma de Onda Cuadrada con Conmutación a Tensión Cero del inglés <i>Quasi-Square-Waveform Zero Voltage Switching.</i>
RdB	Regulador de Bus.
SAE	Sistema de Almacenamiento de Energía.
SAI	Sistema de Alimentación Ininterrumpida.
SDC	Sistema de Distribución de Energía en corriente Continua.
SDE	Sistema de Distribución de Energía.
SDEE	Sistema de Distribución de Energía Electrónico.
SELV	Nivel de Tensión Extra-Bajo y Seguro del inglés <i>Safety Extra Low Voltage.</i>
SGD	Sistema de Generación Distribuida.
SiC	Carburo de Silicio.
ZCD	Detección de Paso por Cero del inglés <i>Zero Crossing Detection.</i>
ZVS	Conmutación a Tensión Cero del inglés <i>Zero Voltage Switching.</i>