



Universidad de
Oviedo



ESCUELA POLITÉCNICA DE INGENIERÍA DE GIJÓN

GRADO EN INGENIERÍA EN TECNOLOGÍAS Y SERVICIOS DE TELECOMUNICACIÓN

ÁREA DE TECNOLOGÍA ELECTRÓNICA

TRABAJO FIN DE GRADO Nº 1601_214

**ANÁLISIS DEL FUNCIONAMIENTO DE UN INTERRUPTOR
MOSFET DE ALTA TENSIÓN EN CONFIGURACIÓN CASCADO EN
UN CONVERTIDOR ELEVADOR**

ABRAHAM LÓPEZ ANTUÑA

TUTOR: ALBERTO RODRÍGUEZ ALONSO

COTUTOR: JUAN RODRÍGUEZ MÉNDEZ

FECHA: MAYO 2016

Índice de contenidos

MEMORIA	4
1. INTRODUCCIÓN	5
1.1.- Motivación y objetivos del proyecto	5
1.2.- Estructura del documento.....	8
2. MODELO ANALÍTICO	10
2.1.- Estudio de la configuración en cascodo	10
2.1.1.- Análisis del proceso de conmutación en el cascodo	10
2.1.2.- Análisis de las capacidades parásitas en el cascodo.....	12
2.2.- Estudio teórico de la topología del convertidor elevador.....	18
2.3.- Estimación analítica de las pérdidas del convertidor elevador	24
2.3.1.- Pérdidas en conducción.....	24
2.3.2.- Pérdidas en conmutación.....	26
2.3.3.- Pérdidas en la bobina.....	32
3. MODELO DE SIMULACIÓN	35
3.1.- Simulación del convertidor elevador con un MOSFET de súper-unión (SJ-FET) .	35
3.2.- Simulación del convertidor elevador en configuración cascodo.....	38
3.3.- Resultados de las simulaciones	40
4. PROTOTIPOS	41
4.1.- Especificaciones de los prototipos	41
4.2.- Componentes de los prototipos	42
4.2.1.- Prototipo con un solo SJ-FET	42
4.2.2.- Prototipo con la configuración en cascodo	43
4.2.3.- Plataforma de control digital	44
4.2.4.- Generación y adaptación de las señales de gobierno de los MOSFET	45
4.2.5.- Etapa de potencia	47
4.3.- Formas de onda de operación en los prototipos	51

5. RESULTADOS EXPERIMENTALES	55
5.1.-Comparativa de rendimientos entre la topología con un único SJ-FET y la configuración en cascodo	55
5.1.1.- Para distintos valores de la tensión de entrada usando un SJ-FET IPW65R095C7 y para una frecuencia de conmutación de 100 kHz	55
5.1.2.- Para distintos valores de la tensión de entrada usando un SJ-FET IRFPC50 y para una frecuencia de conmutación de 100 kHz	56
5.1.3.- Para distintos valores de la carga usando un SJ-FET IPW65R095C7 y para una frecuencia de conmutación de 100 kHz.....	57
5.1.4.- Para distintos valores de la carga usando un SJ-FET IRFPC50 y para una frecuencia de conmutación de 100 kHz.....	58
5.1.5.- Para distintos valores de la carga usando un SJ-FET IRFPC50 y para una frecuencia de conmutación de 200 kHz.....	59
5.1.6.- Para distintos valores de la carga usando un SJ-FET IRFPC50 y para una frecuencia de conmutación de 400 kHz.....	61
5.1.7.- Para distintos valores de la carga, usando un SJ-FET IRFPC50, para una frecuencia de conmutación de 200 kHz y para un MOSFET de baja tensión Si9426DY	62
5.1.8.- Estudio de la minimización del tiempo de avalancha en el diodo parásito del MOSFET de baja tensión Si9426DY, para una frecuencia de conmutación de 200 kHz y a una potencia de 200 W.....	64
6. CONCLUSIONES Y TRABAJOS FUTUROS	69
7. ANEXOS	71
8. BIBLIOGRAFÍA	79
9. PLANIFICACIÓN	80
 PLANOS ELÉCTRICOS	 82
 PRESUPUESTO	 91
1.- Disposiciones generales	92
2.- Presupuesto de materiales	92
3.- Presupuesto de personal	95
4.- Presupuesto total	96

MEMORIA

1. Introducción

1.1.- MOTIVACIÓN Y OBJETIVOS DEL PROYECTO

Los transistores con alta movilidad de electrones (HEMT) de Nitruro de Galio (GaN) en configuración cascodo, constituyen hoy en día la opción preferida por parte de muchas compañías, con el objetivo de lograr un interruptor de potencia comercial normalmente abierto, para aplicaciones cuyos rangos de tensión se encuentran entre los 500 V y los 900 V [1][2]. Es posible también encontrar dispositivos comerciales basados en la unión en cascodo de un MOSFET de Silicio de baja tensión y un JFET de Carburo de Silicio (SiC) [3], usados mayoritariamente para la conmutación de cargas inductivas, así como también para obtener más eficiencia en aplicaciones como inversores solares o procesos de carga de vehículos eléctricos [4].

Dichos dispositivos de GaN [5] muestran un mejor comportamiento en conmutación que los mayoritariamente utilizados MOSFETs de súper-unión (SJ-FETs) de Silicio, gracias a las excelentes características dinámicas del material [6]. No obstante, recientes trabajos [7] sugieren que parte de las ventajas en cuanto al rendimiento de estos dispositivos, se deben a la propia configuración en cascodo. A pesar de ello, actualmente apenas se encuentran referencias acerca de dispositivos en Silicio para aplicaciones de alta tensión en configuración cascodo, a excepción de las topologías basadas en transistores bipolares (BJT) [8].

Así pues el propósito de este trabajo se centra en el estudio de la configuración en cascodo como interruptor de potencia de alta tensión normalmente abierto basado en tecnología de Silicio. El cascodo como tal, es una topología muy estudiada para el caso de los transistores bipolares, no obstante la topología en cascodo que se utilizará en este trabajo, estará formada por la unión de un MOSFET de Silicio de súper-unión (SJ-FET), como MOSFET de alta tensión (HV-FET), y un MOSFET de Silicio de baja tensión (LV-FET), tal y como se puede ver en la Figura 1.1.

Se pretende también analizar el comportamiento en conmutación de esta configuración comparándola con otra en la que sólo se empleará un MOSFET de Silicio de súper-unión, tratando de verificar si el cascode muestra un comportamiento en conmutación más rápido frente a la otra configuración.

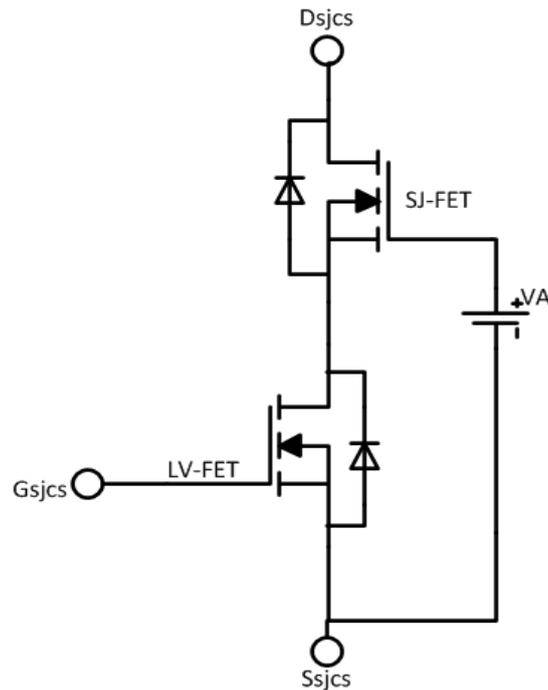


Figura 1.1.- Esquema de un MOSFET de súper- unión en configuración cascode con un MOSFET de Silicio de baja tensión

Como se puede ver en la Figura 1.1. la estructura del cascode formada por el MOSFET de Silicio de súper-unión, como HV-FET y por el MOSFET de Silicio de baja tensión se comporta como un único interruptor de tres conexiones: G_{SICS} , S_{SICS} y D_{SICS} .

La estructura del cascode, requiere una fuente de tensión constante (V_A) en la puerta del dispositivo de alta tensión para polarizar el SJ-FET, durante el estado de conducción, y hacer que efectivamente, se comporte como un interruptor normalmente cerrado.

A partir de este punto, los principales aspectos en los que se centra este trabajo son:

- Estudio teórico de la configuración en cascode y del convertidor elevador.

- Simulación de las dos topologías (elevador con cascodo y elevador con un solo SJ-FET) para mejor aproximación del estudio teórico.
- Diseño y construcción de prototipos para ambas topologías, y de acuerdo a ciertas especificaciones.
- Mediciones y pruebas sobre los prototipos, con la correspondiente presentación, análisis y comparativa de resultados.

1.2.- ESTRUCTURA DEL DOCUMENTO

A continuación se detalla la estructura de la memoria del trabajo fin de grado (TFG), con el objetivo de aportar una visión global sobre el trabajo que se va a realizar.

En el Capítulo 2 se presenta el estudio teórico de la configuración en cascodo y del convertidor elevador, al ser este el circuito que se va a utilizar para comparar aquella topología en la que no se emplea el cascodo, frente a aquella en la que sí se emplea. Este estudio se llevará a cabo considerando todos los componentes de forma idealizada para poder tener una visión general del comportamiento de ambas topologías. Dentro del estudio del cascodo, se pondrá especial énfasis en el análisis de los procesos de conmutación del mismo, así como también en los efectos de sus capacidades parásitas.

El modelo analítico sin embargo, no tiene en cuenta las no idealidades de los componentes, de tal manera que para posibilitar la inclusión de componentes más cercanos a la realidad, en el Capítulo 3, se presenta la implementación de modelos de simulación de las topologías que se van a comparar. Dichos modelos de simulación se han llevado a cabo con el programa de simulación electrónica de libre distribución *LTspice*. Los resultados obtenidos mediante el uso de estos modelos, pretenden validar los resultados y comportamientos analíticos analizados en el Capítulo 2.

Una vez desarrollados modelos analíticos y de simulación que permitan, de manera sencilla, entender el funcionamiento de ambas topologías para unas especificaciones concretas, en el Capítulo 4 se presenta el diseño y construcción de dos prototipos de convertidor elevador. En uno de ellos se emplea un único MOSFET de súper-uniión y en el otro se emplea la configuración en cascodo descrita en la Figura 1.1. Partiendo de unas especificaciones de diseño y de los modelos desarrollados en los capítulos anteriores, se pueden elegir o realizar los componentes que van a formar parte de los prototipos. El control se realiza usando una plataforma digital a través del lenguaje de alto nivel VHDL.

Aparte de esta etapa de control digital, también se hace necesario el uso de circuitería de control externa para la adaptación de las señales de gobierno de los MOSFETs.

Una vez verificado el correcto funcionamiento de ambos prototipos, se llevan a cabo pruebas sobre ellos para ciertas especificaciones, con el objetivo de obtener medidas de rendimiento del convertidor elevador para ambas topologías. En el Capítulo 5, se comparan dichas medidas para analizar si las diferencias en el comportamiento en conmutación de la configuración en cascodo, suponen algún tipo de ventaja frente al uso de un único MOSFET de súper-uniión. También en este capítulo se intentará comparar en cierta forma ambas topologías a través de una estimación de pérdidas, derivadas de la conmutación y de conducción de los transistores, conducción del diodo así como también de las pérdidas en la bobina del convertidor.

Finalmente, en el Capítulo 6 se expondrán las conclusiones derivadas del trabajo realizado así como trabajos futuros, que se puedan considerar apropiados para continuar con el objetivo global del presente trabajo.

2. Modelo analítico

En este capítulo se muestra un resumen del estudio realizado para la configuración en cascodo en cuanto a su proceso de conmutación, y para la topología del convertidor elevador en condiciones ideales. Finalmente, se estudiarán las pérdidas en cuanto a los procesos de conmutación y conducción en transistores y diodos, así como también las pérdidas derivadas de la bobina.

2.1.- ESTUDIO DE LA CONFIGURACIÓN EN CASCODO

En la topología clásica, el cascodo es un amplificador de dos etapas compuesto por un amplificador de transconductancia seguido de un búfer de corriente. En comparación con una sola etapa, esta combinación puede tener una o más de las siguientes características: mayor aislamiento de entrada-salida, alta impedancia de entrada, alta impedancia de salida, mayor ganancia o mayor ancho de banda.

En los circuitos modernos, el cascodo se construye a menudo a partir de dos transistores (BJT o FET), donde uno funciona en emisor común o fuente común y otro funciona en base común o puerta común.

2.1.1.- Análisis del proceso de conmutación en el cascodo

La configuración del cascodo con la que se trabaja en este caso, está constituida por un MOSFET de súper-unión (SJ-FET), funcionando como dispositivo de alta tensión y un MOSFET de Silicio de baja tensión (LV-FET). Con el objetivo de polarizar el SJ-FET durante el estado de conducción y hacer que se comporte como un dispositivo normalmente cerrado, es necesario añadir una fuente de tensión constante (V_A) en la puerta del mismo.

Así pues, a pesar de tratarse de una estructura formada por dos transistores, el conjunto se comporta como un único interruptor que posee una puerta (G_{SJCC}), un drenador (D_{SJCC}) y una fuente (S_{SJCC}) equivalentes. (Figura 2.1.)

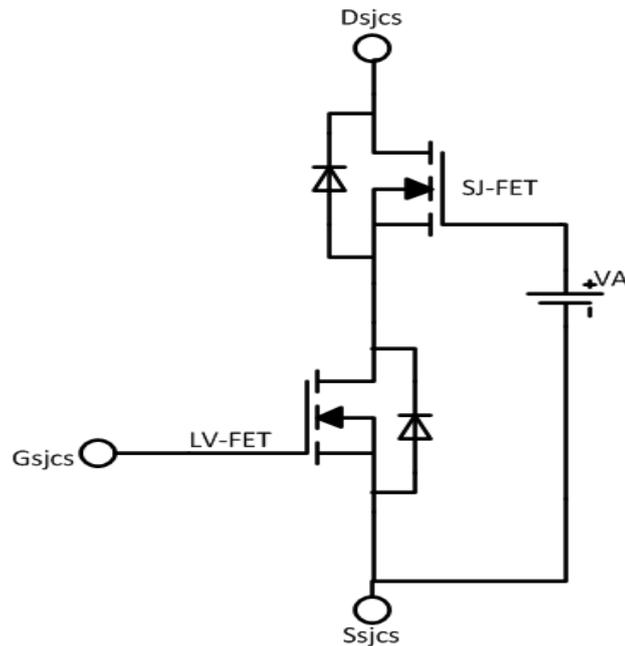


Figura 2.1.- Esquema de un MOSFET de súper – unión en configuración cascodo con un MOSFET de Silicio de baja tensión

En lo que respecta al funcionamiento de esta estructura, el LV-FET estará controlado por una señal modulada en ancho de pulso (PWM), de tal manera que la tensión puerta-fuente del LV-FET siempre va a estar determinada por los valores de tensión propios de esta señal PWM (en el rango de 0 V a 12 V). De esta forma, cuando se le aplica un nivel alto, el LV-FET se comporta como un cortocircuito, mientras que cuando se le aplica un nivel bajo, se comporta como un circuito abierto.

Durante el estado de corte, el SJ-FET bloquea la mayor parte de la tensión, mientras que en el LV-FET bloquea una tensión que es menor o igual a la tensión de avalancha de su diodo parásito (V_{AV}). En lo que respecta a las tensiones puerta-fuente de ambos transistores, en el estado de corte, la tensión puerta-fuente del LV-FET está determinada por el valor inferior de la señal tren de pulsos que llega a su puerta (0V) y la tensión puerta-fuente del SJ-FET será igual a la diferencia entre el valor de la tensión constante V_A y el valor de la tensión de avalancha del diodo parásito del LV-FET ($V_A - V_{AV}$), siendo esta diferencia menor o igual que 0 V.

Durante el estado de conducción, la tensión puerta-fuente del LV-FET de nuevo estará determinada por el valor superior de la señal PWM que llega a su puerta (12V). Por su parte, la tensión puerta-fuente del SJ-FET se corresponde con la diferencia entre el valor de la fuente de tensión constante (V_A) y el valor de la caída de tensión generada en la resistencia en conducción (R_{DSon}) del LV-FET por el paso de la corriente (este valor es prácticamente despreciable debido a los reducidos valores de R_{DSon} que presentan los LV-FET). De manera aproximada, se puede asumir que durante el estado en conducción, la tensión puerta fuente del SJ-FET toma el valor de (V_A).

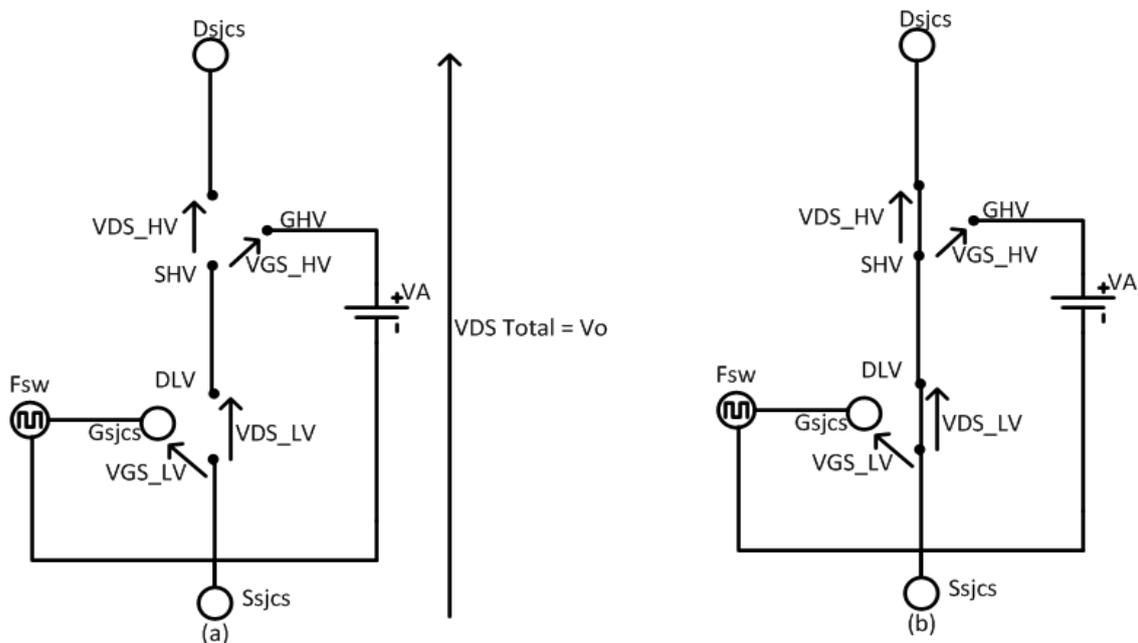


Figura 2.2.- Esquema del comportamiento de la configuración en cascodo para los estados de corte (a) y conducción (b)

2.1.2.- Análisis de las capacidades parásitas en el cascodo

En este apartado se presenta un análisis de las capacidades parásitas presentes en el MOSFET del alta tensión (HV-FET) y en el de baja (LV-FET) que forman la configuración en cascodo. El análisis se basa en la distribución de las tensiones por las distintas capacidades parásitas, en función de la tensión de salida (V_o) y del nivel de tensión constante (V_A).

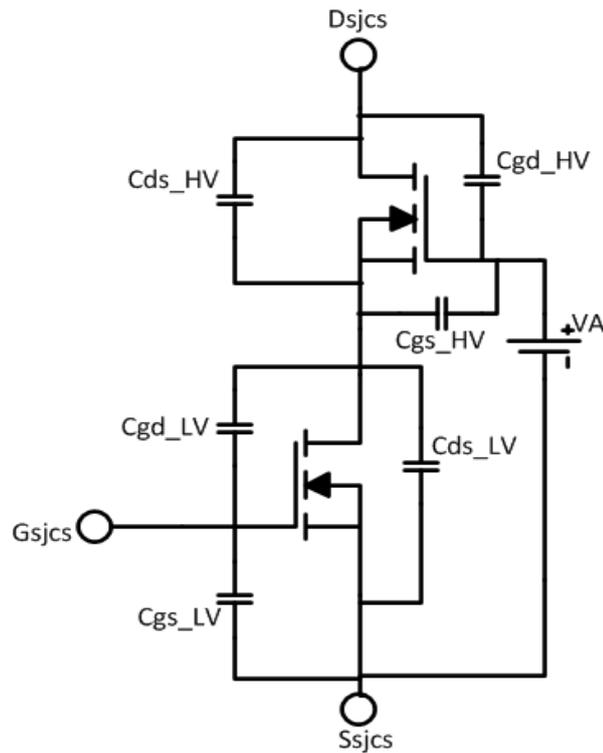


Figura 2.3.- Esquema de la distribución de las capacidades parásitas en el cascodo

Para llevar a cabo dicho análisis se usará el principio de superposición con la tensión de salida (V_o) y con el valor de la tensión constante (V_A). De esta forma, se podrán obtener las expresiones de las tensiones para las distintas capacidades parásitas presentes en ambos transistores.

En primer lugar, se aplica superposición con V_o , de tal manera que V_A está cortocircuitada, obteniendo los circuitos de la Figura 2.4. y Figura 2.5., donde se pueden calcular las expresiones de las tensiones en las capacidades parásitas presentes en el mismo, sin más que usar divisores de tensión.

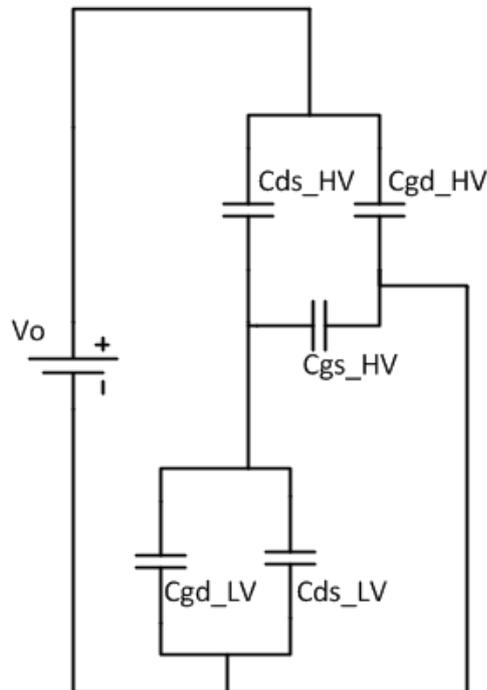


Figura 2.4.- Esquema de las capacidades parásitas resultante de la aplicación de superposición con la tensión V_o

Como se puede ver en la Figura 2.4., las capacidades C_{gd_LV} , C_{ds_LV} y C_{gs_HV} , se encuentran en paralelo, de tal manera que se pueden agrupar para posteriormente aplicar divisores de tensión y calcular la tensión en las capacidades parásitas en este primer caso de superposición.

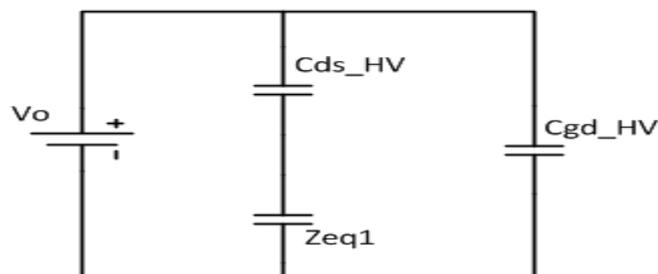


Figura 2.5.- Esquema simplificado a partir de la Figura 2.4.

Cabe destacar respecto a la Figura 2.4., que la capacidad parásita C_{gs_LV} , ya no se tiene en cuenta, al estar conectada por un extremo a masa y por el otro extremo al terminal G_{SJC} , por donde entrarán 0 V del nivel inferior del tren de pulsos.

Dicha capacidad parásita está por tanto, cortocircuitada, de tal forma, que ya no se tiene en cuenta en los siguientes cálculos.

Del circuito resultante en la Figura 2.5. se obtiene:

$$Z_{eq1} = C_{gd_LV} + C_{ds_LV} + C_{gs_HV} \quad (2.1)$$

$$V_{C_{gd_HV}} = V_o \quad (2.2)$$

$$V_{C_{ds_HV}} = \frac{V_o \cdot C_{ds_HV}}{C_{ds_HV} + Z_{eq1}} \quad (2.3)$$

$$V_{Z_{eq1}} = \frac{V_o \cdot Z_{eq1}}{C_{ds_HV} + Z_{eq1}} \quad (2.4)$$

A continuación, se vuelve a aplicar superposición con el nivel de tensión constante V_A , de tal manera que ahora V_o está cortocircuitada. Se obtendrán los circuitos de la Figura 2.6. y Figura 2.7. a partir de los cuales se podrán volver a obtener las expresiones de las tensiones en las capacidades parásitas, para este caso.

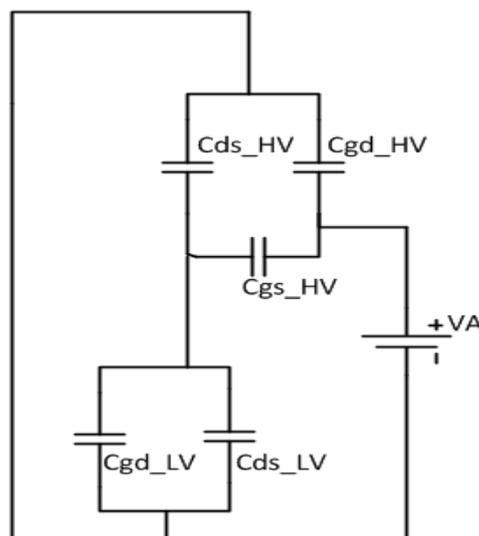


Figura 2.6.- Esquema de las capacidades parásitas resultante de la aplicación de superposición con la tensión V_A

Como se puede ver en la Figura 2.6. las capacidades C_{gd_LV} , C_{ds_LV} y C_{ds_HV} , se encuentran en paralelo, de tal manera que se pueden agrupar para posteriormente aplicar

divisores de tensión y calcular la tensión en las capacidades parásitas en este segundo caso de superposición.

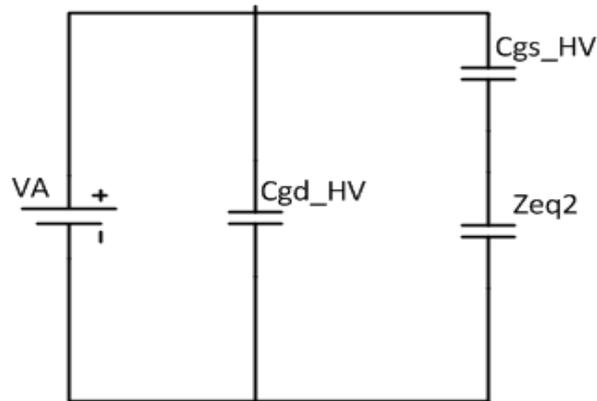


Figura 2.7.- Esquema simplificado a partir de la Figura 2.6.

Del circuito resultante en la Figura 2.7. se obtiene:

$$Z_{eq2} = C_{gd_LV} + C_{ds_LV} + C_{ds_HV} \quad (2.5)$$

$$V_{C_{gd_HV}} = V_A \quad (2.6)$$

$$V_{C_{gs_HV}} = \frac{V_A \cdot C_{gs_HV}}{C_{gs_HV} + z_{eq2}} \quad (2.7)$$

$$V_{Z_{eq2}} = \frac{V_A \cdot Z_{eq2}}{C_{gs_HV} + Z_{eq2}} \quad (2.8)$$

Combinando las expresiones resultantes de aplicar superposición, se puede obtener el valor final, de las tensiones sobre las capacidades parásitas, presentes en los MOSFETs que forman la configuración en cascodo.

Expresiones finales del reparto de tensiones en las capacidades parásitas de los MOSFETs:

$$V_{Cgd_HV} = V_o + V_A \quad (2.9)$$

$$V_{Cds_HV} = \frac{V_o \cdot Cds_HV}{Cds_HV + (Cgd_LV + Cds_LV + Cgs_HV)} + \frac{V_A \cdot (Cgd_LV + Cds_LV + Cds_HV)}{(Cgd_LV + Cds_LV + Cds_HV) + Cgs_HV} \quad (2.10)$$

$$V_{Cgs_HV} = \frac{V_o \cdot (Cgd_LV + Cds_LV + Cgs_HV)}{Cds_HV + (Cgd_LV + Cds_LV + Cgs_HV)} + \frac{V_A \cdot Cgs_HV}{(Cgd_LV + Cds_LV + Cds_HV) + Cgs_HV} \quad (2.11)$$

$$V_{Cgd_LV} = \frac{V_o \cdot (Cgd_LV + Cds_LV + Cgs_HV)}{Cds_HV + (Cgd_LV + Cds_LV + Cgs_HV)} + \frac{V_A \cdot (Cgd_LV + Cds_LV + Cds_HV)}{(Cgd_LV + Cds_LV + Cds_HV) + Cgs_HV} \quad (2.12)$$

$$V_{Cds_LV} = \frac{V_o \cdot (Cgd_LV + Cds_LV + Cgs_HV)}{Cds_HV + (Cgd_LV + Cds_LV + Cgs_HV)} + \frac{V_A \cdot (Cgd_LV + Cds_LV + Cds_HV)}{(Cgd_LV + Cds_LV + Cds_HV) + Cgs_HV} \quad (2.13)$$

De esta forma se puede ver la gran importancia que tiene el análisis de las capacidades parásitas en sus procesos de carga y descarga, en función de cómo se van repartiendo tensiones y corrientes, para entender los procesos de conmutación de los MOSFET en el cascode.

2.2.- ESTUDIO TEÓRICO DE LA TOPOLOGÍA DEL CONVERTIDOR ELEVADOR

En este apartado se presenta un resumen del estudio teórico de la topología del convertidor elevador [9], al ser este el convertidor que se va a utilizar para comparar el uso de un MOSFET de súper-unión y la configuración en cascodo estudiada en el apartado 2.1. Aquí se presentan las principales ecuaciones matemáticas y formas de onda, que determinan el comportamiento de este convertidor.

El convertidor elevador (Boost Converter), es un convertidor CC/CC que obtiene a su salida un nivel de tensión continua, mayor que el de su entrada. Está formado por dos “interruptores”, en este caso el diodo (D) y el transistor MOSFET (S) y por dos elementos capaces de almacenar energía, en este caso la bobina (L) y el condensador (C).

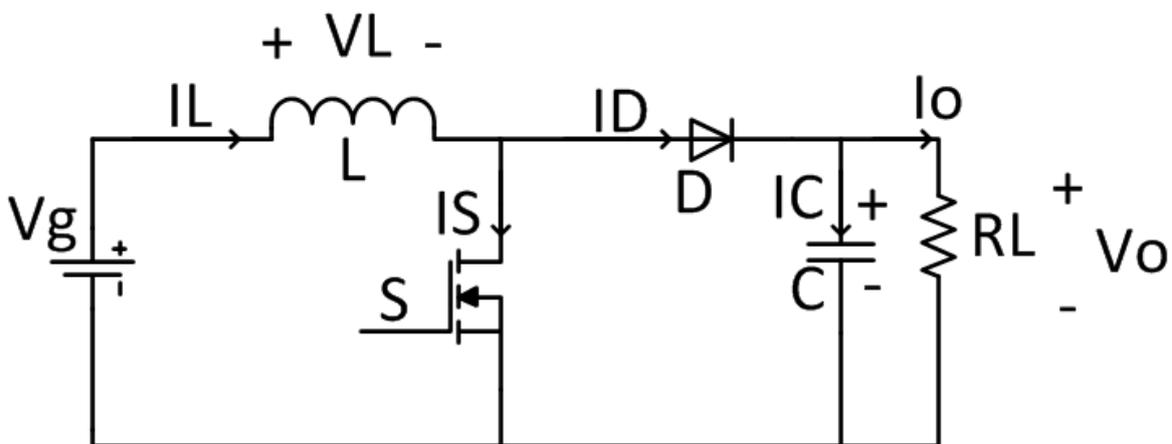


Figura 2.8.- Esquema eléctrico de la topología convertidor elevador

Para poder resolver este circuito y obtener las formas de onda, se divide el circuito en dos subcircuitos, de tal manera que en uno de esos circuitos, el MOSFET conduce y el diodo está en circuito abierto $[(dT)]$ y en el otro de los circuitos, es el MOSFET el que está en circuitos abierto, de tal manera que la corriente se conduce a través del diodo $[(1-d)T]$. La distinción entre estos dos subcircuitos, viene dada por la señal de gobierno que controla la puerta del MOSFET y en función del ciclo de trabajo (d) y el período (T) de dicha señal.

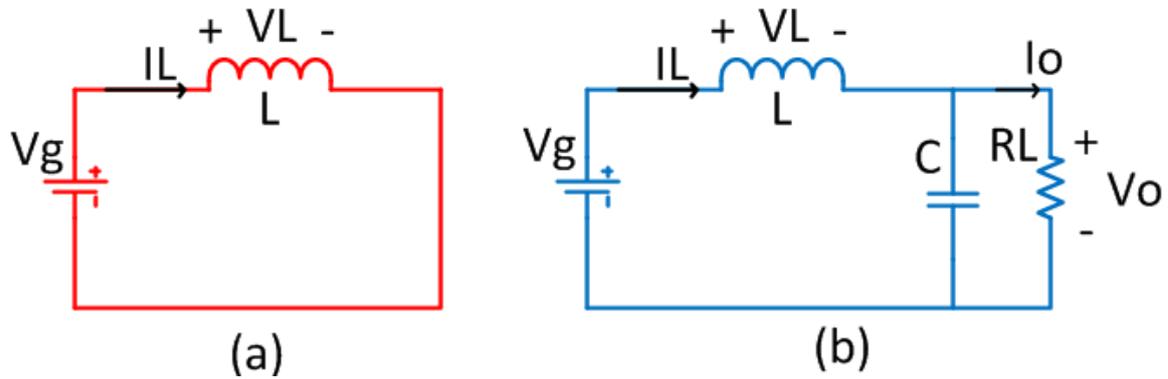


Figura 2.9.- Subcircuitos derivados del convertidor elevador. (a) Conduce el MOSFET y el diodo es un circuito abierto [dT]. (b) Conduce el diodo y el MOSFET es un circuito abierto [$(1-d)T$]

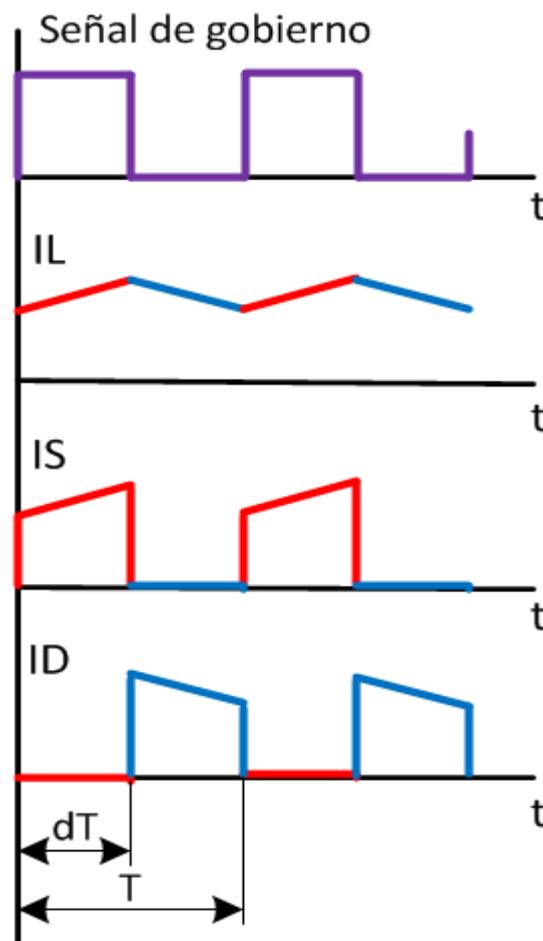


Figura 2.10.- Principales formas de onda en cuanto a las corrientes por un convertidor elevador, en función de la señal de gobierno del MOSFET. Corriente por la bobina (I_L), por el MOSFET (I_S) y por el diodo (I_D)

Como se puede ver a partir de la Figura 2.10. en el intervalo dT , correspondiente al circuito (a) de la Figura 2.9. el diodo es un circuito abierto, de manera que la corriente por el diodo en ese intervalo es cero, toda la corriente circula por el MOSFET que está en cortocircuito. En este intervalo se incrementa el valor de corriente por el MOSFET hasta alcanzar su valor máximo, igual al valor máximo de corriente por la bobina. La tensión en la bobina es positiva, por lo que su corriente se incrementa en este intervalo hasta alcanzar su valor máximo en el instante (dT). Cabe indicar que se está analizando la topología del elevador para el caso de Modo de Conducción Continuo (MCC), de tal manera que el valor instantáneo de la corriente por la bobina, nunca va a llegar hasta los 0 A.

En el intervalo $(1-d) T$, correspondiente al circuito (b) de la Figura 2.9., el diodo es el que conduce la corriente, mientras que en esta ocasión es el MOSFET el que está en circuito abierto. La corriente que circula por la bobina, y que en el intervalo anterior circulaba por el MOSFET, empieza a circular a través del diodo. La tensión en la bobina es negativa y por tanto su corriente empieza a disminuir hasta llegar a su valor mínimo en el instante T , que coincide con el valor de inicio de corriente en la bobina en el caso del intervalo anterior.

Para obtener las principales ecuaciones que determinan el funcionamiento del convertidor elevador, basta con analizar los subcircuitos (a) y (b) de la Figura 2.9. teniendo en cuenta las siguientes herramientas:

- Leyes de tensiones y corrientes de Kirchhoff así como también la Ley de Faraday.
- En estado estacionario, el valor medio de tensión en una bobina y el valor medio de corriente en un condensador, son cero.
- Uso del balance voltios-segundo
- Aplicación de las leyes de Kirchhoff en valores medios de tensiones y corrientes.
- Balance de potencias entre la entrada y la salida. Se analiza el convertidor de forma ideal suponiendo rendimiento del 100 %, de tal manera que la potencia de entrada (P_g) es igual a la potencia de salida (P_o).

Así pues, del subcircuito (a) de la Figura 2.9., correspondiente al intervalo (dT) , se pueden obtener las siguientes expresiones:

$$V_L = V_g \quad (2.14)$$

$$V_{D\text{máx}} = V_o \quad (2.15)$$

Del subcircuito (b) de la Figura 2.9., correspondiente al intervalo $(1-d)T$, se pueden obtener las siguientes expresiones:

$$V_L = V_g - V_o \quad (2.16)$$

$$V_{S\text{máx}} = V_o \quad (2.17)$$

Aplicando el balance voltios-segundo con las ecuaciones (2.14) y (2.16), se puede obtener la relación entre la tensión de entrada y salida para el convertidor elevador.

$$V_g \cdot dT - (V_o - V_g)(1-d)T = 0 \quad (2.18)$$

$$\frac{V_o}{V_g} = \frac{1}{1-d} \Rightarrow V_o = \frac{V_g}{1-d} \quad (2.19)$$

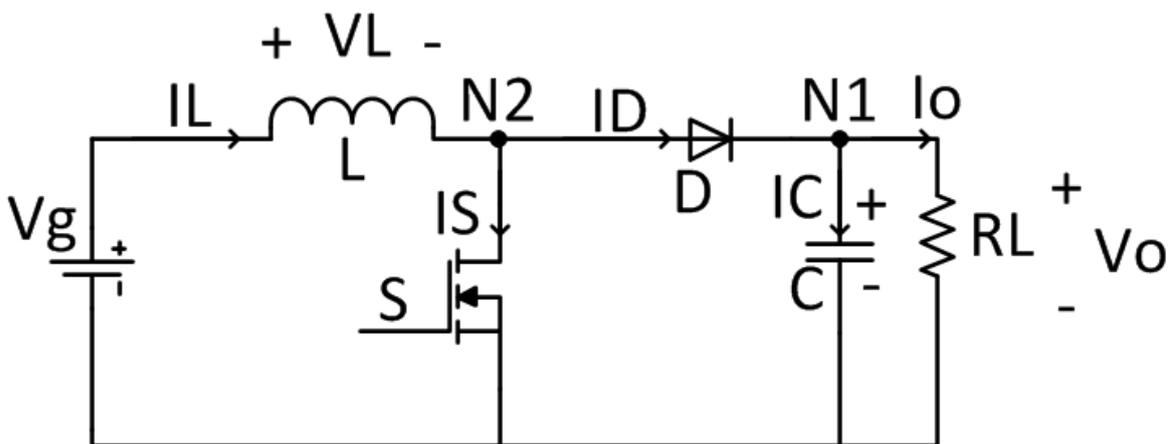


Figura 2.11.- Corrientes por los componentes que forman el convertidor elevador, con los nodos N1 y N2

Aplicando la ley de corrientes de Kirchhoff en el nodo N1 y teniendo en cuenta que el valor medio de corriente por un condensador es 0A.

$$\overline{ID} = I_o + \overline{IC} \quad (2.20)$$

$$\overline{ID} = I_o = \frac{V_o}{RL} \quad (2.21)$$

Como se puede ver en la Figura 2.11., el valor medio de corriente por la bobina es igual a la corriente de entrada al circuito. Teniendo en cuenta el balance de potencias entre la entrada y la salida, podrá expresarse dicha corriente en términos de la corriente de salida y del ciclo de trabajo.

$$\overline{IL} = I_g \quad (2.22)$$

$$P_g = P_o \Rightarrow V_g \cdot I_g = V_o \cdot I_o \quad (2.23)$$

$$I_g = \frac{V_o \cdot I_o}{V_g} \Rightarrow I_g = \frac{I_o}{(1-d)} \quad (2.24)$$

$$\overline{IL} = \frac{I_o}{(1-d)} \quad (2.25)$$

De acuerdo con la Figura 2.10., se puede ver que los valores de pico de las corrientes por el diodo y por el MOSFET son iguales, y a su vez iguales al valor de pico de corriente por la bobina.

$$I_{Lpico} = I_{Dpico} = I_{Spico} \quad (2.26)$$

El valor de pico de corriente por la bobina, puede obtenerse sin más que fijarse de nuevo en la Figura 2.10., observando que dicho valor será igual al valor medio de corriente por la bobina más la mitad del rizado de corriente en la misma. El rizado de corriente por la bobina (ΔIL) se puede calcular aplicando la Ley de Faraday en el intervalo dT .

$$\Delta IL = \int_0^{dT} \frac{V_g}{L} dt \Rightarrow \Delta IL = \frac{V_g \cdot d \cdot T}{L} \quad (2.27)$$

$$I_{Lpico} = \overline{IL} + \frac{\Delta IL}{2} \quad (2.28)$$

$$I_{Lpico} = \frac{I_o}{1-d} + \frac{V_g \cdot d \cdot T}{2 \cdot L} \quad (2.29)$$

Finalmente, para obtener el valor medio de la corriente por el transistor, basta con volver a aplicar la Ley de corrientes de Kirchhoff, esta vez en el nodo N2 mostrado en la Figura 2.11.

$$\overline{I_L} = \overline{I_D} + \overline{I_S} \Rightarrow \overline{I_S} = \overline{I_L} - \overline{I_D} \quad (2.30)$$

$$\overline{I_S} = \frac{I_o}{1-d} - I_o \Rightarrow \overline{I_S} = \frac{I_o \cdot d}{1-d} \quad (2.31)$$

$$\overline{I_S} = \frac{V_o \cdot d}{RL(1-d)} \quad (2.32)$$

De esta forma, con la imagen del esquema eléctrico (Figura 2.8.), la imagen de las principales formas de onda (Figura 2.10.) y el estudio de los subcircuitos (Figura 2.9.) para obtener las expresiones que determinan al convertidor elevador, queda lo suficientemente caracterizada dicha topología, para el uso que se va a hacer de ella en este trabajo.

2.3.- ESTIMACIÓN ANALÍTICA DE LAS PÉRDIDAS DEL CONVERTIDOR ELEVADOR

En este apartado se pretende llevar a cabo una estimación de las pérdidas generadas en los transistores y diodos debidas a conmutación y conducción así como también las pérdidas en la bobina. Se pretende comparar también las pérdidas que aparecen cuando solo se utiliza un SJ-FET en el convertidor elevador frente a cuando se conecta la configuración en cascodo, descrita en el apartado 2.1. El análisis de pérdidas descrito a continuación, ha sido realizado para una frecuencia de conmutación de 100 kHz y una potencia de 200 W.

2.3.1.- Pérdidas en conducción

Las pérdidas en conducción son debidas a la disipación de potencia resultante, cuando el dispositivo se encuentra en el estado de conducción, si se desprecia la potencia disipada, debida a las corrientes de fugas. Se tienen pérdidas en conducción tanto en el diodo como en los transistores MOSFET utilizados.

Las pérdidas en conducción para los MOSFET, se calculan de acuerdo con la siguiente expresión.

$$P_{\text{cond}} = R_{\text{DS(ON)}} \cdot I_{\text{efM}}^2 \quad (2.33)$$

Donde $R_{\text{DS(ON)}}$ es el valor de la resistencia en conducción del MOSFET e I_{efM} es el valor eficaz de la corriente por el mismo, que se puede calcular usando las siguientes ecuaciones.

$$I_{\text{efM}} = \sqrt{\frac{1}{T} \int_0^T I_{\text{M}}(t)^2 dt} \quad (2.34)$$

$$I_{\text{M}}(t) = \frac{V_{\text{g}}}{L} t + I_{\text{Lmin}} \quad (2.35)$$

Donde T es el período de la señal de gobierno de los MOSFET, V_g es la tensión de entrada al convertidor elevador, L es el valor de la inductancia e I_{Lmin} es el valor mínimo de la corriente por la bobina.

Teniendo en cuenta que la corriente por el MOSFET es nula desde dT hasta T , de acuerdo a lo que se puede observar en la forma de onda de la Figura 2.10, se puede reescribir la expresión (2.34) para obtener el valor eficaz de la corriente.

$$I_{efM} = \sqrt{\frac{1}{10\mu s} \int_0^{dT} \left(\frac{V_g}{L} t + I_{Lmin} \right)^2 dt} \quad (2.36)$$

Para el caso de la topología que solo emplea un único SJ-FET, se obtiene el siguiente resultado en cuanto a las pérdidas de conducción:

$$P_{cond} = R_{DS(ON)} \cdot I_{efM}^2 \Rightarrow P_{cond} = (0,60\Omega) \cdot (1,130A)^2 = 0,766W \quad (2.37)$$

Para el caso de la configuración en cascodo, a las pérdidas en conducción del SJ-FET, habrá que sumarles las pérdidas en conducción debidas al LV-FET que es atravesado por la misma corriente al encontrarse en serie. De esta forma:

$$P_{cond} = 0,766W + (0,0135\Omega) \cdot (1,130A)^2 = 0,783W \quad (2.38)$$

Así pues, se puede ver cómo las pérdidas en conducción en el caso del cascodo son ligeramente superiores frente a cuando solo se emplea un único SJ-FET.

Para el caso del diodo, se pueden calcular sus pérdidas de conducción de la siguiente forma:

$$P_{cond} = V_\gamma \cdot I_{Dmed} + r_d \cdot I_{efD}^2 \quad (2.39)$$

Donde V_γ es la tensión de codo del diodo, I_{Dmed} es el valor medio de la corriente por el diodo, r_d es el valor de la resistencia en conducción del diodo y donde I_{efD} es el valor eficaz de la corriente por el diodo.

$$I_{D\text{Med}} = \frac{1}{T} \int_0^T I_D(t) dt \quad (2.40)$$

$$I_{\text{ef } D} = \sqrt{\frac{1}{T} \int_0^T I_D(t)^2 dt} \quad (2.41)$$

Teniendo en cuenta la forma de onda de la corriente por el diodo, representada en la Figura 2.10, se pueden reescribir las expresiones (2.40) y (2.41) para calcular finalmente, las expresiones de dichas corrientes así como también las pérdidas en conducción en el diodo.

$$I_{D\text{Med}} = \frac{1}{10\mu s} \int I_D(t) dt \quad (2.42)$$

$$I_{\text{ef } D} = \sqrt{\frac{1}{10\mu s} \int I_D(t)^2 dt} \quad (2.43)$$

$$P_{\text{cond}} = 0,9325V \cdot (0,49875A) + 0,0885\Omega \cdot (0,8764A)^2 = 0,533 \text{ W} \quad (2.44)$$

2.3.2.- Pérdidas en conmutación

La limitación en la rapidez de los MOSFETs está asociada a los procesos de carga y descarga de las capacidades parásitas que integran el dispositivo. Dichos procesos de carga y descarga, generan pérdidas que condicionan las máximas frecuencias de conmutación de los MOSFET de potencia y además, esas capacidades parásitas retrasan las variaciones de tensión, ocasionando en muchos circuitos, intervalos de tiempo donde hay convivencia de tensión y corriente, lo cual a su vez implica pérdidas.

Las pérdidas de conmutación son debidas a la contribución de estos cuatro aspectos:

- Convivencia tensión corriente en las conmutaciones
- Procesos de carga y descarga de la capacidad de salida (Coss)
- Pérdidas debidas al proceso de recuperación inversa (Reverse Recovery) del diodo

- Pérdidas en la puerta del MOSFET (despreciadas en este análisis por su reducido valor)

Para las pérdidas por convivencia tensión – corriente:

$$P_{sw_{V-I}} = 0,5 \cdot F \cdot V_{ds} \cdot I_{s_{rms}} (t_{swon} + t_{swoff}) \quad (2.45)$$

Donde F es la frecuencia de conmutación, V_{ds} es el valor de la tensión drenador fuente en el MOSFET, I_{s_{rms}} es el valor eficaz de corriente por el MOSFET, t_{swon} es la suma del tiempo de subida más el retraso de encendido y donde t_{swoff} es la suma del tiempo de bajada más el retraso de apagado.

Para las pérdidas por los procesos de carga y descarga de la capacidad de salida (C_{oss}):

$$P_{CDS} = F \cdot \left(0,5 \cdot C_{oss} \cdot V_{ds}^2 \right) \quad (2.46)$$

Para las pérdidas debidas al proceso de recuperación inversa (Reverse Recovery) del diodo:

$$P_{RR} = F \cdot \left(0,5 \cdot Q_{rr} \cdot V_{DS} \right) \quad (2.47)$$

Donde Q_{rr} es el valor de la carga restante almacenada (remaining stored charge) en el diodo.

La contribución de las expresiones (2.45), (2.46) y (2.47), dan lugar a las pérdidas en conmutación en los MOSFET. No obstante, en este trabajo se pretenden comparar las pérdidas de conmutación en el caso de usar un SJ-FET frente al uso de la configuración en cascodo, por lo que se ha optado por hacer el análisis de las pérdidas en conmutación haciendo uso del circuito de doble pulso, a través de la herramienta de simulación *LTspice* tal y como se puede ver en la Figura 2.13.

Así pues, haciendo uso de este circuito tanto para el caso en el que solo se tiene un SJ-FET, como para el caso en el que se tiene la configuración en cascado, se ha obtenido una aproximación de las pérdidas en conmutación tanto en el proceso de encendido como en el de apagado.

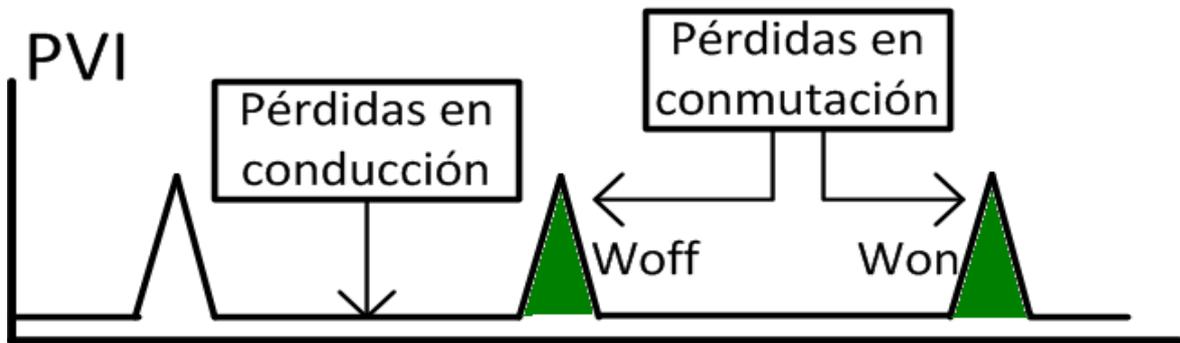


Figura 212.- Representación de las pérdidas en conducción y conmutación debidas a la convivencia tensión-corriente, a través de circuito de doble pulso. Woff (apagado), Won (encendido)

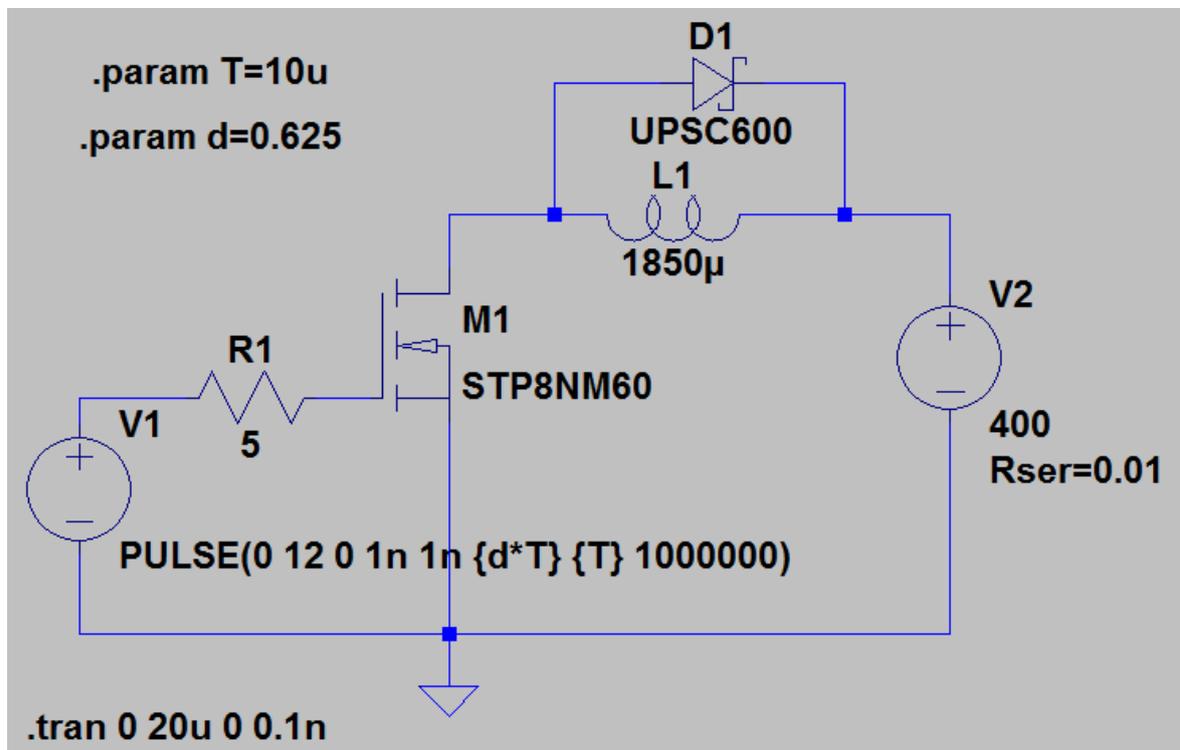


Figura 2.13.- Representación del circuito de doble pulso para la topología que solo emplea un SJ-FET

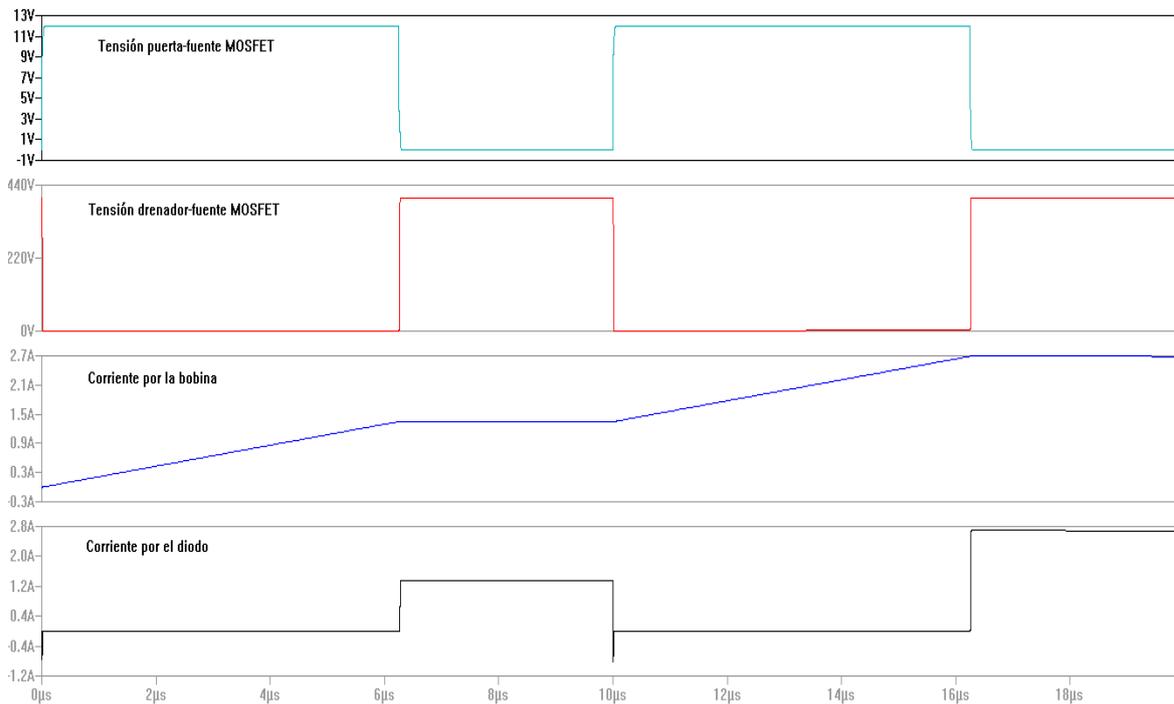


Figura 2.14.- Representación de las formas de onda del circuito de doble pulso para la topología que solo emplea un SJ-FET

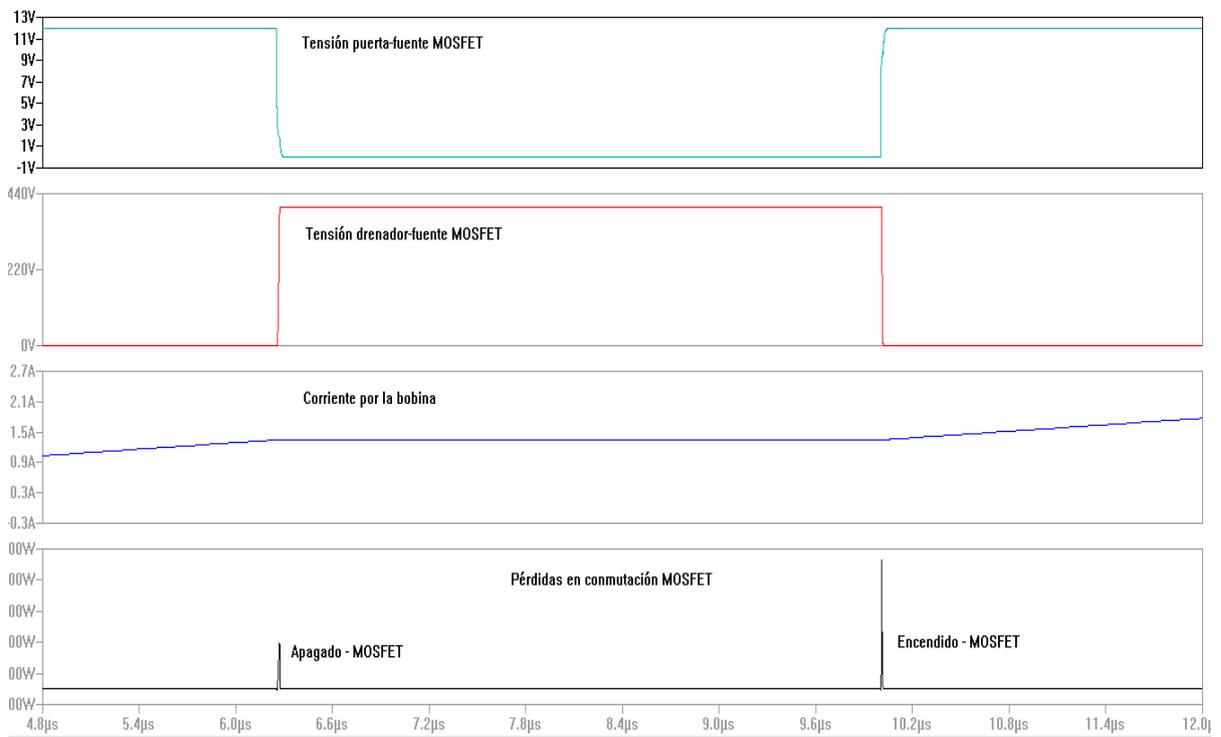


Figura 2.15.- Representación para la topología que solo emplea un SJ-FET de las formas de onda en uno de los momentos de apagado y encendido, con las respectivas pérdidas en conmutación.

Tomando los valores que devuelve el *LTspice* en las simulaciones y sabiendo que esos efectos se van repitiendo en función de la frecuencia de conmutación, se pueden estimar las pérdidas en conmutación tanto en la topología con un solo SJ-FET, como en el cascodeo.

Pérdidas en conmutación				
		CASCODO		
	Solo SJ-FET	SJ-FET	LV-FET	TOTALES
Apagado	0,24317 W	0,2294 W	0,0085 W	0,2379 W
Encendido	0,40124 W	0,3448 W	0,01385 W	0,3587 W

Tabla 2.1.- Pérdidas de conmutación a través de simulación con *LTspice* tanto para el caso de usar un solo SJ-FET, como cuando se usa la conexión en cascodeo

Como se puede ver en la Tabla 2.1.,el cascodeo presenta unas pérdidas en conmutación menores, tanto en el encendido como en el apagado frente a la topología que solo emplea un SJ-FET.

En general, en el caso del cascodeo, las pérdidas en conmutación del LV-FET son despreciables, siendo el dispositivo de alta tensión (SJ-FET) el que genera más pérdidas debidas a la convivencia de tensión-corriente. Cabe destacar, que en la configuración en cascodeo se reduce el tiempo de convivencia entre las transiciones, sobre todo en el encendido. Esto explica el mejor comportamiento en conmutación obtenido con esta topología. No obstante, durante el proceso de apagado, el diodo parásito del LV-FET entra en avalancha, de tal manera que el hecho de que esté circulando corriente por ese diodo, hace que se generen pérdidas adicionales, las cuales además aumentan con la frecuencia. Una posible forma de conseguir mejorar el comportamiento global del cascodeo en el proceso de conmutación, es eligiendo un LV-FET con el que las pérdidas extra debidas a la avalancha, no se encuentren por encima de las ventajas que pueda aportar el SJ-FET.

Tanto el cálculo analítico como mediante simulación de las pérdidas de conmutación, es en general una estimación de las mismas que suele alejarse de la realidad, sobre todo debido a que estas pérdidas se deben a componentes parásitos de los MOSFETs que suelen ser difíciles de obtener con precisión. Por este motivo se ha optado por otra forma de comparar estas dos topologías. Se realizará un análisis térmico, comparando las

temperaturas que soporta, el SJ-FET cuando se le deja trabajar un tiempo procesando una determinada potencia.

Para ello, se han tomado unas imágenes con cámara térmica del SJ-FET cuando se encuentra solo en una de las topologías y cuando se encuentra formando parte de la configuración en cascodo en la otra. Este proceso se ha realizado para una tensión de entrada de 150 V, una frecuencia de conmutación de 100 kHz y a una potencia máxima de 200 W, dejando en ambos casos a los circuitos funcionando para un mismo tiempo de aproximadamente 30 segundos.

Como se puede ver en la Figura 2.16., en la topología que solo emplea un SJ-FET, este alcanza una temperatura de aproximadamente 51,6 °C, mientras que en el caso de la configuración en cascodo, al repartirse mejor las pérdidas totales por disipación de calor, ya que el LV-FET también está soportando cierto nivel de tensión en el bloqueo, la temperatura que alcanza el SJ-FET es ligeramente menor, de aproximadamente unos 49,1 °C. Esta diferencia es importante, puesto que la resistencia en conducción es mayor para mayores temperaturas.

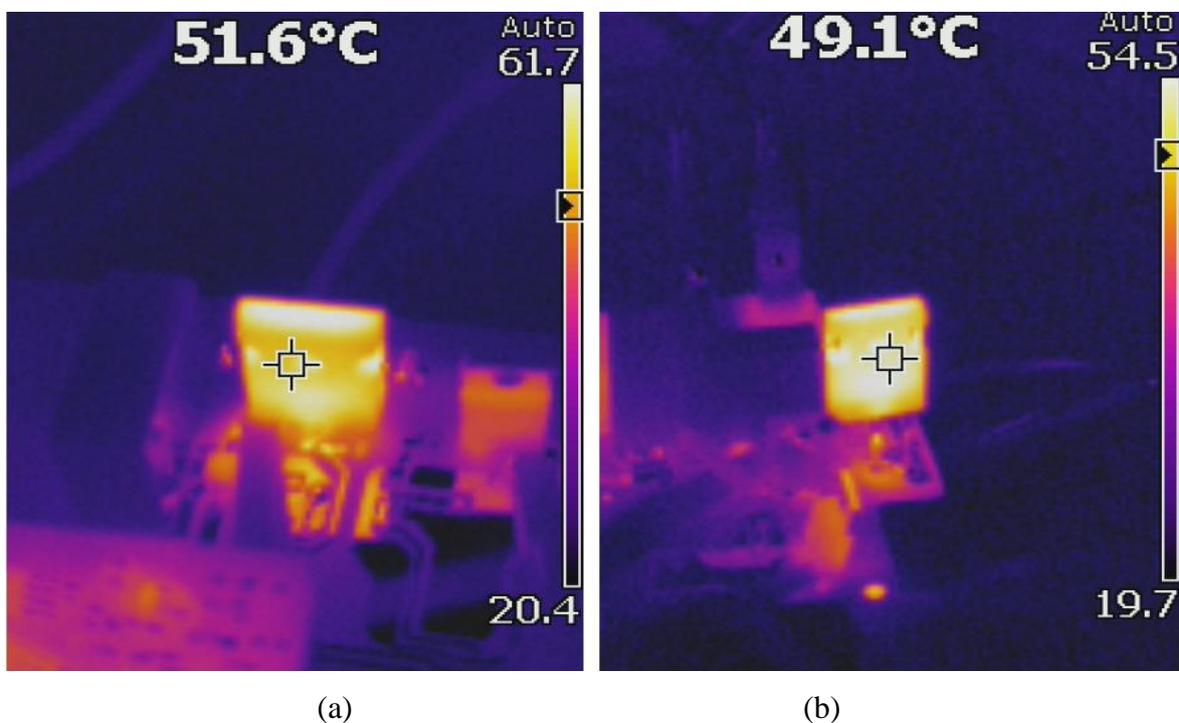


Figura 2.16.- Imágenes con cámara térmica del SJ-FET

(a): Topología que solo emplea un SJ-FET (b): Configuración en Cascodo

2.3.3.- Pérdidas en la bobina

Uno de los elementos más importantes a considerar a la hora de estimar pérdidas, es la bobina. Para estimar de forma aproximada las pérdidas totales en la bobina, es necesario conocer las pérdidas que se producen en el devanado (pérdidas en el cobre) y las pérdidas que se producen en el núcleo (pérdidas en el hierro).

Se pueden calcular las pérdidas en el devanado, haciendo uso de la siguiente expresión:

$$P_{Cu} = \frac{2\pi \cdot r_m \cdot n^2 \cdot I_{Lef}^2}{A_w \cdot f_w \cdot \sigma_{cu}} \quad (2.48)$$

Donde:

r_m : es el radio medio del núcleo, cuyo valor puede obtenerse a partir de las dimensiones del núcleo utilizado en el diseño de la bobina (ETD39).

n : es el número de espiras de la bobina.

I_{Lef} : Es el valor eficaz de la forma de onda de corriente que pasa por la bobina

A_w : Es el área de ventana, sección total de la ventana del núcleo

f_w : Factor de ventana, típicamente de valor 0,3.

σ_{cu} : Es la conductividad del cobre de valor $5,96 \cdot 10^7$ S/m

En el caso de las pérdidas en el devanado, se puede ver a partir de la expresión (2.48) que crecen con n^2 .

Conociendo todos esos datos, se puede obtener el valor de las pérdidas en el devanado:

$$P_{Cu} = \frac{2\pi \cdot 0,010525m \cdot 48^2 \cdot 2,91A^2}{(177mm^2) \cdot 0,3 \cdot (5,96 \cdot 10^7) S/m} = 0,4077W \quad (2.49)$$

Una vez conocidas las pérdidas en el devanado, se calculan las pérdidas en el núcleo, las cuales se pueden obtener a partir de la siguiente expresión:

$$P_{Fe} = \frac{K \cdot V_e \cdot F^x \cdot L^2 \cdot I_p^2}{n^2 \cdot A_e^2} \quad (2.50)$$

Donde:

K: Es una constante

Ve: Volumen efectivo del núcleo

F: Frecuencia de conmutación

L: Valor de la inductancia de la bobina

Ip: Valor de pico de la componente alterna de la corriente

Ae: Área efectiva del núcleo

n: Número de espiras

x: exponente muy variable

Los valores de K y x se pueden obtener a partir de las curvas de pérdidas suministradas por los fabricantes de núcleos. En el caso de las pérdidas en el núcleo, se puede ver a partir de la expresión (2.50) que decrecen con n^2 .

Conociendo todos esos datos, se puede obtener el valor de las pérdidas en el núcleo:

$$P_{Fe} = \frac{0,1973 \cdot 11500 \text{mm}^3 \cdot (100 \text{kHz})^{1,5146} \cdot (513 \mu\text{H})^2 \cdot (0,9137 \text{A})^2}{48^2 \cdot (125 \text{mm}^2)^2} = 0,5181 \text{W} \quad (2.51)$$

Una vez conocidos los valores de las pérdidas en el devanado y en el núcleo, se puede obtener un valor aproximado de las pérdidas totales en la bobina.

$$P_{\text{Totales}} = P_{Cu} + P_{Fe} = 0,4077 \text{W} + 0,5181 \text{W} = 0,9258 \text{W} \quad (2.52)$$

Como se puede ver, una vez obtenidos los valores de pérdidas en MOSFETs, diodos y bobina, el mayor valor de pérdidas se produce en la bobina y en este caso en concreto, el valor predominante es el de las pérdidas en el núcleo.

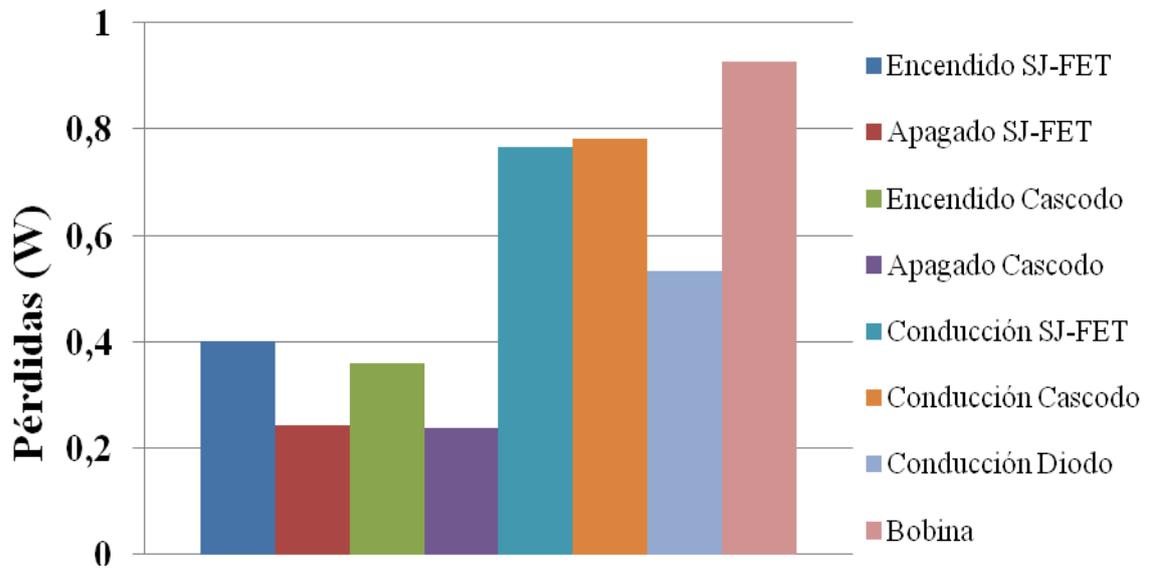


Gráfico 2.1.- Resumen del análisis de las pérdidas en el convertidor elevador, realizado para la topología con un solo SJ-FET y para la configuración en cascodo

3. Modelo de simulación

En este capítulo, se detallan las simulaciones realizadas para las dos topologías que se comparan en este trabajo, aquella en la que solo se emplea un SJ-FET, frente a aquella que emplea una configuración en cascodo formada para el SJ-FET y un LV-FET. La simulación pretende fundamentalmente, validar el estudio teórico realizado así como también ver los efectos que produce el usar componentes que incluyen elementos parásitos. Se empieza presentando los modelos utilizados para la simulación, para seguidamente mostrar las principales formas de onda en cada uno de ellos. Indicar que en este caso, las simulaciones han sido realizadas para una frecuencia de conmutación de 100 kHz y una potencia de 300 W. El programa usado para la simulación es el *LTspice* de *Linear Technology*.

3.1.- SIMULACIÓN DEL CONVERTIDOR ELEVADOR CON UN MOSFET DE SÚPER-UNIÓN (SJ-FET)

En la Figura 3.1. se puede ver el modelo utilizado para la simulación de la topología con un solo SJ-FET, en el convertidor elevador.

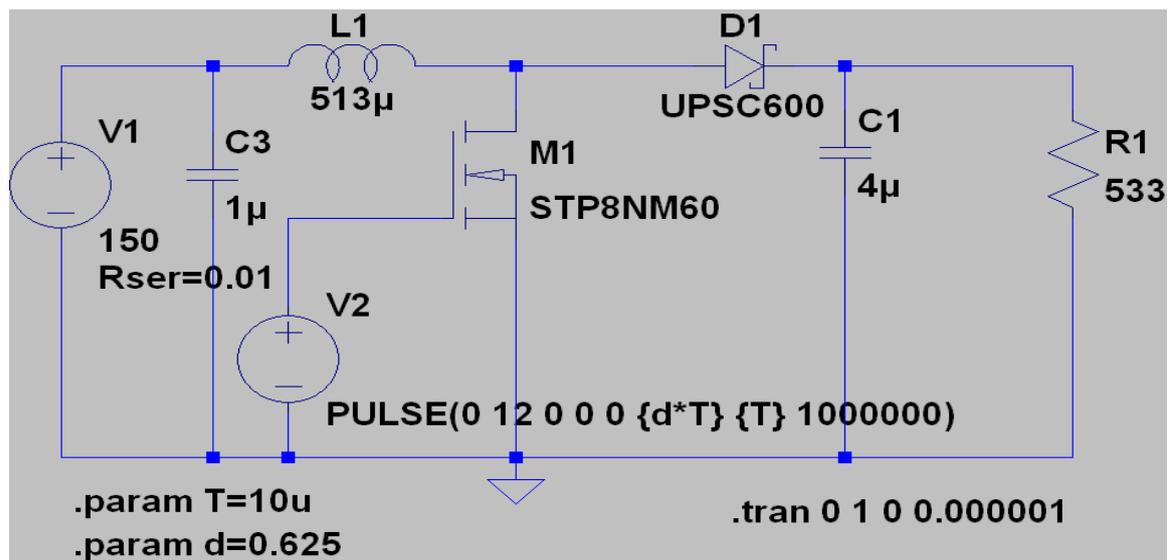


Figura 3.1.- Modelo de simulación para la topología con un solo SJ-FET

A continuación se muestran las principales formas de onda en cuanto a tensiones y corrientes para la topología mostrada en la Figura 3.1.



Figura 3.2.- Formas de onda de tensiones y corrientes a la entrada y salida del convertidor elevador

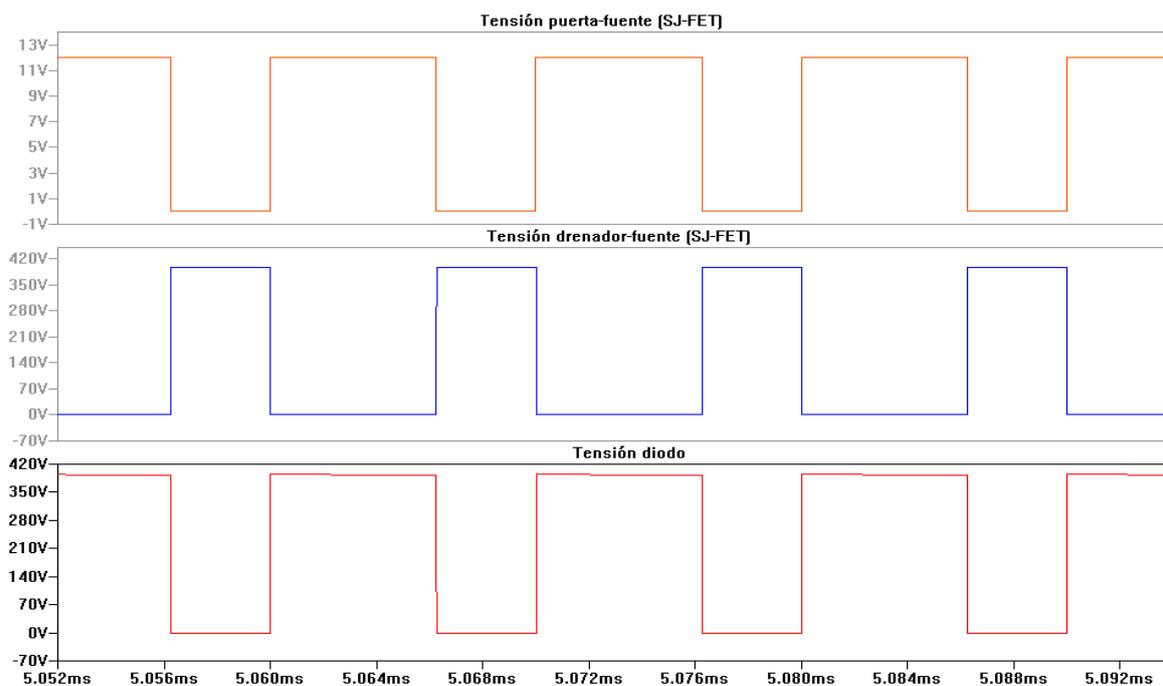


Figura 3.3.- Formas de onda de tensiones puerta-fuente, drenador-fuente y Vdiodo

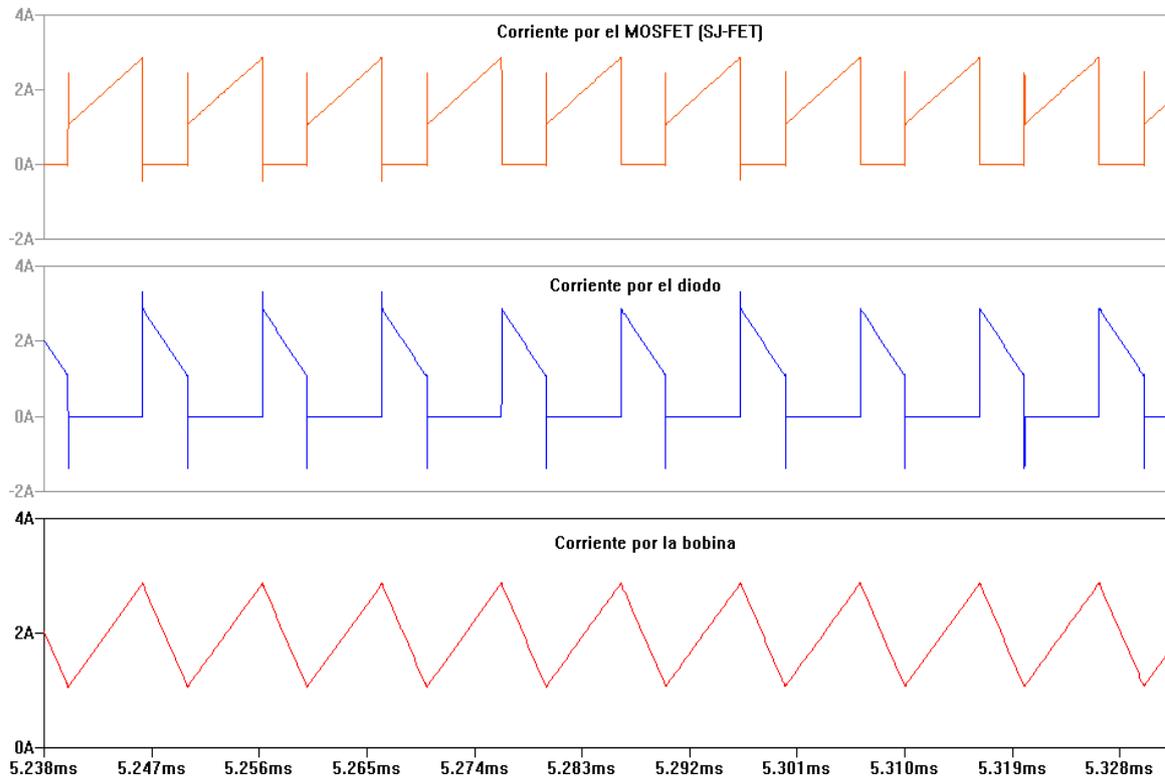


Figura 3.4.- Formas de onda de corrientes por el MOSFET, el diodo y por la bobina

3.2.- SIMULACIÓN DEL CONVERTIDOR ELEVADOR EN CONFIGURACIÓN CASCODO

En la Figura 3.5. se puede ver el modelo utilizado para la simulación de la topología con la configuración en cascodo, en el convertidor elevador.

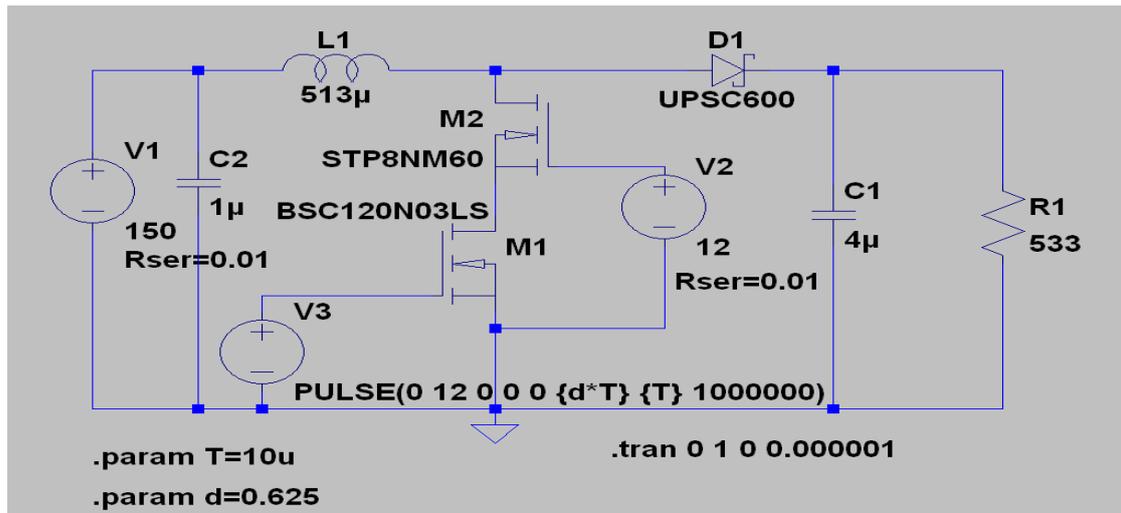


Figura 3.5.- Modelo de simulación para la topología con la configuración en cascodo

A continuación se muestran las principales formas de onda en cuanto a tensiones y corrientes para la topología mostrada en la Figura 3.5.

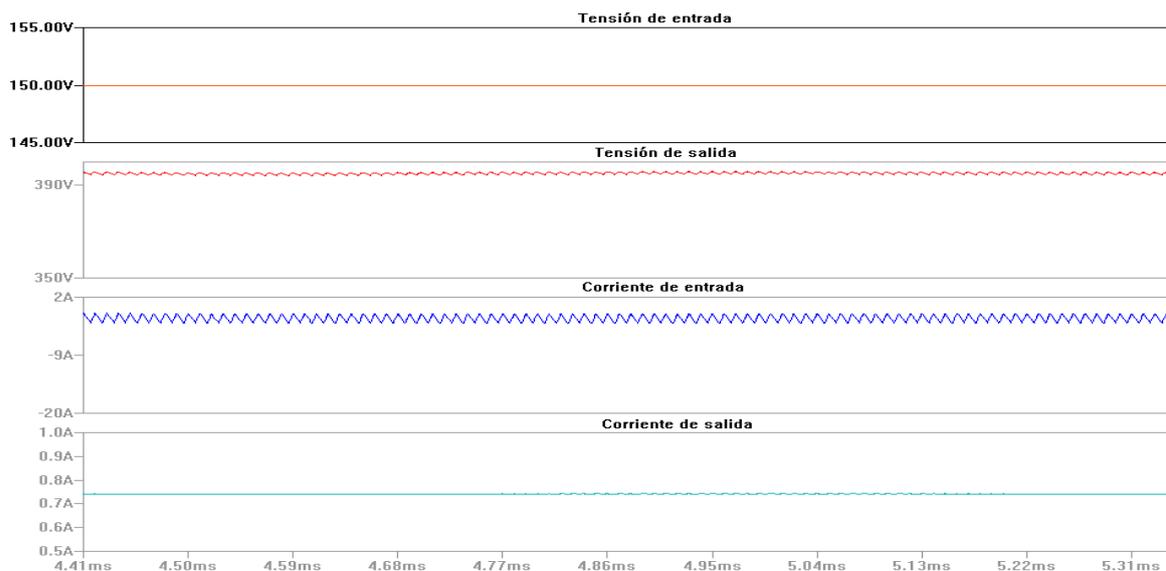


Figura 3.6.- Formas de onda de tensiones y corrientes a la entrada y salida del convertidor elevador en configuración cascodo

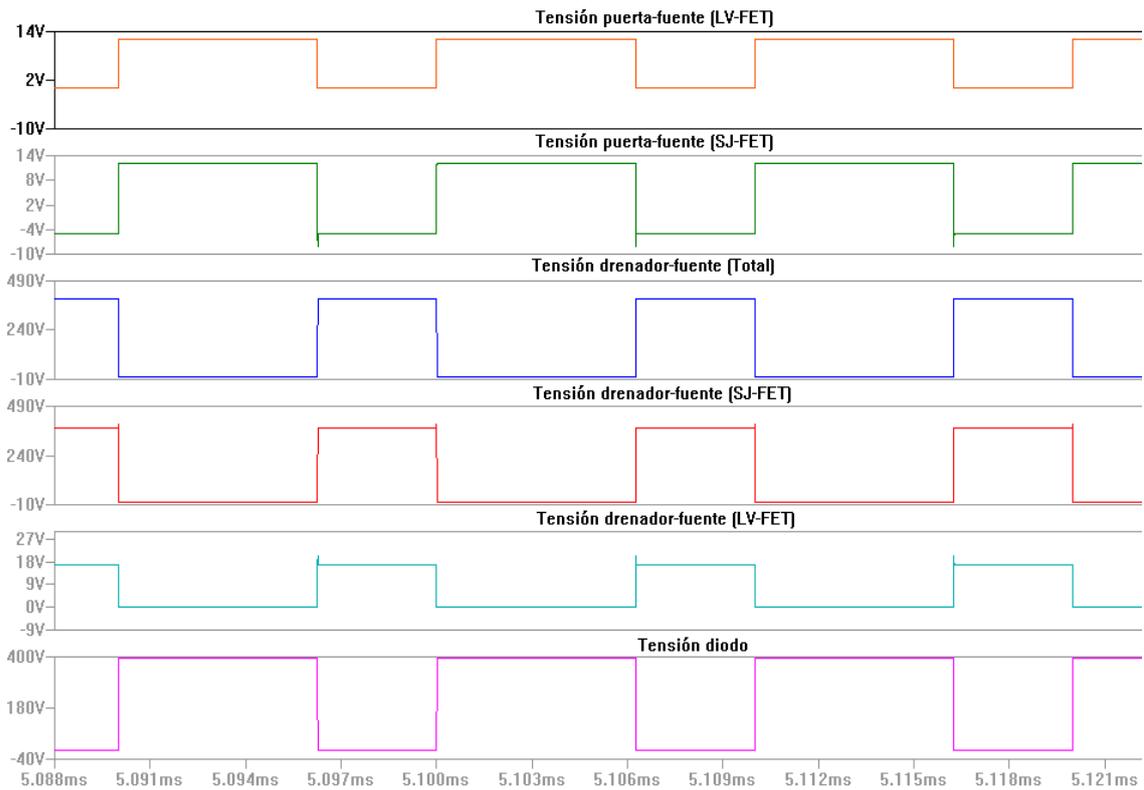


Figura 3.7.- Formas de onda de tensiones puerta-fuente, drenador-fuente en ambos MOSFET y tensión en el diodo

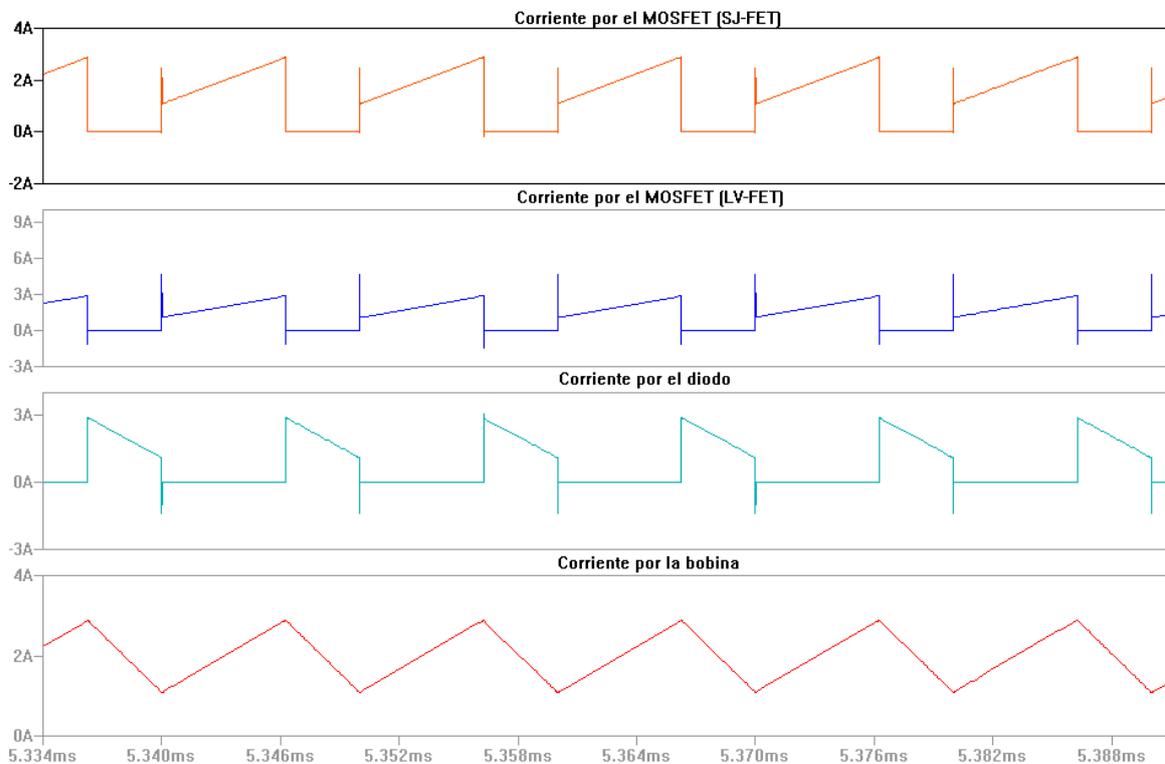


Figura 3.8.- Formas de onda de corrientes por los MOSFETs, diodo y por la bobina

3.3.- RESULTADOS DE LAS SIMULACIONES

En la Tabla 3.1. se muestran los resultados numéricos más interesantes de los dos modelos de simulación. Cabe señalar que los valores son meramente estimativos y permiten realizar una comparativa, pero muestran diferencias respecto a los valores que se obtendrán experimentalmente con los prototipos. Dichas diferencias se deben sobre todo a todos los parásitos que introducen pérdidas y que no todos ellos han sido tenidos en cuenta en estos modelos de simulación.

Parámetros de medida	TOPOLOGÍAS	
	Un solo SJ-FET	Cascodo (SJ-FET+LV-FET)
Tensión de entrada	149,98 V	149,98 V
Tensión de salida	395,01 V	395,1 V
Potencia de salida	292,75 W	292,88 W
Potencia de entrada	301,76 W	295,34 W
Rendimiento	97%	99%
Corriente máxima por el SJ-FET	2,866 A	2,869 A
Corriente máxima por el LV-FET	-	2,869 A
Tensión máxima que soporta el SJ-FET	396,95 V	379,61 V
Tensión máxima que soporta el LV-FET	-	16,95 V
Corriente máxima por el diodo	2,866 A	2,869 A
Tensión máxima que soporta el diodo	393,20 V	392,08 V
Valor máximo de corriente por la bobina	2,866 A	2,869 A

Tabla 3.1.- Resultados numéricos de los modelos de simulación

4. Prototipos

En este capítulo se detallan los prototipos diseñados y construidos, indicando los requisitos que deben cumplir. A continuación se muestran los distintos elementos que forman parte del hardware centrándose en comentar las funciones de aquellos más importantes. Cabe destacar que los prototipos se han realizado sobre diseños ya existentes, basados en el convertidor elevador síncrono, llevando a cabo las modificaciones necesarias sobre los mismos. Finalmente, se recogen las formas de onda tomadas para ambos prototipos.

4.1.- ESPECIFICACIONES DE LOS PROTOTIPOS

Las especificaciones de diseño fijadas para ambos prototipos se indican a continuación:

- Tensión de entrada: 150 V
- Tensión de salida: 400 V
- Potencia de trabajo: 300 W
- Potencia en la frontera entre MCC y MCD: 150 W
- Frecuencia de conmutación: 100 kHz
- Modo de funcionamiento del convertidor: Modo de conducción continuo
- Nivel de tensión constante V_A : 12 V

Cabe destacar que a pesar de las ya mencionadas especificaciones de diseño, dentro de lo que ha sido el funcionamiento con ambos prototipos se ha trabajada en un rango de frecuencias entre 100 kHz y 400 kHz, así como también en un rango de potencias entre 100 W y 400 W. Estos distintos puntos de operación se han conseguido utilizando el prototipo diseñado para las especificaciones nominales previamente mencionadas y modificando ciertos componentes y parámetros de control que se detallarán más adelante.

4.2.- COMPONENTES DE LOS PROTOTIPOS

En este apartado se muestran las imágenes de los prototipos realizados, señalando en cada uno de ellos sus partes principales así como también los elementos que se emplean para la generación y adaptación de las señales de gobierno de los mismos. Finalmente, se analizará la etapa de potencia que forma parte de ambos prototipos.

4.2.1.- Prototipo con un solo SJ-FET

En la Figura 4.1 se muestra una fotografía de la parte superior del prototipo que solo emplea un SJ-FET así como también aparecen remarcadas las partes principales que componen dicha configuración.

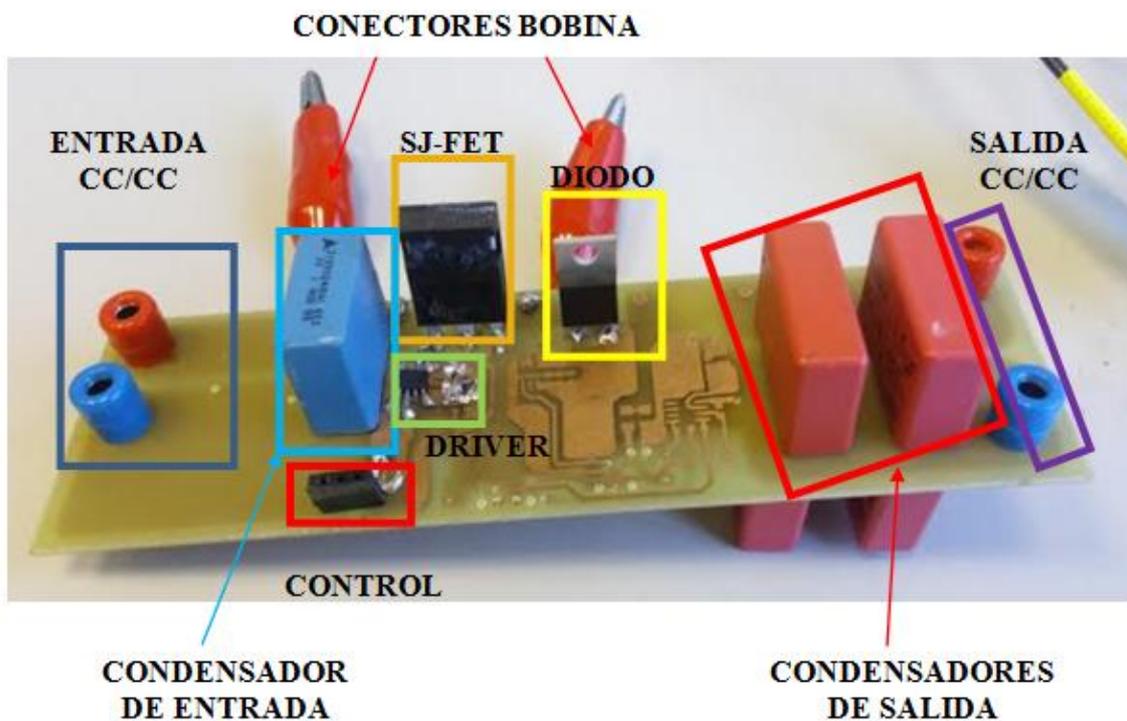


Figura 4.1.- Partes principales del prototipo convertidor elevador con un único SJ-FET

4.2.2.- Prototipo con la configuración en cascodo

En la Figura 4.2 se muestra una fotografía de la parte superior del prototipo que emplea la configuración en cascodo así como también aparecen remarcadas las partes principales que componen dicha estructura. En la Figura 4.3 se puede ver con más detalle la conexión en cascodo entre el SJ-FET y el LV-FET.

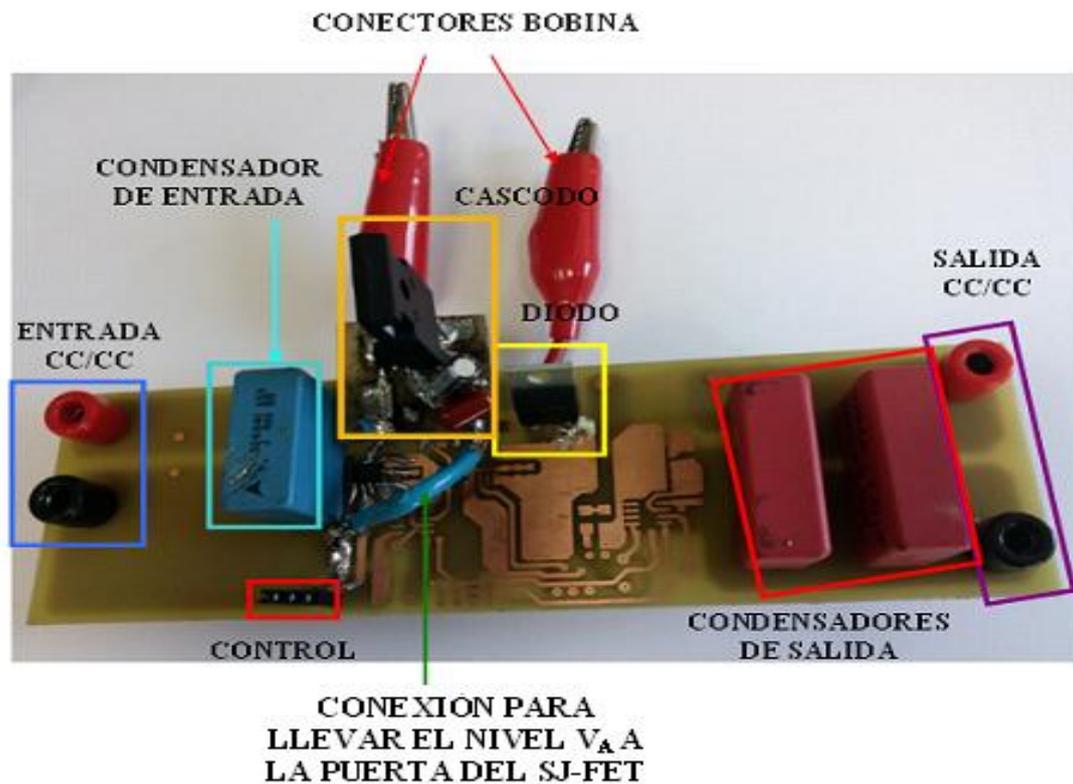


Figura 4.2. – Partes principales del prototipo convertidor elevador con la configuración en cascodo

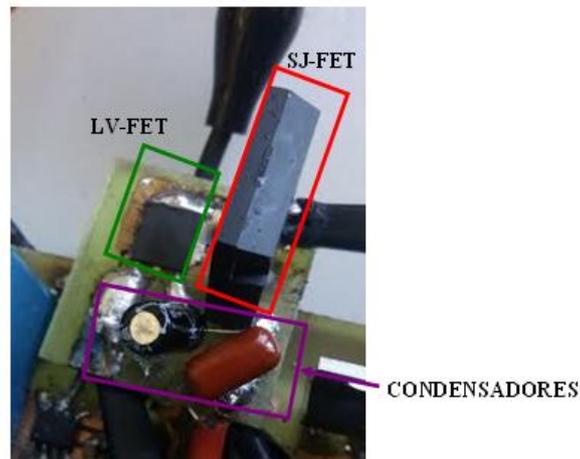


Figura 4.3.- Detalle de la PCB con la conexión en cascodo del SJ-FET y el LV-FET

4.2.3.- Plataforma de control digital

Para realizar el control del convertidor se ha utilizado una plataforma de control digital, en concreto el modelo de FPGA (*Field Programmable Gate Array*) utilizado es el Basys 2 Spartan-3E, de *Digilent*. Se trata de un dispositivo semiconductor que internamente, está formado por una gran cantidad de elementos lógicos programables. A grandes rasgos, en la compilación se crea una solución combinatorial que representa el programa. De esta forma, no existe una ejecución secuencial de instrucciones sino que las salidas del programa se actualizan continuamente y de forma instantánea, salvo por los pequeños retrasos que presenten las puertas lógicas utilizadas. La realización de funciones que requieren la ejecución de forma secuencial de algunas partes de código, como es el caso de las temporizaciones, también es posible ya que la FPGA incluye biestables como elementos programables. Como elemento que ha formado parte de los prototipos, este dispositivo se ha encargado de generar las señales de gobierno de los MOSFET.

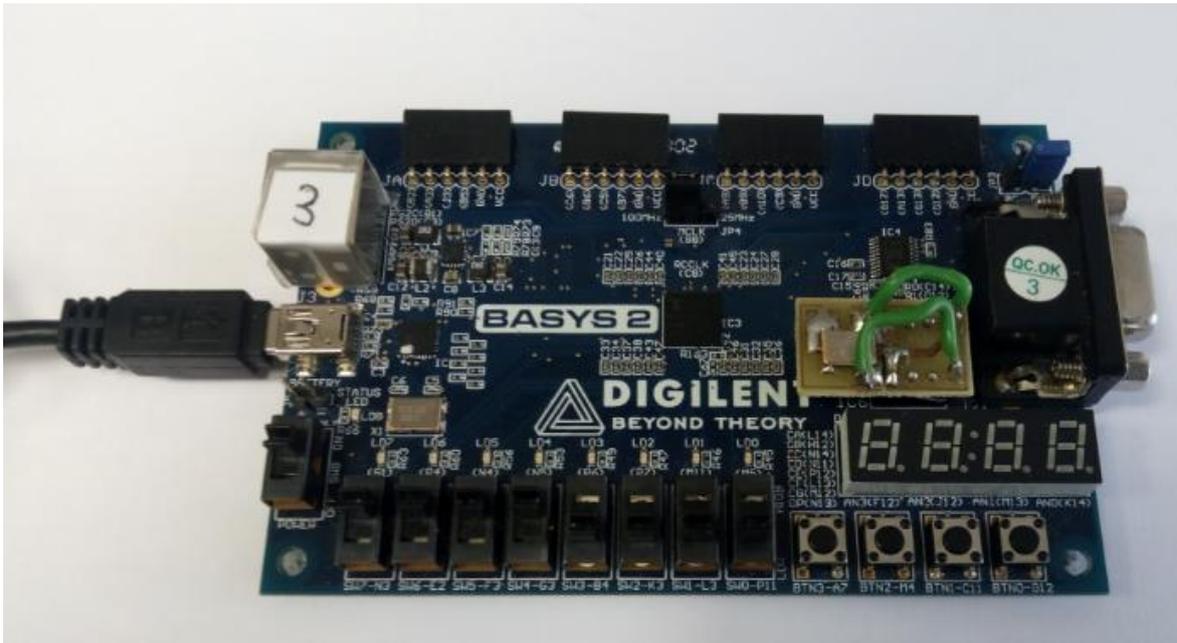


Figura 4.4.- FPGA utilizada para generar las señales de gobierno

4.2.4.- Generación y adaptación de las señales de gobierno de los MOSFET

Como ya se ha comentado, la generación de las señales de gobierno de los transistores, se lleva a cabo a través de la FPGA. Para ello, la FPGA está conectada a una fuente de alimentación de 5 V, de tal manera, que su masa y la masa de dicha fuente de alimentación, son la misma. Por motivos de seguridad y para evitar posibles daños sobre la FPGA, la señal de pulsos que se obtiene a la salida de la misma se ha aislado, es decir, se refiere a otra masa, la cual será la masa común para el resto de componentes que integran ambos prototipos. Además, también se necesita tener una señal constante de 12 V, tanto para la propia alimentación del driver, como para el nivel de continua V_A que se necesita para polarizar la puerta del SJ-FET en la configuración en cascodo.

En la Figura 4.5 se puede ver un diagrama que representa el proceso de adaptación de las señales de gobierno.

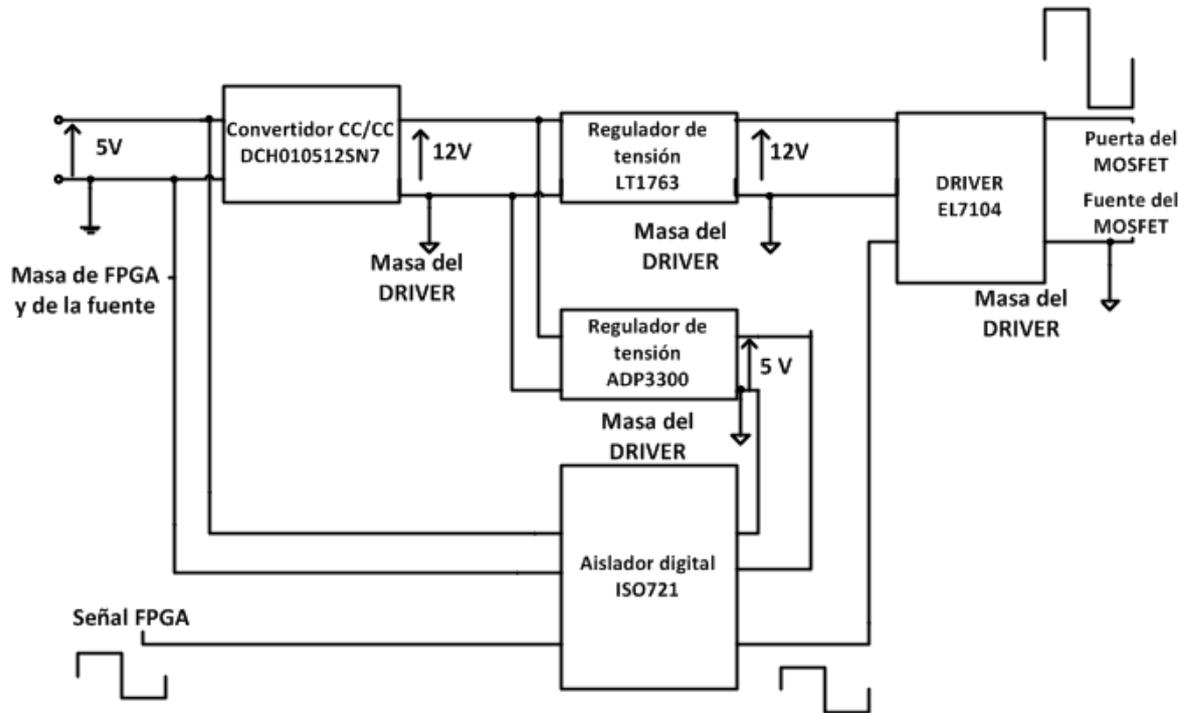


Figura 4.5.- Diagrama de la adaptación de una señal de gobierno

Así pues, la señal de pulsos de la FPGA (0 V- 5 V), está referida a la misma masa que la fuente de alimentación de 5 V. El circuito integrado ISO721 permite aislar dicha señal y referirla a la masa de su alimentación secundaria, la cual, es la misma masa que utiliza el DRIVER. Para conseguir esa alimentación secundaria aislada, se utiliza un convertidor CC/CC de la serie DCH01, el cual, consigue obtener 12 V aislados a su salida, a partir de los 5 V de la fuente. Esta nueva tensión, se aplica al regulador ADP3300 para adaptar el nivel a los requisitos del aislador digital. A la salida del regulador LT1763, se encuentra conectado un divisor resistivo, de tal manera que en función de los valores de resistencias que se utilicen, se pueden tener distintos valores de tensiones a su salida (8V, 12 V, etc.). En este caso, a la salida de dicho regulador, se tiene una señal constante de valor 12 V. Finalmente, el DRIVER (EL7104) recibe una señal constante de 12 V, que se emplea en la propia alimentación del DRIVER, la masa que viene del regulador (la masa ya aislada) y el tren de pulsos que viene de la FPGA (0 V- 5V), y con todo ello, el DRIVER adapta el nivel de la tensión de gobierno a la que necesita el MOSFET (0 V- 12 V) y añade la capacidad de entregar corriente, la cual se demanda en las conmutaciones de los MOSFET.

El nivel de tensión constante V_A que necesita el SJ-FET de la configuración en cascodo, se obtiene de la pista que se encarga de llevar los 12 V desde la salida del regulador de tensión LT1763 hasta la alimentación del DRIVER. De tal manera, que con un cable, lo más corto posible, se une esa pista con la puerta del SJ-FET, cuando se emplea el montaje en cascodo, tal y como se puede ver en la Figura 4.2.

En la Figura 4.6 se puede ver el circuito empleado para llevar a cabo todo el proceso de adaptación descrito en este apartado. Dicho circuito integra el convertidor CC/CC de la serie DCH01, el regulador de tensión LT1763, el regulador ADP3300 y el aislador digital ISO721.

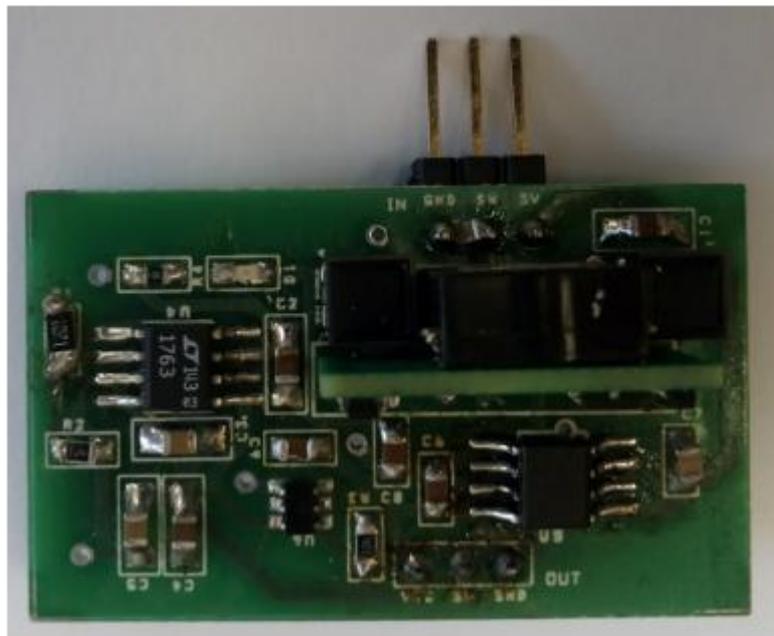


Figura 4.6.- Circuito encargado de la adaptación de la señal de gobierno de los MOSFET

4.2.5.- Etapa de potencia

A continuación se describen los elementos que forman parte de la etapa de potencia del convertidor elevador: bobina, MOSFETs, diodo y condensadores.

Con respecto a los transistores MOSFET, se muestra en la Tabla 4.1 y en la Tabla 4.2 un resumen con las principales características de los transistores utilizados, tanto para el caso del SJ-FET, como para el LV-FET.

SJ-FET		
Nombre	IPW65R095C7	IRFPC50
Fabricante	Infineon	Vishay Siliconix
Empaquetado	TO-247	TO-247AC
V _{DS} (V)	700	600
V _{GS} (V)	[-20,+20]	[-20,+20]
ID _{DC} (A)	24	11
ID _{pulsed} (A)	100	44
R _{DS(ON)} (mΩ)	95	600
Ciss (pF)	2140	2700
Coss (pF)	33	300
Crss (pF)	6	61
Qg (nC)	50	140
Qgs (nC)	12	20
Qgd (nC)	15	69

Tabla 4.1.- Principales características de los MOSFET de súper unión (SJ-FET) utilizados

LV-FET			
Nombre	ATP202	IPF135N03LG	Si9426DY
Fabricante	ON - Semiconductor	Infineon	Vishay Siliconix
Empaquetado	DPACK	TO-252	SO-8
V _{DS} (V)	30	30	20
V _{GS} (V)	[-20,+20]	[-20,+20]	[-8,+8]
ID _{DC} (A)	50	30	10
ID _{pulsed} (A)	150	210	30
R _{DS(ON)} (mΩ)	12	13,5	13,5
Ciss (pF)	1650	745	2650
Coss (pF)	285	250	1000
Crss (pF)	160	7	260
Qg (nC)	27	4,8	46,5
Qgs (nC)	7,5	2,7	5,5
Qgd (nC)	4	1,2	13,5

Tabla 4.2.- Principales características de los MOSFET de baja tensión (LV-FET) utilizados

Como diodo de salida del convertidor, se ha empleado un diodo tipo Schottky de Carburo de Silicio (SiC), con el que se minimiza el efecto del “reverse recovery”, cuyas principales características se pueden ver en la Tabla 4.3.

Nombre	C3D06060A
Fabricante	CREE
Tipo	Schottky SiC
V_{RRM} (V)	600
V_{RSM} (V)	600
I_F (A)	19
I_{FRM} (A)	30
I_{FSM} (A)	63
V_F (V)	1,5
I_R (μA)	6,5

Tabla 4.3.- Principales características del diodo (SiC) utilizado

En cuanto a los condensadores utilizados en el convertidor, según el modelo analítico con un condensador de aproximadamente 2 μF, se consigue un rizado de tensión a la salida del 1%. No obstante, para reducir aun más este rizado, se ha optado por colocar a la salida una capacidad total de 4 μF. Dicha capacidad se ha conseguido con la conexión en paralelo de 4 condensadores de 1 μF de tipo MKS.

Esta es la expresión que permite dimensionar el condensador para un convertidor elevador.

$$C = \frac{I_o \cdot d \cdot T}{\Delta V_o} \quad (4.1)$$

Donde I_o es la corriente de salida del convertidor, d es el ciclo de trabajo utilizado, T es el período de conmutación y ΔV_o es la variación de tensión de salida.

Como se puede ver en la Figura 4.1 y en la Figura 4.2., en los prototipos también se ha incluido un condensador a la entrada de los mismos, con el objetivo de reducir las inductancias y efectos parásitos a la entrada del convertidor. Dicho condensador es de 1 μF y de tipo MKP.

Finalmente, dentro de la etapa de potencia se encuentra la bobina. Para este trabajo se han utilizado tres bobinas distintas, en función de la frecuencia de conmutación utilizada para llevar a cabo las pruebas. En el Anexo 1 se detalla el proceso de elaboración de la bobina para una frecuencia de conmutación de 100 kHz y una potencia máxima de 300 W.

Además, como ya se ha comentado anteriormente, se han realizado pruebas para frecuencias de 200 kHz y 400 kHz, en las cuales se han utilizado bobinas específicas para dichas frecuencias, realizadas siguiendo el mismo proceso que se ha comentado en el Anexo 1

En la Tabla 4.4. se recogen las principales características de las tres bobinas utilizadas en este trabajo, en función de las frecuencias de conmutación con las que se han ido realizando las distintas pruebas, así como también de los materiales y núcleos magnéticos empleados en todos los casos.

Bobinas	A 100 kHz	A 200 kHz	A 400 kHz
L (μH)	468,75	225,45	146,57
n_{op} (vueltas)	48	25	14
I_{Lmed} (A)	2	2	2
I_{Lpico} (A)	2,91	3,04	2,8
ΔI_L (A)	1,83	2,08	1,6
g (mm)	0,3	0,4	0,3
\varnothing hilo cobre (mm)	0,3	0,3	0,3
Núcleo	ETD-39	ETD-39	ETD-39
Material magnético	3F3	3F3	3F3

Tabla 4.4.- Principales características de las bobinas empleadas en función de la frecuencia de conmutación utilizada

4.3.- FORMAS DE ONDA DE OPERACIÓN EN LOS PROTOTIPOS

A continuación, se muestra una serie de formas de onda de tensión y corriente que fueron capturadas con el osciloscopio. De esta forma, se pretende validar el comportamiento descrito de forma analítica y a través de simulación, ya que como se puede apreciar, las formas de onda que aparecen en este apartado son muy similares a las que se podían observar en el Capítulo 3, relativas a la simulación de ambos prototipos. Además, se muestran algunas formas de onda de ejemplo del proceso de conmutación del cascode y del funcionamiento del convertidor en general.

Cabe destacar, que como ya se venía comentando, los procesos de conmutación en los MOSFET, no son perfectos, de tal manera que habrá intervalos de tiempo, en los que se puede apreciar la convivencia de tensión y corriente, descrita en el análisis de pérdidas realizado con anterioridad en este trabajo

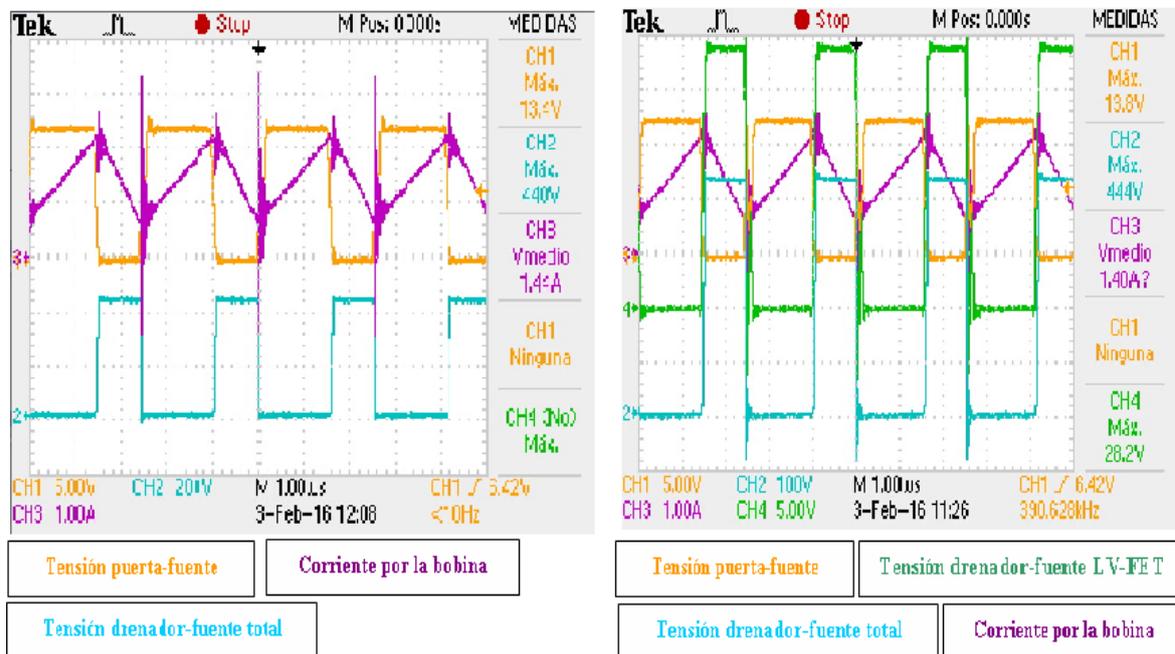
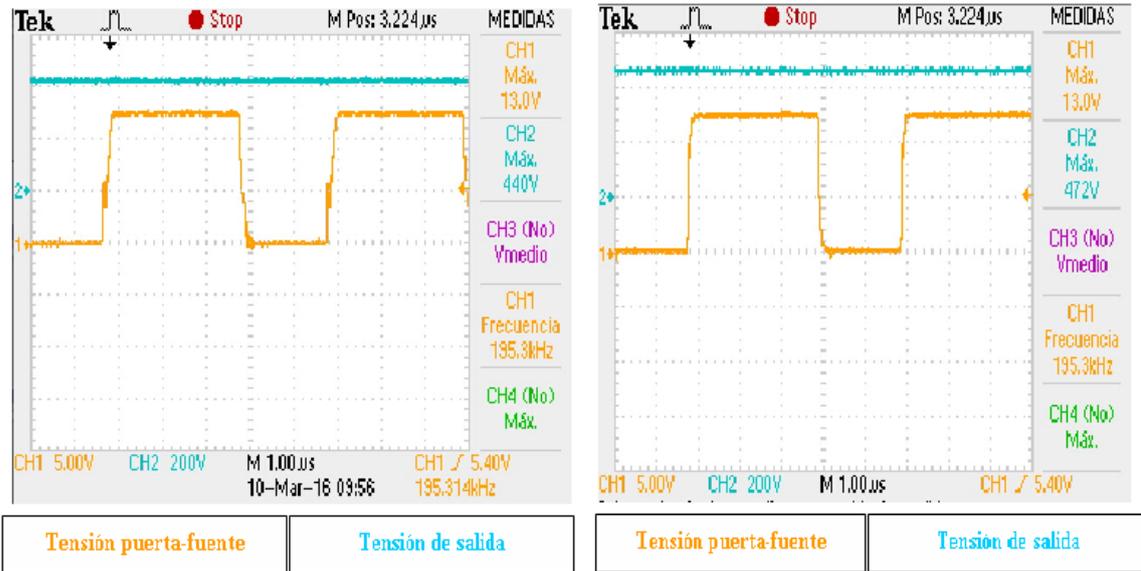


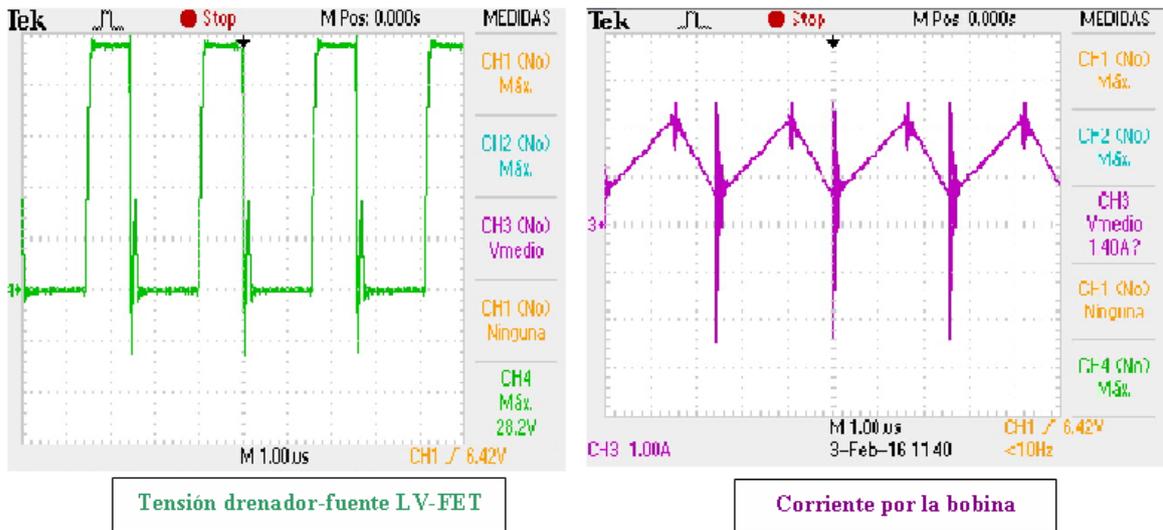
Figura 4.7.- Tensiones puerta-fuente, drenador-fuente y corriente por la bobina para el montaje con un solo SJ-FET (a) y para el cascode (b). $F = 400 \text{ kHz}$ y $P = 200 \text{ W}$



(a)

(b)

Figura 4.8.- Tensión puerta-fuente y tensión de salida para el montaje con un solo SJ-FET (a) y para el cascode (b). $F = 200 \text{ kHz}$ y $P = 200 \text{ W}$



(a)

(b)

Figura 4.9.- Tensión drenador-fuente en el LV-FET (a) y corriente por la bobina para el cascode (b). $F = 400 \text{ kHz}$ y $P = 200 \text{ W}$

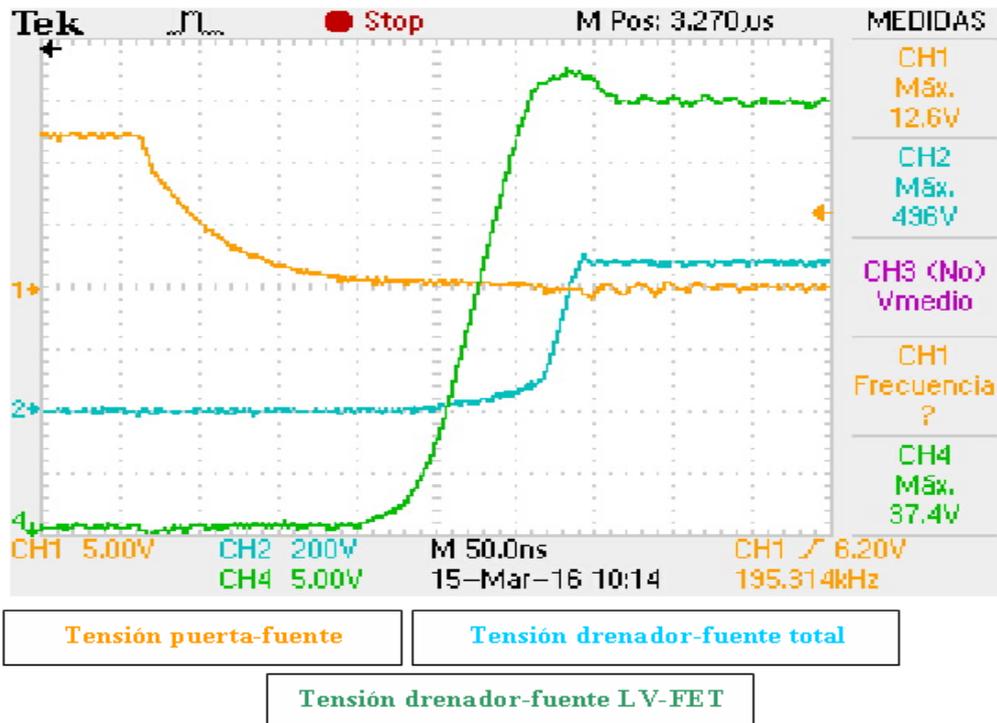


Figura 4.10.- Detalle del proceso de apagado en el cascode. $F = 200 \text{ kHz}$ y $P = 200 \text{ W}$

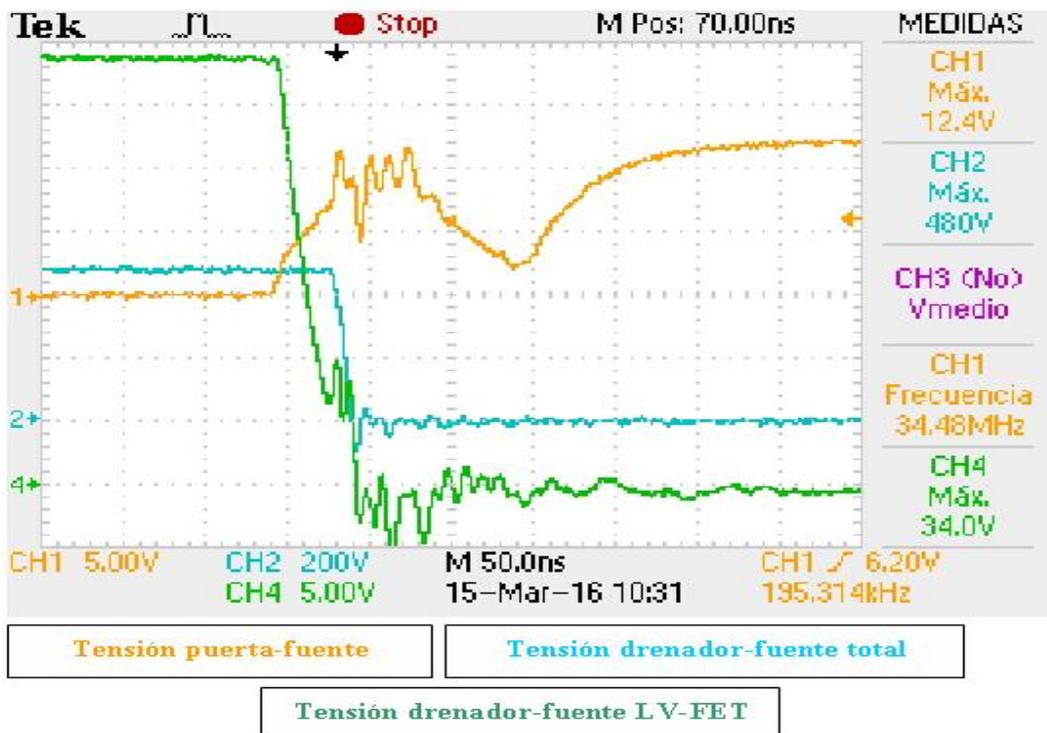


Figura 4.11.- Detalle del proceso de encendido en el cascode. $F=200 \text{ kHz}$ y $P = 200 \text{ W}$

En la Figura 4.10. se puede apreciar el efecto de la avalancha del diodo parásito en el LV-FET, el cual tiene una duración aproximada de unos 60 ns. Así como también en la Figura 4.11 se puede apreciar el Efecto Miller en el LV-FET, de una duración aproximada de unos 70 ns.

5. Resultados experimentales

5.1.- COMPARATIVA DE RENDIMIENTOS ENTRE LA TOPOLOGÍA CON UN ÚNICO SJ-FET Y LA CONFIGURACIÓN EN CASCODO

En este apartado se describen las mediciones y los resultados obtenidos con los prototipos descritos en el Capítulo 4, en cuanto a la comparación de rendimientos entre la configuración que solo emplea un SJ-FET y la configuración en cascodo, cuando se utilizan en un convertidor elevador. Todos los componentes que constituyen el convertidor elevador, en cuanto a condensadores, bobina, diodo, transistores y elementos de control, son los ya descritos en el Capítulo 4, así como también el rango de frecuencias que se manejará para las pruebas va desde los 100 kHz hasta los 400 kHz y el rango de potencias está entre los 100 W y los 400 W. Para realizar un análisis comparativo exhaustivo se han realizado un gran número de pruebas en distintos puntos de operación, que se detallan a continuación. Todos los resultados numéricos se encuentran recogidos en el Anexo 2.

5.1.1.- Para distintos valores de la tensión de entrada usando un SJ-FET IPW65R095C7 y para una frecuencia de conmutación de 100 kHz

Para esta prueba, se ha mantenido la carga con un valor constante y se ha ido variando el valor de la tensión de entrada, tanto para el caso de un solo SJ-FET como para la configuración en cascado, de tal manera que al final se representa para ambos casos, el rendimiento de ambas topologías en función de la potencia de entrada. A continuación se detallan las especificaciones con las que se ha realizado esta prueba:

Especificaciones	Valor
Tensión de entrada	10 V - 150 V
Tensión de salida	26,7 V - 400 V
Frecuencia de conmutación	100 kHz
Ciclo de trabajo	0,625
Potencia máxima	300 W
Carga del convertidor	533,3 Ω
SJ-FET	IPW65R095C7
LV-FET	ATP202

Tabla 5.1 .- Especificaciones para la prueba 5.1.1

Las características del SJ-FET y del LV-FET empleados, se pueden consultar en la Tabla 4.1. y en la Tabla 4.2. respectivamente. Seguidamente, se muestra una comparativa de los rendimientos conseguidos en esta prueba para las configuraciones estudiadas.

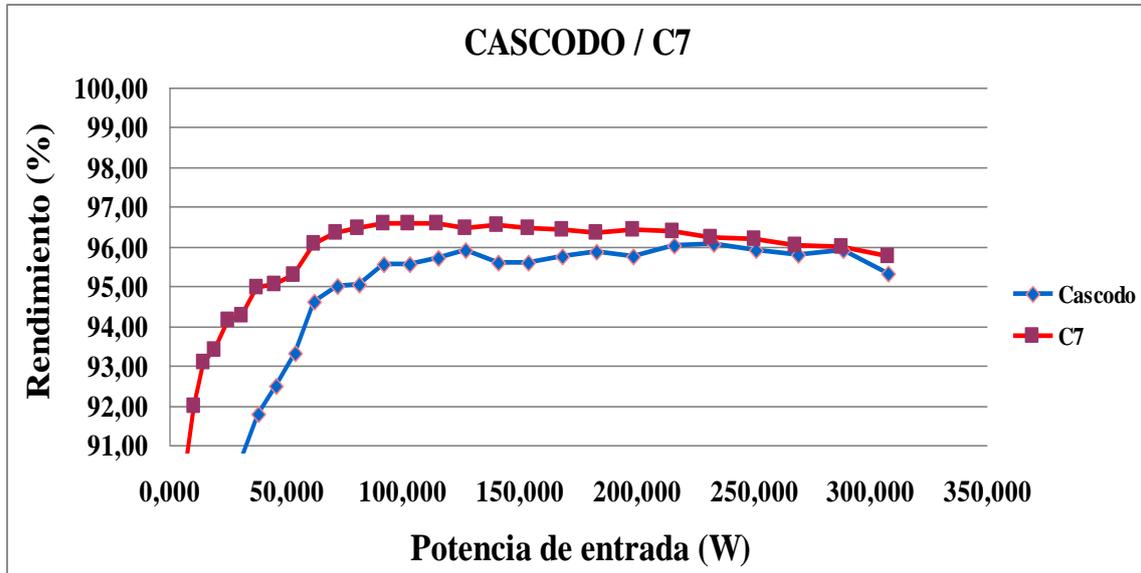


Figura 5.1.- Comparativa entre la topología en cascodo y usando solo un SJ-FET C7 para un valor constante de la carga, conmutación a 100 kHz y variando la tensión de entrada

Como se puede observar, se consigue más rendimiento conforme aumenta la potencia de entrada (P_g), para ambas configuraciones siendo en este caso un 96,6 % el máximo rendimiento conseguido cuando solo se emplea un SJ-FET y un 96,1 % el máximo rendimiento alcanzado en el caso del cascodo.

5.1.2.- Para distintos valores de la tensión de entrada usando un SJ-FET IRFPC50 y para una frecuencia de conmutación de 100 kHz

A pesar, de que el SJ-FET C7 es un gran dispositivo como MOSFET de súper-ión para altas tensiones, con las pruebas que se han realizado, se ha visto que no se consigue hacer que ese dispositivo llegue a su zona óptima de trabajo. De esta forma, también se han empezado a hacer pruebas con el IRFPC50 como SJ-FET, cuyas características se pueden encontrar en la Tabla 4.1. Para esta prueba el modo de actuar es el mismo que en el caso de la prueba anterior, de tal manera, que las especificaciones son las mismas que las que aparecen en la Tabla 5.1 usando como LV-FET el IRFPC50. A continuación se muestran los resultados obtenidos.

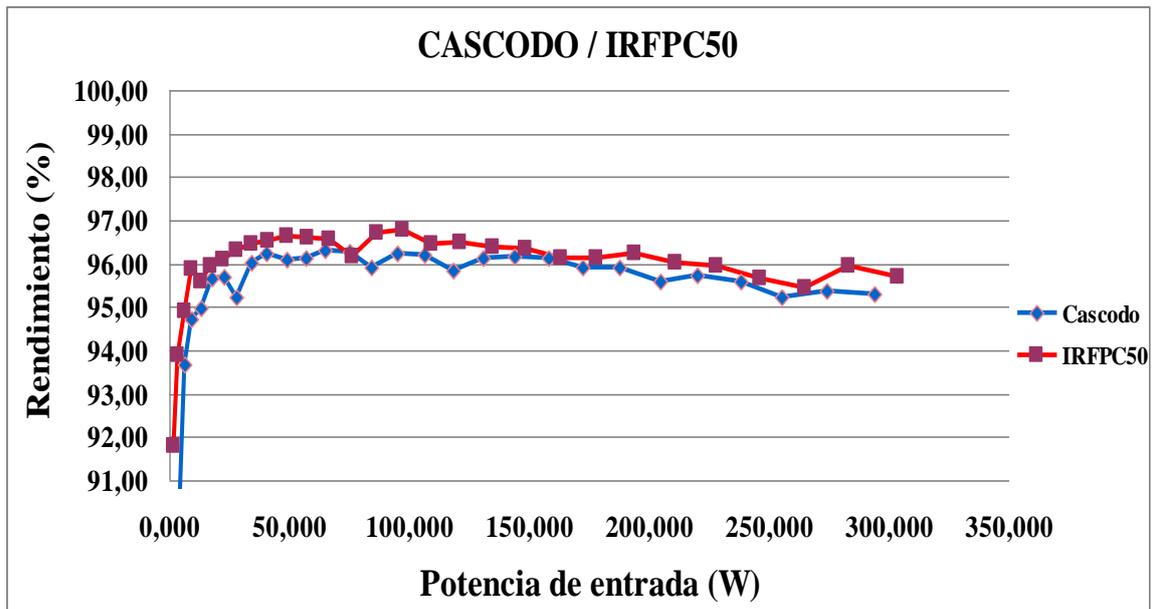


Figura 5.2.- Comparativa entre la topología en cascodo y usando solo un SJ-FET IRFPC50 para un valor constante de la carga, conmutación a 100 kHz y variando la tensión de entrada

En este caso, se obtiene un 96,8 % como máximo rendimiento para el caso en el que solo se emplea el IRFPC50 y un 96,3 % para el caso en el que se emplea la configuración en cascodo. En ambos casos se puede observar que ambos rendimientos son similares, sobre todo para elevadas potencias y tensiones.

5.1.3.- Para distintos valores de la carga usando un SJ-FET IPW65R095C7 y para una frecuencia de conmutación de 100 kHz

En este caso, se toman medidas del rendimiento para ambas configuraciones variando el valor de la carga, de tal manera, que el valor de la potencia a la que va a trabajar el convertidor elevador también va a variar. Las medidas de rendimiento se han tomado a la máxima tensión de entrada, 150 V.

Especificaciones	Valor
Tensión de entrada	150 V
Tensión de salida	400 V
Frecuencia de conmutación	100 kHz
Ciclo de trabajo	0,625
Potencias de trabajo	100 W – 400 W
Carga del convertidor	400 Ω – 1600 Ω
SJ-FET	IPW65R095C7
LV-FET	ATP202

Tabla 5.2.- Especificaciones para la prueba 5.1.3

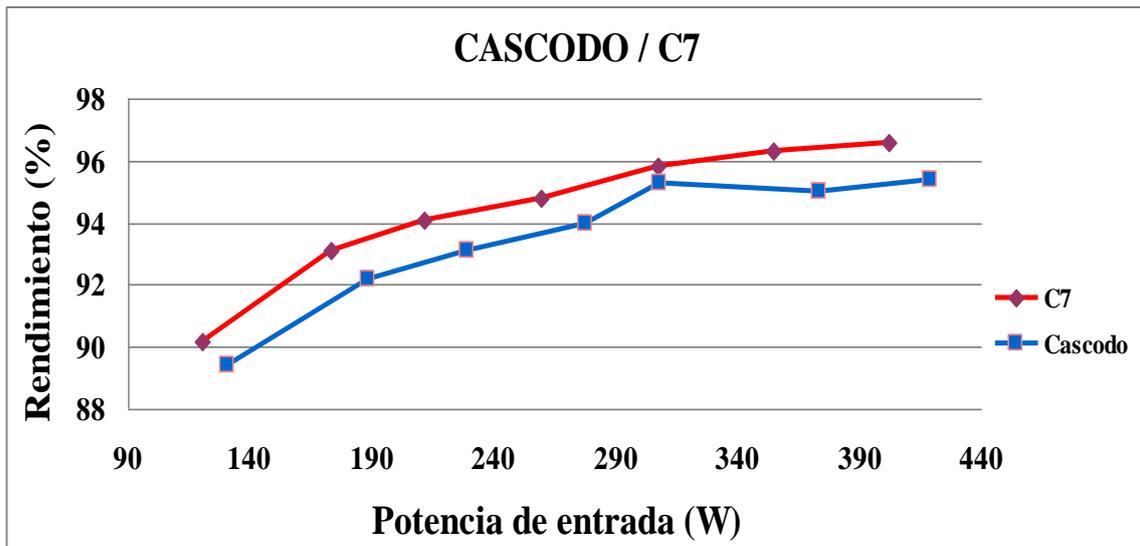


Figura 5.3.- Comparativa entre la topología en cascodo y usando solo un SJ-FET C7 para un valor constante de la tensión de entrada, conmutación a 100 kHz y variando la carga

Como se puede ver en esta ocasión, el máximo rendimiento alcanzado cuando solo se emplea un C7 es del 96,6 % a una potencia de 400 W. En el caso del montaje en cascodo, el máximo rendimiento es del 95,4 % también a una potencia de 400 W. Concuerdia con lo que se comentaba en los análisis y mediciones anteriores, de tal manera que se incrementa el rendimiento a medida que va aumentando la potencia a la que trabaja el convertidor.

5.1.4.- Para distintos valores de la carga usando un SJ-FET IRFPC50 y para una frecuencia de conmutación de 100 kHz

Tal y como se ha realizado en los apartados 5.1.1 y 5.1.2, también se comparan los resultados obtenidos cuando se usa como SJ-FET el IRFPC50, debido a que no se consigue llegar a trabajar en el punto de funcionamiento óptimo para el C7. Las especificaciones son por tanto las mismas que las que aparecen en la Tabla 5.2.-, usando como SJ-FET el IRFPC50.

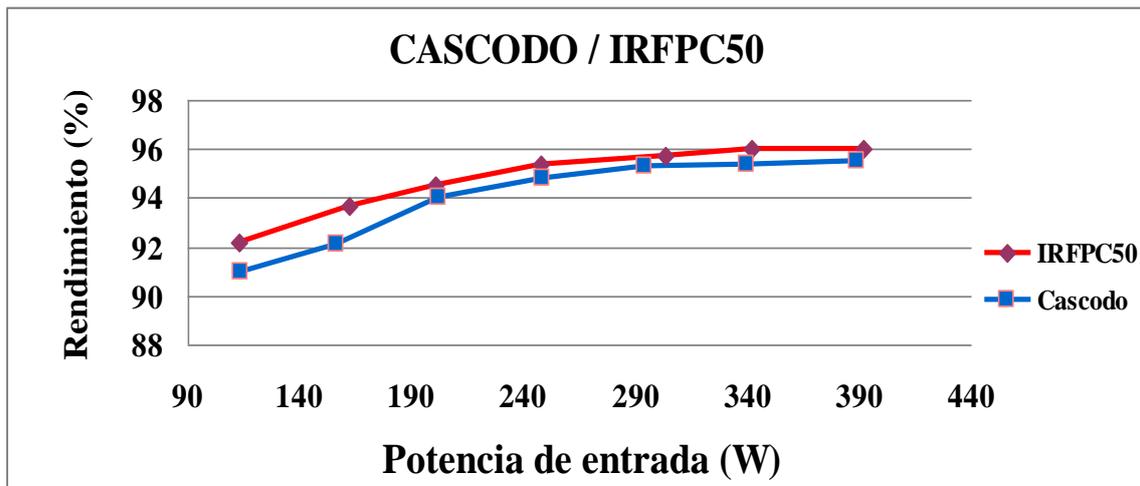


Figura 5.4.- Comparativa entre la topología en cascodo y usando solo un SJ-FET IRFPC50 para un valor constante de la tensión de entrada, conmutación a 100 kHz y variando la carga

De acuerdo a la Figura 5.4., el máximo rendimiento alcanzado cuando solo se emplea el IRFPC50 es del 96 % mientras que el máximo rendimiento alcanzado con el IRFPC50 formando parte de la configuración en cascodo es del 95,5 %, en ambos casos, a la potencia máxima de 400 W.

Tal y como se puede ver en este caso, los rendimientos alcanzados con el cascodo, están muy próximos a los que se consiguen cuando solo se emplea un solo SJ-FET. Además, esta diferencia entre rendimientos es menor en el caso en el que se emplea como SJ-FET el IRFPC50, frente a cuando se empleaba el C7, lo cual, se puede comprobar sin más que comparar la Figura 5.4. con la Figura 5.3. Este efecto se debe sobre todo a la gran velocidad de conmutación del C7 y por tanto a sus reducidas pérdidas.

5.1.5.- Para distintos valores de la carga usando un SJ-FET IRFPC50 y para una frecuencia de conmutación de 200 kHz

Seguidamente, se han empezado a hacer pruebas usando como SJ-FET el IRFPC50 para ambas topologías y variando el LV-FET, así como también la frecuencia de conmutación, con el objetivo de estudiar las variaciones que se pueden producir en cuanto a los rendimientos obtenidos para ambas topologías y poder comprobar cuál parece tener un mejor comportamiento, conforme se va incrementando dicha frecuencia.

A continuación se muestran las especificaciones con las que se ha realizado la prueba:

Especificaciones	Valor
Tensión de entrada	150 V
Tensión de salida	400 V
Frecuencia de conmutación	200 kHz
Ciclo de trabajo	0,625
Potencias de trabajo	150 W – 400 W
Carga del convertidor	400 Ω – 1066,7 Ω
SJ-FET	IRFPC50
LV-FET	IPF135N03LG

Tabla 5.3 .- Especificaciones para la prueba 5.1.5

Las principales características del IPF135N03LG se pueden consultar en la Tabla 4.2.

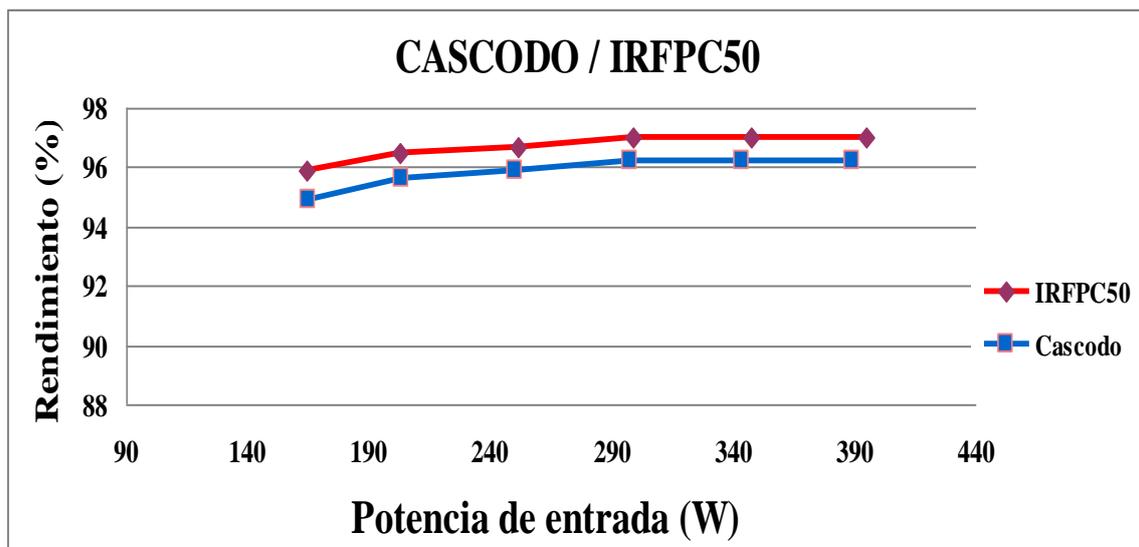


Figura 5.5.- Comparativa entre la topología en cascod y usando solo un SJ-FET IRFPC50 para un valor constante de la tensión de entrada, conmutación a 200 kHz y variando la carga

De acuerdo a la Figura 5.5., se puede comprobar que el máximo rendimiento obtenido cuando solo se emplea el IRFPC50 como SJ-FET es del 97 %, mientras que el máximo rendimiento alcanzado por la configuración en cascod, con el nuevo LV-FET, junto con el IRFPC50 es del 96,2 %. Al igual que ocurría en las mediciones y pruebas anteriores, el máximo rendimiento se da para el caso de máxima potencia, en estas pruebas, 400 W.

En este caso, se puede ver sin más que comparar la Figura 5.4. con la Figura 5.5., cómo los rendimientos alcanzados en estas condiciones son superiores para ambas topologías frente a los que se tenían cuando la frecuencia de conmutación era de 100 kHz.

Esta mejora se debe sobre todo a las menores pérdidas aportadas por la bobina de 200 kHz, pero por otro lado, nos proporcionan una idea de los bajos valores de pérdidas de conmutación que se manejan en el convertidor.

5.1.6.- Para distintos valores de la carga usando un SJ-FET IRFPC50 y para una frecuencia de conmutación de 400 kHz

Dentro de las pruebas que se han realizado a distintas frecuencias, esta ha sido a la que mayor frecuencia de conmutación se ha realizado, para comparar ambas topologías, con el objetivo de observar cómo a medida que la frecuencia de conmutación aumenta y por lo tanto las pérdidas en conmutación empiezan a ser más relevantes, la estructura del interruptor en cascodo parece presentar una cierta mejora en lo que a comportamiento en conmutación se refiere, respecto a cuando solo se emplea un SJ-FET.

Las especificaciones para esta prueba son las siguientes:

Especificaciones	Valor
Tensión de entrada	150 V
Tensión de salida	400 V
Frecuencia de conmutación	400 kHz
Ciclo de trabajo	0,625
Potencias de trabajo	170 W – 400 W
Carga del convertidor	400 Ω – 941,2 Ω
SJ-FET	IRFPC50
LV-FET	IPF135N03LG

Tabla 5.4 .- Especificaciones para la prueba 5.1.6

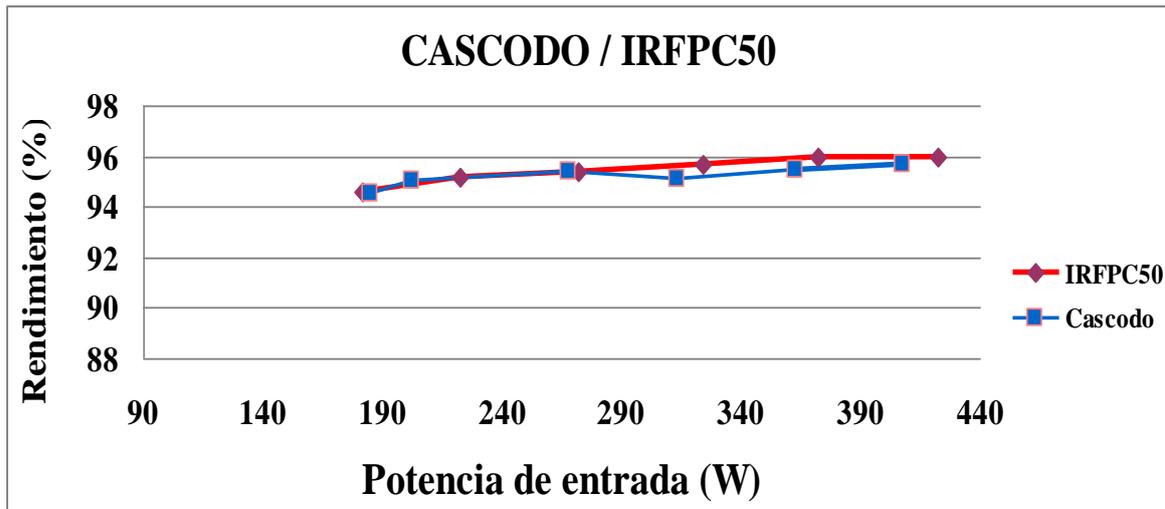


Figura 5.6.- Comparativa entre la topología en cascodo y usando solo un SJ-FET IRFPC50 para un valor constante de la tensión de entrada, conmutación a 400 kHz y variando la carga

Como se puede ver en la Figura 5.6., los valores de rendimientos alcanzados por ambas topologías están muy próximos, comparado por ejemplo con la Figura 5.5., donde la frecuencia de conmutación era de 200 kHz. Si por ejemplo, se compara la diferencia de rendimientos en el caso en el que frecuencia de conmutación era de 200 kHz, se puede ver que la diferencia entre el máximo rendimiento del cascodo y cuando solo se emplea el IRFPC50 está en 0,8 puntos, mientras que esa misma diferencia de rendimientos cuando la frecuencia de conmutación es de 400 kHz está en los 0,3 puntos.

Además se puede ver cómo a bajas potencias (170 W- 250 W) los rendimientos del cascodo difieren como mucho 0,2 puntos respecto a cuando solo se emplea el IRFPC50, lo cual parece corroborar en cierta forma, el hecho que ya se comentaba al principio de este apartado, según el cual, a medida que aumenta la frecuencia de conmutación y por tanto las pérdidas en conmutación empiezan a ser predominantes, el comportamiento en conmutación del interruptor en cascodo parece mejorar en cierta forma.

5.1.7.- Para distintos valores de la carga, usando un SJ-FET IRFPC50, para una frecuencia de conmutación de 200 kHz y para un MOSFET de baja tensión Si9426DY

Hasta ahora, los LV-FET que se han empleado tenían como principal característica que la tensión drenador-fuente que podían soportar, era de 30 V.

Lo que se ha hecho en esta prueba es usar otro LV-FET, en este caso un Si9426DY, cuyas características se pueden consultar en la Tabla 4.2., aunque cabe destacar como característica principal que su tensión drenador-fuente es de 20 V.

El objetivo de hacer esta prueba es ver cómo al usar transistores, con menor tensión drenador-fuente, y por tanto menor valor de avalancha por parte de su diodo parásito, se consiguen reducir pérdidas en conmutación en las transiciones del estado de apagado, haciendo que el rendimiento del interruptor en cascodo llegue a mejorar. Las especificaciones para esta prueba son las mismas que las que se comentaron en la Tabla 5.4 con la diferencia de que la frecuencia de conmutación vuelve a ser de 200 kHz y que ahora se emplea como LV-FET el Si9426DY.

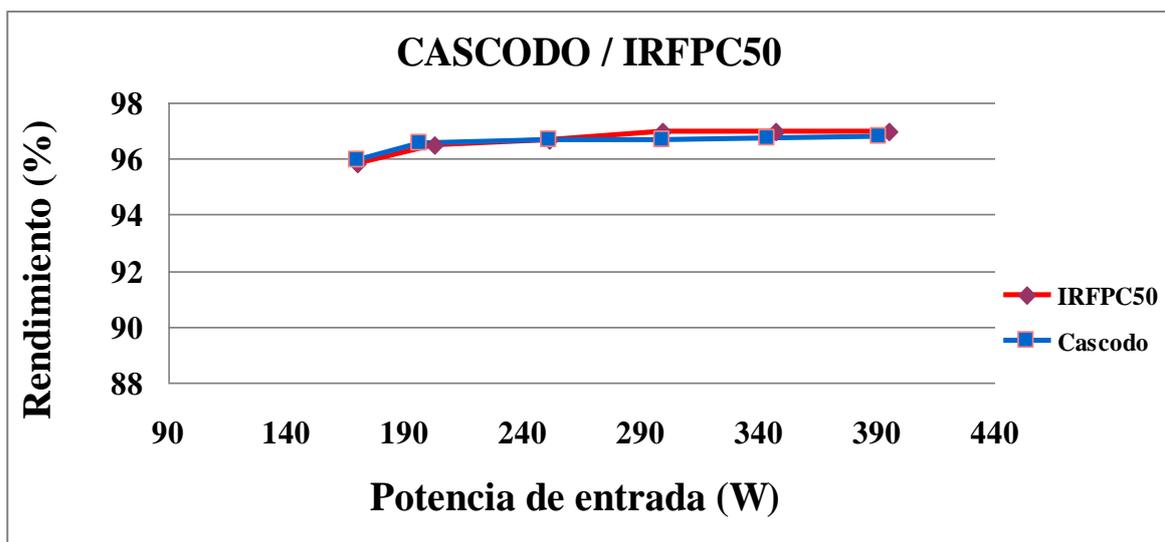


Figura 5.7.- Comparativa entre la topología en cascodo con LV-FET Si9426DY y usando solo un SJ-FET IRFPC50 para un valor constante de la tensión de entrada, conmutación a 200 kHz y variando la carga

Como aparece reflejado al principio de este apartado, la frecuencia de conmutación con la que se ha realizado esta prueba es de 200 kHz, de tal manera que estos resultados se comparan con los presentados en la Tabla A2.3. (Anexo 2) y en la Figura 5.5. Así pues, se puede ver cómo los rendimientos alcanzados en la topología que emplea el cascodo son mejores cuando se emplea este LV-FET de 20 V de tensión drenador-fuente, frente a los rendimientos obtenidos con el cascodo cuando se empleaba un LV-FET de 30 V de tensión drenador-fuente.

Tanto es así que para bajas potencias (170 W- 250 W), se puede apreciar en la Figura 5.7 que el rendimiento conseguido por el cascode se encuentra ligeramente por encima del obtenido con la topología que solo emplea el IRFPC50. A altas potencias, si bien el cascode se encuentra por debajo de la topología que solo emplea un SJ-FET, las diferencias entre los rendimientos son más pequeñas que en las medidas tomadas en la Figura 5.4, cuando se emplean un LV-FET de mayor tensión drenador-fuente. Por ejemplo, para 400 W la diferencia entre el rendimiento conseguido con el cascode frente a cuando solo se emplea el IRFPC50 para un LV-FET de 30 V, era de 0,8 puntos. En este caso para 400 W la diferencia es de 0,18 puntos cuando se emplea un LV-FET de 20 V.

5.1.8.- Estudio de la minimización del tiempo de avalancha en el diodo parásito del MOSFET de baja tensión Si9426DY, para una frecuencia de conmutación de 200 kHz y a una potencia de 200 W

Tal y como se comentó en su momento cuando se llevó a cabo una estimación de las pérdidas, en el proceso de apagado del cascode hay un momento en el que la subida de la tensión drenador-fuente del LV-FET provoca la entrada en avalancha de su diodo parásito, de modo que durante un cierto tiempo habrá corriente circulando por ese diodo en estado de avalancha, lo cual genera importantes pérdidas. Ya se ha visto, en el apartado 5.1.7, cómo al utilizar un LV-FET de menor tensión drenador-fuente, se conseguía disminuir por tanto el valor de las pérdidas debido a esa avalancha y lograr mejores rendimientos en el caso del cascode.

Otra forma de minimizar las pérdidas por avalancha, que es la que se ha estudiado en este apartado, es la de lograr que la carga de la capacidad parásita entre drenador y fuente del LV-FET sea más lenta, precisamente para retrasar la entrada en avalancha.

Para ello, lo que se ha hecho es añadir externamente un condensador (C_{EXT}) entre drenador y fuente del LV-FET tal y como se puede ver en la Figura 5.8.

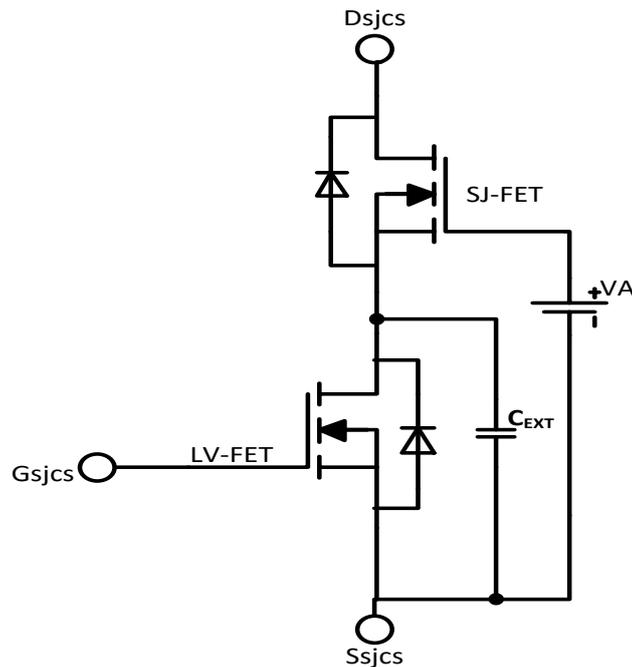


Figura 5.8.- Configuración en cascodo del SJ-FET y LV-FET con condensador externo

Lo que se ha hecho pues, es ir dando distintos valores a ese condensador C_{EXT} e ir viendo lo que ocurre con el rendimiento, la conmutación del LV-FET y el tiempo de avalancha para una potencia concreta, en este caso, las pruebas se han realizado para una potencia de 200 W. Los valores que se han dado al condensador C_{EXT} , han sido de 1000pF, 3000pF, 5000pF, 8000pF y 10000pF. Se han dado estos valores a partir de 1000pF puesto que la capacidad de salida del LV-FET Si9426 DY (C_{OSS}) ya era de 1000pF.

Concretamente para esta prueba, las especificaciones han sido las que se pueden ver a continuación:

Especificaciones	Valor
Tensión de entrada	150 V
Tensión de salida	400 V
Frecuencia de conmutación	200 kHz
Ciclo de trabajo	0,625
Potencia de trabajo	200 W
Carga del convertidor	800 Ω
SJ-FET	IRFP50
LV-FET	Si9426DY

Tabla 5.5 .- Especificaciones para la prueba 5.1.8

A continuación se muestran los resultados tanto numéricamente como a través de las formas de onda obtenidas para esta prueba.

C_{EXT}	Rendimiento (%)	Tiempo de avalancha (ns)	Tiempo de conmutación LV-FET (ns)
Sin condensador	96,55	70	90
1000pF	96,56	70	100
3000pF	96,62	65	110
5000pF	96,81	60	140
8000pF	96,61	40	150
10000pF	96,52	30	180

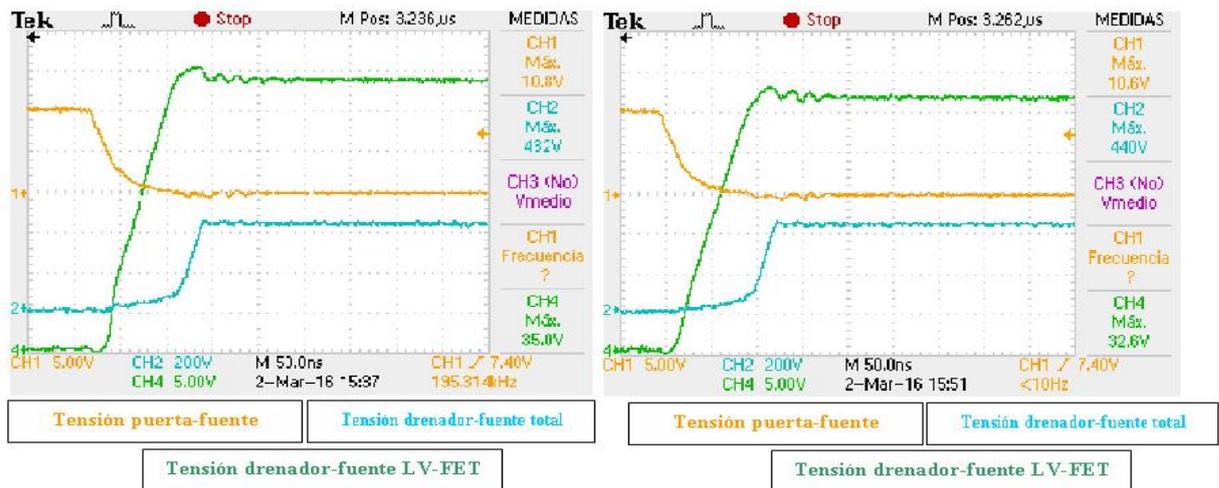
Tabla 5.6.- Resultados experimentales de la reducción del tiempo de avalancha en el LV-FET Si9426DY para diferentes valores de la capacidad exterior C_{EXT} , conmutación a 200 kHz y potencia de 200 W

Como se puede ver a partir de la Tabla 5.6., a medida que se aumenta el valor del condensador C_{EXT} disminuye el tiempo de avalancha del diodo parásito de LV-FET, de tal manera que disminuye el tiempo en el que hay corriente circulando por dicho diodo en avalancha.

De esta forma, también disminuyen las pérdidas por avalancha, incrementándose hasta cierto punto el rendimiento del cascodo el cual, partiendo de un valor del 96,55 % cuando no se conecta el condensador C_{EXT} , puede llegar a incrementarse hasta un valor del 96,81 %, para este caso en concreto donde se trabaja a 200 W y que es mayor que el valor del rendimiento conseguido para la misma potencia en la topología que solo emplea un SJ-FET (96,5 %).

Sin embargo, se puede comprobar también que a medida que disminuye el tiempo de avalancha, el tiempo de conmutación del LV-FET va aumentando, hasta tal punto que ese atraso en la conmutación de dicho transistor, afecta también a la conmutación del SJ-FET, provocando, peores conmutaciones y por tanto peores rendimientos. Se puede ver cómo con un condensador de 8000pF el valor de rendimiento ya empieza a caer y para 10000pF se tiene incluso un rendimiento algo peor del que se tenía cuando no se usaba condensador alguno.

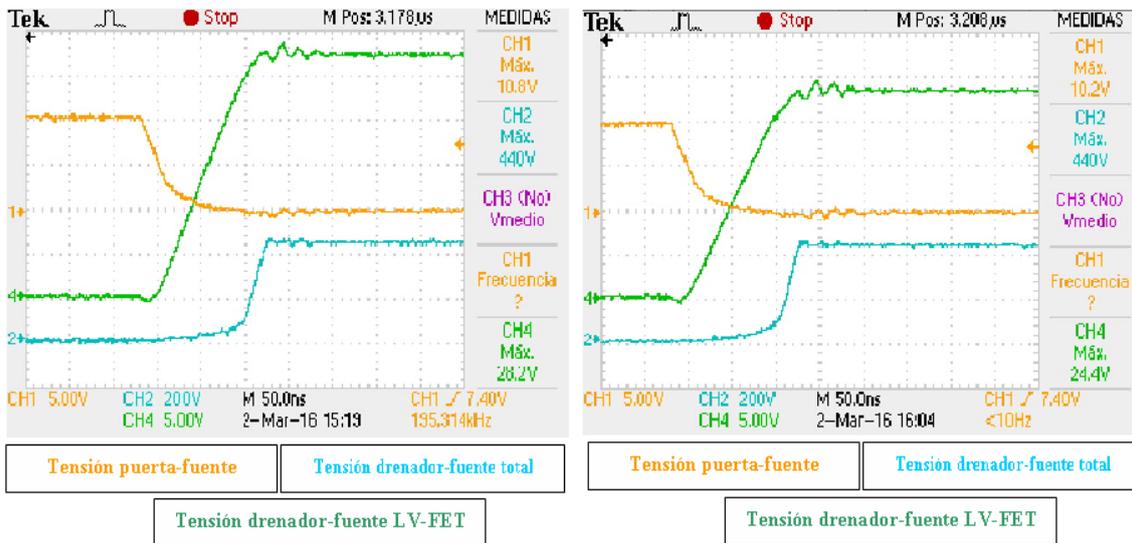
A continuación, se muestran las imágenes obtenidas a través del osciloscopio donde se pueden apreciar las formas de onda y los correspondientes tiempos de avalancha y conmutación del LV-FET, que de alguna manera, vienen a validar los datos presentados en la Tabla 5.6.



(a)

(b)

Figura 5.9.- Formas de onda para la visualización del tiempo de avalancha y conmutación del LV-FET cuando no se emplea ningún condensador externo (a) y cuando se emplea uno de 1000pF (b)



(a)

(b)

Figura 5.10.- Formas de onda para la visualización del tiempo de avalancha y conmutación del LV-FET cuando se emplea un condensador externo de 3000pF (a) y cuando se emplea uno de 5000pF (b)

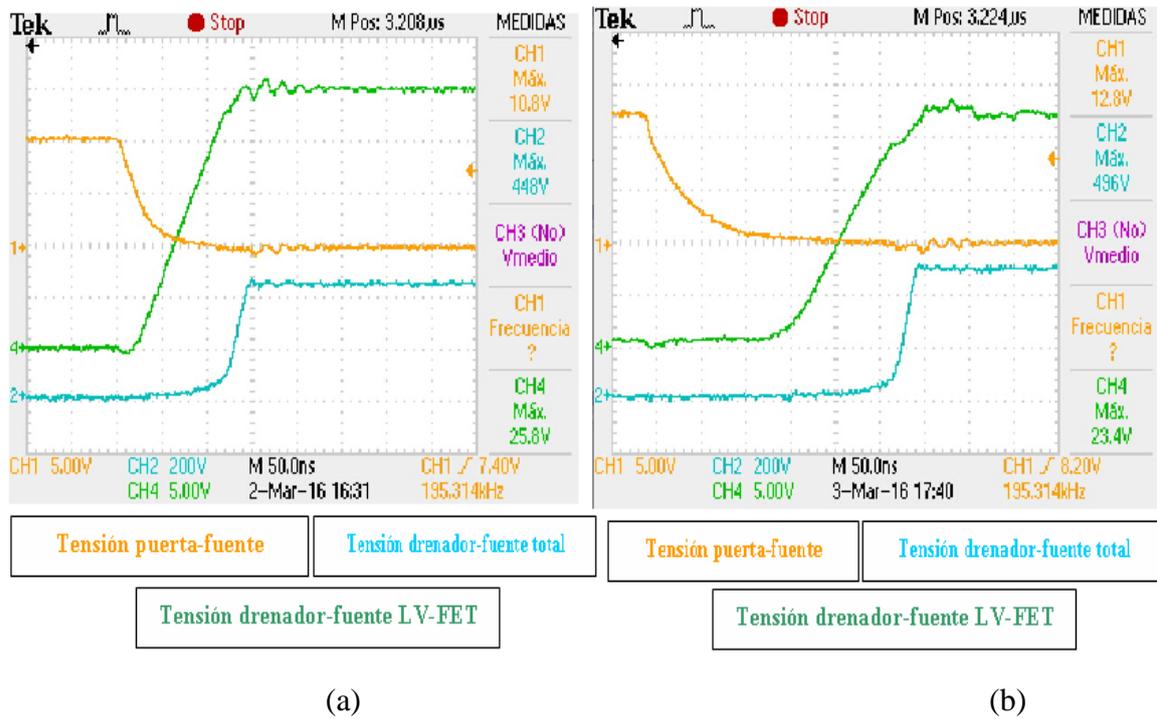


Figura 5.11.- Formas de onda para la visualización del tiempo de avalancha y conmutación del LV-FET cuando se emplea un condensador externo de 8000pF (a) y cuando se emplea uno de 10000pF (b)

6. Conclusiones y trabajos futuros

A lo largo de este trabajo, se ha realizado una presentación de un interruptor en cascodo, basado en tecnología de Silicio, utilizando un SJ-FET como dispositivo de alta tensión e incluyendo un estudio analítico de su proceso de conmutación así como también de un análisis de sus capacidades parásitas. Esta topología se compara con aquella que solo emplea un SJ-FET utilizando para ello un convertidor elevador. Las comparaciones se establecen fundamentalmente a través de las pérdidas en conmutación generadas por ambas topologías, así como también en los rendimientos que se pueden llegar a alcanzar en el elevador cuando se usa el cascodo frente a cuando solo se emplea un SJ-FET.

Así mismo se han presentado modelos de simulación que intentan validar los resultados teóricos previamente obtenidos para ambas topologías así como también, se han realizado prototipos con los que se ha llegado a obtener, resultados experimentales concretos. En particular, a partir de dichos resultados se ha llegado a comprobar cómo a medida que la frecuencia de conmutación va aumentando y por tanto las pérdidas en conmutación empiezan a ser predominantes en el total de pérdidas, la configuración en cascodo presenta una cierta mejoría en su comportamiento en conmutación, frente a la topología que solo emplea un SJ-FET.

De esta forma, debido a este comportamiento en conmutación, la configuración en cascodo puede ser empleada para incrementar la frecuencia del convertidor, manteniendo el mismo SJ-FET, como dispositivo de alta tensión. También se ha comprobado cómo al utilizar un LV-FET con menor tensión drenador-fuente, se consiguen mejoras en el rendimiento debido al menor valor de avalancha alcanzado por su diodo parásito, lo cual reduce las pérdidas en conmutación del LV-FET provocando que el rendimiento del cascodo se incremente respecto a cuando se emplean LV-FETs de mayor tensión drenador-fuente.

Finalmente, con el objetivo de reducir el tiempo de avalancha en el diodo parásito del LV-FET, se han realizado pruebas conectando un condensador externo entre drenador y fuente de dicho MOSFET, de tal manera que a medida que el valor de la capacidad del

condensador se incrementaba, el tiempo de avalancha en el LV-FET disminuía y por tanto también las pérdidas que se producen durante el apagado, debidas a la circulación de corriente por el diodo parásito en avalancha del MOSFET. De esta forma, al reducir el tiempo de avalancha el rendimiento conseguido en el cascode aumentaba ligeramente. No obstante, el tiempo de conmutación del LV-FET va aumentando conforme lo hace el valor de la capacidad del condensador exterior, llegando a provocar, para valores altos de dicha capacidad, que la conmutación del SJ-FET se vea afectada. De esta forma, hay un momento en el que el rendimiento logrado empieza a disminuir.

Con respecto a los futuros trabajos que se podrían realizar siguiendo la línea de lo aquí presentado, cabe destacar por ejemplo el poder llegar a realizar más pruebas con otros MOSFET de baja tensión y que presenten otras características para poder comparar rendimientos conseguidos entre ellos y con la topología que solo emplea un SJ-FET. También por ejemplo, el llegar a realizar pruebas a más frecuencia de conmutación, en este trabajo se ha llegado hasta los 400 kHz, pero se podrían seguir haciendo pruebas a mayores frecuencias, para analizar si llega un momento en el que el cascode según se va incrementando la frecuencia de conmutación, consigue un rendimiento claramente por encima del logrado con un solo SJ-FET. También, realizar pruebas a más potencia, la máxima a la que se ha trabajado en este trabajo es de 400 W, pero se puede ir aumentando potencia y ver por ejemplo lo que ocurre a 1 kW con los rendimientos por parte de ambas topologías. Por supuesto, todo el trabajo realizado se ha llevado a cabo en modo de conducción continuo (MCC), se abre pues como otra tarea para el futuro el llegar a hacer pruebas en modo de conducción discontinuo (MCD) y ver lo que ocurre con los rendimientos alcanzados en esas condiciones determinando la máxima frecuencia de conmutación que se podría llegar a alcanzar. Además, también se podría llegar a trabajar en nuevos modelos y figuras de mérito que permitan establecer nuevas comparaciones entre la configuración en cascode y topología que solo emplea un SJ-FET.

7. Anexos

Anexo 1: Diseño de la bobina para la etapa de potencia del convertidor elevador

En condiciones nominales, el convertidor operará a potencia máxima, lo cual limita la carga mínima que puede manejar dicho convertidor.

$$P_{\text{máx}} = \frac{V_{\text{out}}^2}{R_{L\text{min}}} \quad (\text{A1.1})$$

Si la carga baja, la potencia aumenta puesto que siempre se va a considerar que la tensión de salida, se mantiene fija en 400 V. Si se sube la carga, la potencia disminuye tal y como se puede comprobar a partir de la expresión (A1.1). De este modo, al variar la carga, lo que se hace es variar la corriente de salida, consiguiendo que se modifique la corriente media por la bobina.

Así pues, lo que se hace es que el modo de conducción frontera (MCF) se dé a la mitad de la potencia máxima.

$$P_{g\text{frontera}} = \frac{P_{\text{máx}}}{2} = \frac{300\text{W}}{2} = 150\text{W} \quad (\text{A1.2})$$

Para llegar a esa potencia frontera, habrá que subir la carga:

$$R_{L\text{frontera}} = \frac{V_{\text{out}}^2}{P_{g\text{frontera}}} = \frac{400\text{V}^2}{150\text{W}} = 1066,7\Omega \quad (\text{A1.3})$$

En la frontera, se debe cumplir que la corriente mínima sea cero.

$$\bar{I}_L = I_g = \frac{P_{g\text{frontera}}}{V_g} = \frac{150\text{W}}{150\text{V}} = 1\text{A} \quad (\text{A1.4})$$

$$I_{Lmin} = \overline{I_L} - \frac{\Delta I_L}{2} \quad (A1.5)$$

Para poder obtener el valor de la bobina de la expresión (A1.5), se conoce el valor medio de corriente por la bobina, obtenido en la expresión (A1.4), y como se ha comentado el valor mínimo de corriente por la bobina en la frontera es de 0 A.

$$0A = 1A - \frac{V_g \cdot d \cdot T}{2 \cdot L} \Rightarrow 1A = \frac{150V \cdot 0,625 \cdot 10\mu s}{2 \cdot L} \Rightarrow L = 468,75\mu H \quad (A1.6)$$

Una vez conocido el valor de la inductancia, se necesitan conocer otros parámetros para poder elaborar la bobina, tales como el número de vueltas, el entrehierro necesario, el diámetro del hilo de cobre utilizado, el número de hilos de cobre utilizados, etc.

Para obtener el número óptimo de vueltas, se utilizan las expresiones de las pérdidas en el cobre y en el hierro, descritas en las expresiones (2.48) y (2.50). De tal manera, que igualando ambas expresiones y despejando el parámetro “n”, se obtiene el número óptimo de vueltas en la bobina.

$$n_{op} = \sqrt[4]{\frac{K \cdot V_e \cdot F^x \cdot L^2 \cdot I_p^2 \cdot A_w \cdot f_w \cdot \sigma_{cu}}{2 \cdot \pi \cdot r_m \cdot I_{Lef}^2 \cdot Ae^2}} \quad (A1.7)$$

Donde:

K: Es una constante

Ve: Volumen efectivo del núcleo

F: Frecuencia de conmutación

x: Exponente muy variable

L: Valor de la inductancia

Ip: Valor de pico de la componente alterna de la corriente

A_w: Área de ventana, sección total de la ventana del núcleo

f_w: Factor de ventana

σ_{cu}: Conductividad del cobre de valor 5,96*10⁷ S/m

r_m: Es el radio medio del núcleo, cuyo valor puede obtenerse a partir de las dimensiones del núcleo utilizado.

I_{Lef} : Valor eficaz de la forma de onda de corriente que pasa por la bobina

A_e : Área efectiva del núcleo

Al conocer el valor numérico de todos los parámetros que integran la expresión (A1.7), se ha podido obtener el número óptimo de vueltas que se aplicará en la elaboración de la bobina.

$$n_{op} = 48 \text{ vueltas}$$

Una vez conocidos los valores del número óptimo de vueltas y de la inductancia de la bobina, se puede obtener el valor del entrehierro (g) que se va a utilizar en la misma.

$$g = \frac{\mu_0 \cdot A_e}{A_{L0}} \left(\frac{A_{L0} \cdot n^2}{L} - 1 \right) \quad (A1.8)$$

Donde:

μ_0 : Permeabilidad del vacío de valor, $4\pi \cdot 10^{-7}$ H/m

A_e : Área efectiva del núcleo

A_{L0} : Permeancia sin entrehierro

L : Valor de la inductancia

n : Número de vueltas

Al conocer el valor numérico de los parámetros que forman la expresión (A1.8), se ha podido calcular el valor del entrehierro que se usará en la bobina.

$$g = 0,3 \text{ mm}$$

Para el diámetro del hilo de cobre utilizado, se ha de tener en cuenta que a alta frecuencia, si la sección del hilo de cobre es muy grande la corriente no se distribuye uniformemente por todo el conductor por lo que hay que utilizar hilos de cobre de un diámetro más pequeño que el diámetro Skin.

$$d_{skin} = \left(2 \cdot 10^3 \right) \sqrt{\frac{\rho}{\pi \cdot \mu_0 \cdot F}} \quad (A1.9)$$

Donde:

ρ : Es la resistividad del cobre, de valor $1,754 \cdot 10^{-8} \Omega \cdot m$

F: frecuencia de conmutación

μ_0 : Permeabilidad del vacío, de valor, $4\pi \cdot 10^{-7} H/m$

Conocidos todos los valores en la expresión (A1.9) se puede obtener que:

$$d_{skin} = 0,422 \text{ mm}$$

Así pues el diámetro del hilo elegido, que ha de ser menor que el diámetro Skin, es de:

$$d_{hilo} = 0,3 \text{ mm}$$

Finalmente, también se especifica el número de hilos en paralelo que caben como máximo, de acuerdo al valor del diámetro obtenido.

$$N_{hilos\ máx} = \frac{4 \cdot S}{\pi \left(d_{hilo} \cdot 10^{-3} \right)^2} \quad (A1.10)$$

Donde S es el valor de la máxima sección de cobre admisible, la cual, se puede obtener de la siguiente forma:

$$S = \frac{f_w \cdot A_w}{n_{op}} = \frac{0,3 \cdot (177 \text{ mm}^2)}{48} = (1,11 \cdot 10^{-6}) \text{ m}^2/\text{vuelta} \quad (A1.11)$$

Conocido el valor de S, ya se puede conocer el valor del máximo número de hilos, a partir de la expresión (A1.10).

$$N_{hilos\ máx} = \frac{4 \cdot (1,11 \cdot 10^{-6})}{\pi \left(0,3 \cdot 10^{-3} \right)^2} = 15,7 \text{ hilos} \quad (A1.12)$$

Así pues este sería el máximo valor de hilos con el que se podría trabajar. Para este diseño en concreto se ha optado por usar: $N_{hilos} = 14$ hilos en paralelo.

Anexo 2: Resultados numéricos en las medidas de rendimiento

A continuación se recogen las tablas con los resultados numéricos obtenidos en las mediciones y comparaciones de rendimientos entre la topología que solo emplea un SJ-FET, y la configuración en cascodo, que se encuentra detallado en el capítulo 5.

- Datos numéricos para distintos valores de la carga usando un SJ-FET IPW65R095C7 y para una frecuencia de conmutación de 100 kHz

SJ-FET – C7				
Potencia de Salida (W)	R_L (Ω)	P_g (W)	Rendimiento	Rendimiento (%)
100	1600	120,338	0,902	90,2
150	1066,667	172,817	0,931	93,1
200	800	211,12	0,941	94,1
250	640	259,376	0,948	94,8
300	533,333	307,165	0,958	95,8
350	457,143	354,531	0,963	96,3
400	400	401,917	0,966	96,6

CASCODO				
Potencia de Salida (W)	R_L (Ω)	P_g (W)	Rendimiento	Rendimiento (%)
100	1600	130,593	0,894	89,4
150	1066,667	188,5	0,922	92,2
200	800	228,613	0,931	93,1
250	640	277,321	0,94	94
300	533,333	307,588	0,953	95,3
350	457,143	373,133	0,95	95
400	400	418,645	0,954	95,4

Tabla A2.1.- Comparativa entre SJ-FET C7 y cascodo, conmutación a 100 kHz y variando la carga

- Datos numéricos para distintos valores de la carga usando un SJ-FET IRFPC50 y para una frecuencia de conmutación de 100 kHz

SJ-FET – IRFPC50				
Potencia de Salida (W)	R_L (Ω)	P_g (W)	Rendimiento	Rendimiento (%)
100	1600	112,648	0,922	92,2
150	1066,667	162,11	0,937	93,7
200	800	200,413	0,945	94,5
250	640	247,312	0,954	95,4
300	533,333	303,167	0,957	95,7
350	457,143	341,411	0,96	96
400	400	391,175	0,96	96

CASCODO				
Potencia de Salida (W)	R_L (Ω)	P_g (W)	Rendimiento	Rendimiento (%)
100	1600	113,703	0,91	91
150	1066,667	156,078	0,921	92,1
200	800	201,637	0,94	94
250	640	248,052	0,948	94,8
300	533,333	293,626	0,953	95,3
350	457,143	339,378	0,954	95,4
400	400	388,397	0,955	95,5

Tabla A2.2.-Comparativa entre SJ-FET IRFPC50 y cascodo, conmutación a 100 kHz y variando la carga

- Datos numéricos para distintos valores de la carga usando un SJ-FET IRFPC50 y para una frecuencia de conmutación de 200 kHz

SJ-FET – IRFPC50				
Potencia de Salida (W)	R_L (Ω)	P_g (W)	Rendimiento	Rendimiento (%)
150	1066,667	163,92	0,959	95,9
200	800	202,39	0,965	96,5
250	640	251,082	0,967	96,7
300	533,333	298,838	0,97	97
350	457,143	347,213	0,97	97
400	400	394,683	0,97	97

CASCODO				
Potencia de Salida (W)	R_L (Ω)	P_g (W)	Rendimiento	Rendimiento (%)
150	1066,667	165,085	0,949	94,9
200	800	203,429	0,956	95,6
250	640	250,147	0,959	95,9
300	533,333	297,134	0,962	96,2
350	457,143	343,599	0,962	96,2
400	400	389,107	0,962	96,2

Tabla A2.3.- Comparativa entre SJ-FET IRFPC50 y cascodo, conmutación a 200 kHz y variando la carga

- Datos numéricos para distintos valores de la carga usando un SJ-FET IRFPC50 y para una frecuencia de conmutación de 400 kHz

SJ-FET – IRFPC50				
Potencia de Salida (W)	R_L (Ω)	P_g (W)	Rendimiento	Rendimiento (%)
170	941,176	181,635	0,946	94,6
200	800	222,128	0,952	95,2
250	640	271,863	0,954	95,4
300	533,333	324,005	0,957	95,7
350	457,143	371,831	0,96	96
400	400	422,282	0,96	96

CASCODO				
Potencia de Salida (W)	R_L (Ω)	P_g (W)	Rendimiento	Rendimiento (%)
170	941,176	184,551	0,945	94,5
200	800	202,524	0,95	95
250	640	267,67	0,954	95,4
300	533,333	313,305	0,951	95,1
350	457,143	362,434	0,955	95,5
400	400	407,191	0,957	95,7

Tabla A2.4.- Comparativa entre SJ-FET IRFPC50 y cascodo, conmutación a 400 kHz y variando la carga

- Datos numéricos para distintos valores de la carga usando un SJ-FET IRFPC50, para una frecuencia de conmutación de 200 kHz y para un MOSFET de baja tensión Si9426DY

SJ-FET – IRFPC50				
Potencia de Salida (W)	R_L (Ω)	P_g (W)	Rendimiento	Rendimiento (%)
170	941,176	169,855	0,9582	95,82
200	800	202,39	0,965	96,5
250	640	251,082	0,967	96,7
300	533,333	298,838	0,97	97
350	457,143	347,213	0,97	97
400	400	394,683	0,97	97

CASCODO				
Potencia de Salida (W)	R_L (Ω)	P_g (W)	Rendimiento	Rendimiento (%)
170	941,176	169,801	0,9597	95,97
200	800	196,191	0,9655	96,55
250	640	250,931	0,967	96,7
300	533,333	298,933	0,9667	96,67
350	457,143	343,673	0,9673	96,73
400	400	390,723	0,9682	96,82

Tabla A2.5.- Comparativa entre SJ-FET IRFPC50 y cascode con LV-FET Si9426 DY, conmutación a 200 kHz y variando la carga

8. Bibliografía

- [1] E. Persson, “Practical Application of 600V GaN HEMTs in Power Electronics”, Applied Power Electronics Conference and Exposition (APEC), Professional Education Seminar, 2015.
- [2] D. C. Sheridan, D. Y. Lee, A. Ritenour, V. Bondarenko, J. Yang, and C. Coleman, “Ultra-Low Loss 600V – 1200V GaN Power Transistors for High Efficiency Applications”, Proc. Power Conversion Intelligent Motion Europe, pp. 330-337, 2014.
- [3] Rodriguez , A.; Fernandez Diaz, M.; Lamar, D.G.; Arias Perez de Azpeitia, M.; Hernando, M.M.; Sebastian, J., "Switching Performance Comparison of the SiC JFET and SiC JFET/Si MOSFET Cascode Configuration," in Power Electronics, IEEE Transactions on , vol.29, no.5, pp.2428-2440, May 2014
- [4] “The only standard gate-drive SiC device-anywhere”, [online] USCi, 2015 Disponible en: <http://unitedsic.com/cascodes/>
- [5] L. C. Murillo Carrasco, and A. J. Forsyth, “Energy Analysis and Performance Evaluation of GaN Cascode Switches in an Inverter Leg Configuration”, Applied Power Electronics Conference and Exposition (APEC), pp. 2424-2431, 2015.
- [6] José Millán; Philippe Godignon; Xavier Perpiñà; Amador Pérez-Tomás; José Rebollo, “A survey of wide bandgap power semiconductor devices”, in Power Electronics, IEEE Transactions on, vol.29, no.5, May 2014.
- [7] Artur Seibt, “Performance Comparisons of SiC Transistors, GaN Cascodes and Si – Coolmos in SMPS”, Bodo’s Power Systems, March 2015.
- [8] G. Lütkeke, and H. C. Raets, “High Voltage Frequency Class-E Converter Suitable for Miniaturization”, Power Electronics Specialists Conference (PESC), pp. 54-61, 1984.
- [9] Zúñiga, Javier Sebastián. “Diseño de sistemas electrónicos de potencia”, Diseño de Sistemas Electrónicos de Potencia, 4º Grado en Ingeniería de Telecomunicación, 2014.

9. Planificación

En este capítulo se detalla la planificación seguida para la realización de las distintas tareas que forman el proyecto. Se especifican las tareas con unos plazos de ejecución orientativos, ya que algunas de ellas fueron retomadas para realizar algunos cambios en las mismas. Finalmente, se mostrará el correspondiente diagrama de Gantt del proyecto.

Tarea	Descripción	Fecha Inicial	Fecha Final	Nº Días
Tarea 1	Estudio teórico de la configuración en cascodo	21/09/2015	02/10/2015	12
Tarea 2	Análisis de las capacidades parásitas en el cascodo	05/10/2015	12/10/2015	8
Tarea 3	Estudio teórico del convertidor elevador	19/10/2015	31/10/2015	13
Tarea 4	Estimación analítica de las pérdidas en ambas topologías	02/11/2015	16/11/2015	15
Tarea 5	Diseño del modelo de simulación para ambas topologías	23/11/2015	04/12/2015	12
Tarea 6	Diseño la PCB para el montaje en cascodo	07/12/2015	21/12/2015	15
Tarea 7	Construcción y adaptación de ambos prototipos en el laboratorio	04/01/2016	25/01/2016	22
Tarea 8	Programación en la FPGA para la generación de las señales de control	27/01/2016	08/02/2016	13
Tarea 9	Obtención de resultados para el MOSFET C7	10/02/2016	17/02/2016	7
Tarea 10	Obtención de resultados para el MOSFET IRFPC50	18/02/2016	25/02/2016	7
Tarea 11	Reparación de los prototipos	29/02/2016	14/03/2016	15
Tarea 12	Obtención de resultados para el LV-FET Si9426DY	15/03/2016	22/03/2016	7
Tarea 13	Obtención de resultados en la disminución del tiempo de avalancha	23/03/2016	30/03/2016	7
Tarea 14	Elaboración de la documentación que forma el proyecto	31/03/2016	30/04/2016	31

Tabla 9.1.- Planificación de las tareas del proyecto

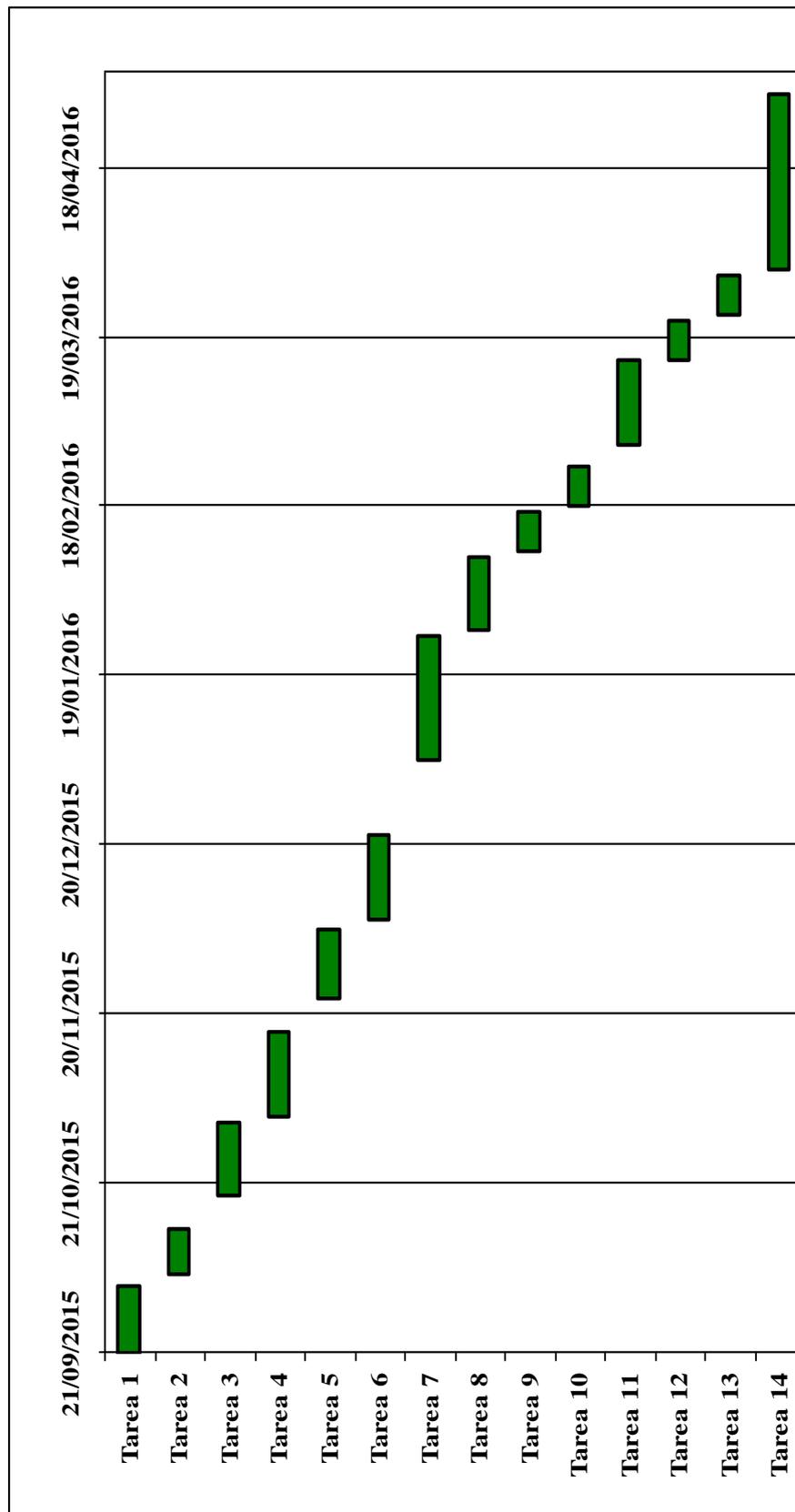
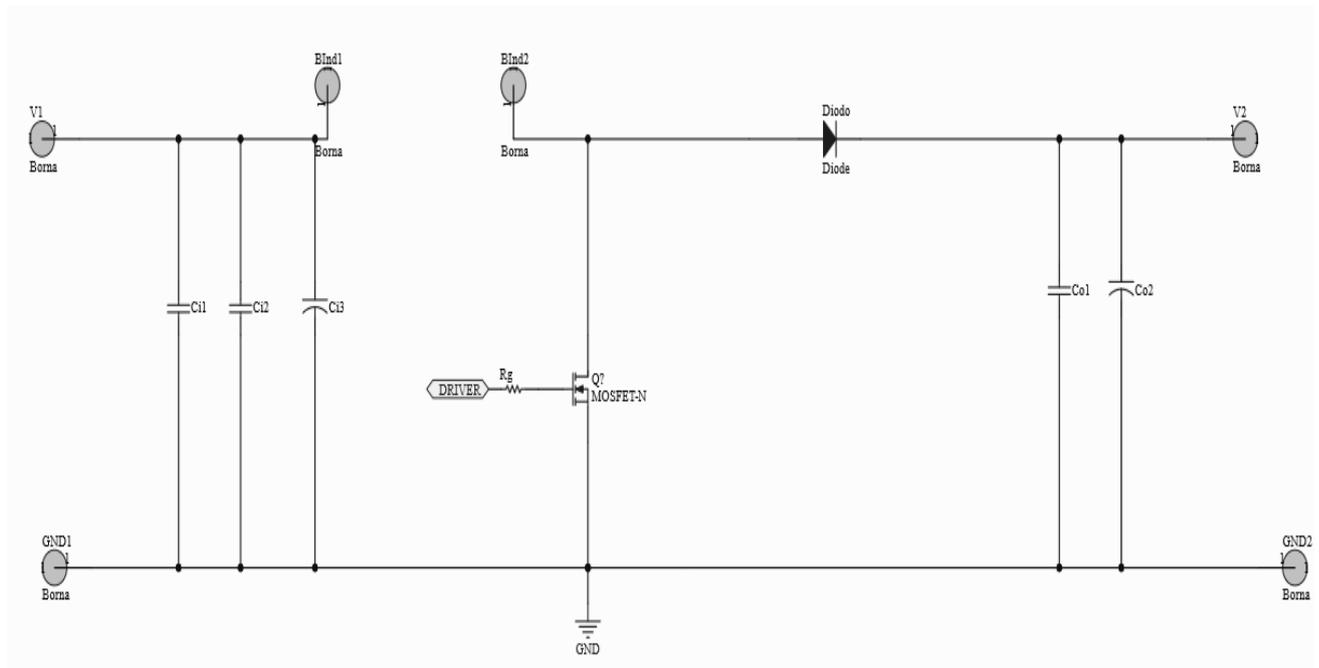
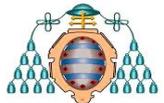
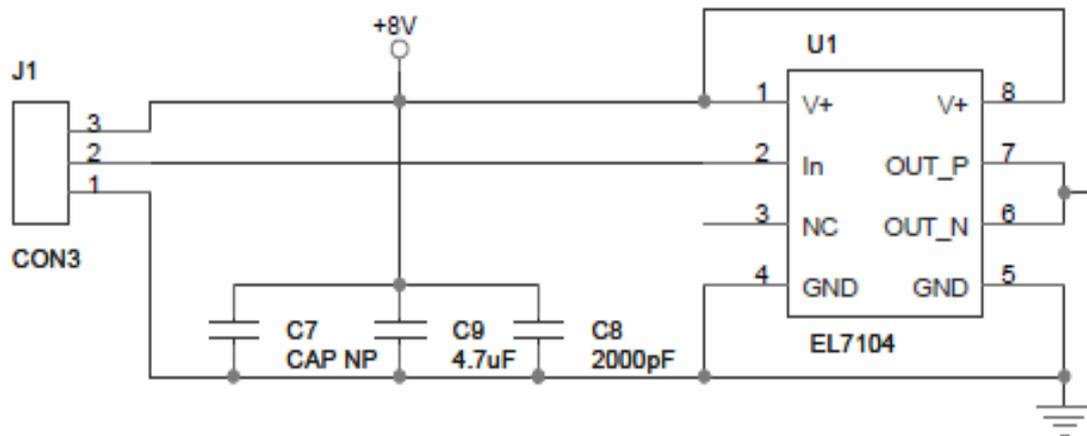


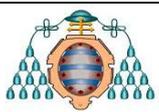
Figura 9.1.- Diagrama de Gantt del proyecto

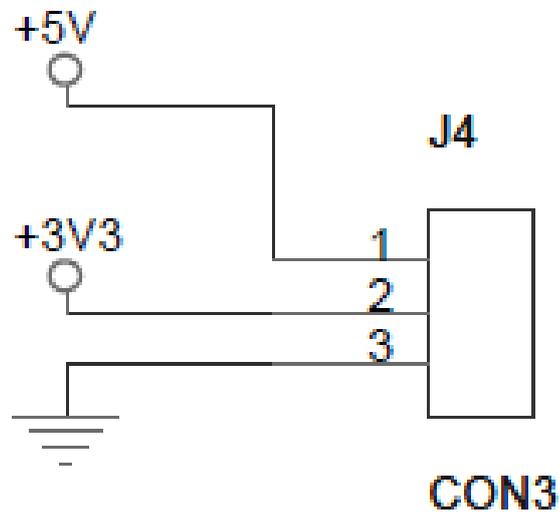
PLANOS ELÉCTRICOS

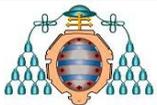


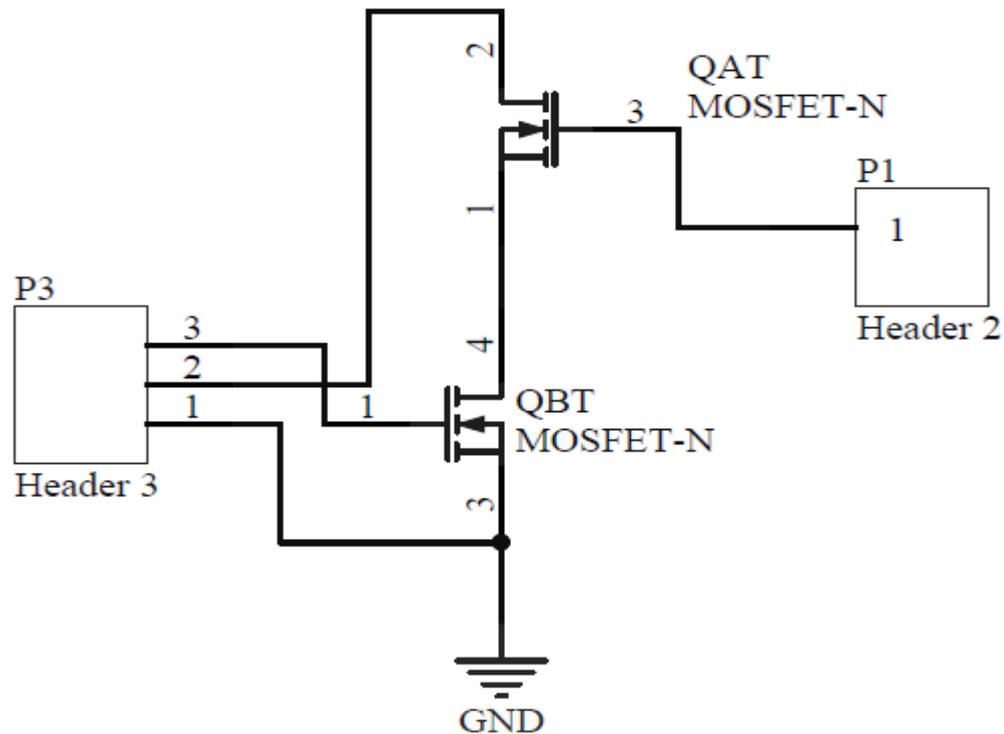
 UNIVERSIDAD DE OVIEDO	Plano: 1601214_1	ESCUELA POLITÉCNICA DE INGENIERÍA DE GIJÓN - TRABAJO FIN DE GRADO -
Fecha: 28-03-2016	ESQUEMA ELÉCTRICO DE LA ETAPA DE POTENCIA DEL CONVERTIDOR ELEVADOR	
Escala: S/E	Proyectado, dibujado: Abraham López Antuña	Comprobado: Alberto Rodríguez Alonso



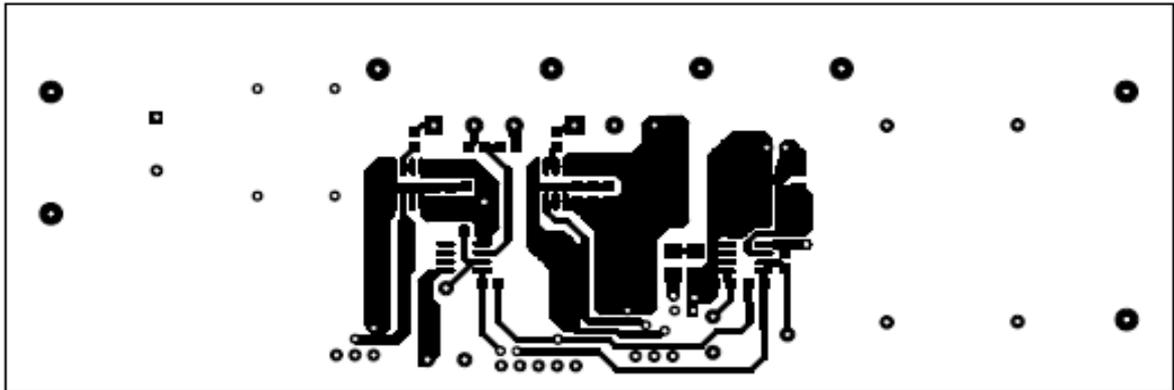
 UNIVERSIDAD DE OVIEDO	Plano: 1601214_2	ESCUELA POLITÉCNICA DE INGENIERÍA DE GIJÓN - TRABAJO FIN DE GRADO -
Fecha: 28-03-2016	ESQUEMA ELÉCTRICO DEL DRIVER	
Escala: S/E	Proyectado, dibujado: Abraham López Antuña	Comprobado: Alberto Rodríguez Alonso

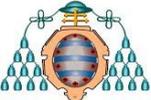


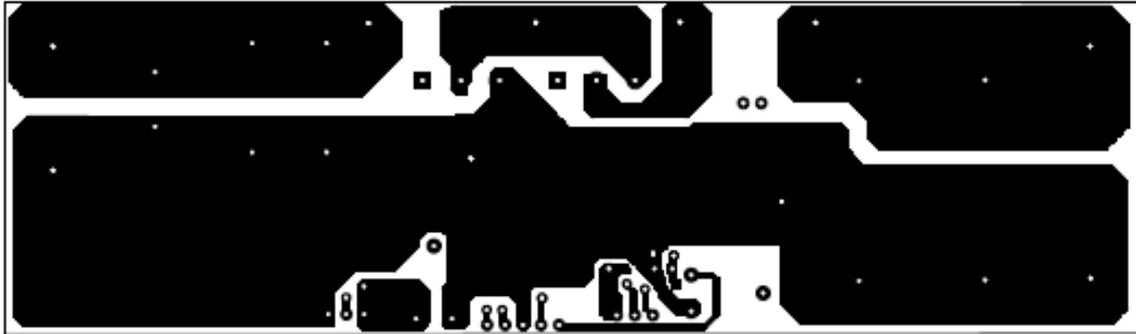
 UNIVERSIDAD DE OVIEDO	Plano: 1601214_3	ESCUELA POLITÉCNICA DE INGENIERÍA DE GIJÓN - TRABAJO FIN DE GRADO -
Fecha: 28-03-2016	ESQUEMA ELÉCTRICO DE LA ALIMENTACIÓN DEL DRIVER	
Escala: S/E	Proyectado, dibujado: Abraham López Antuña	Comprobado: Alberto Rodríguez Alonso



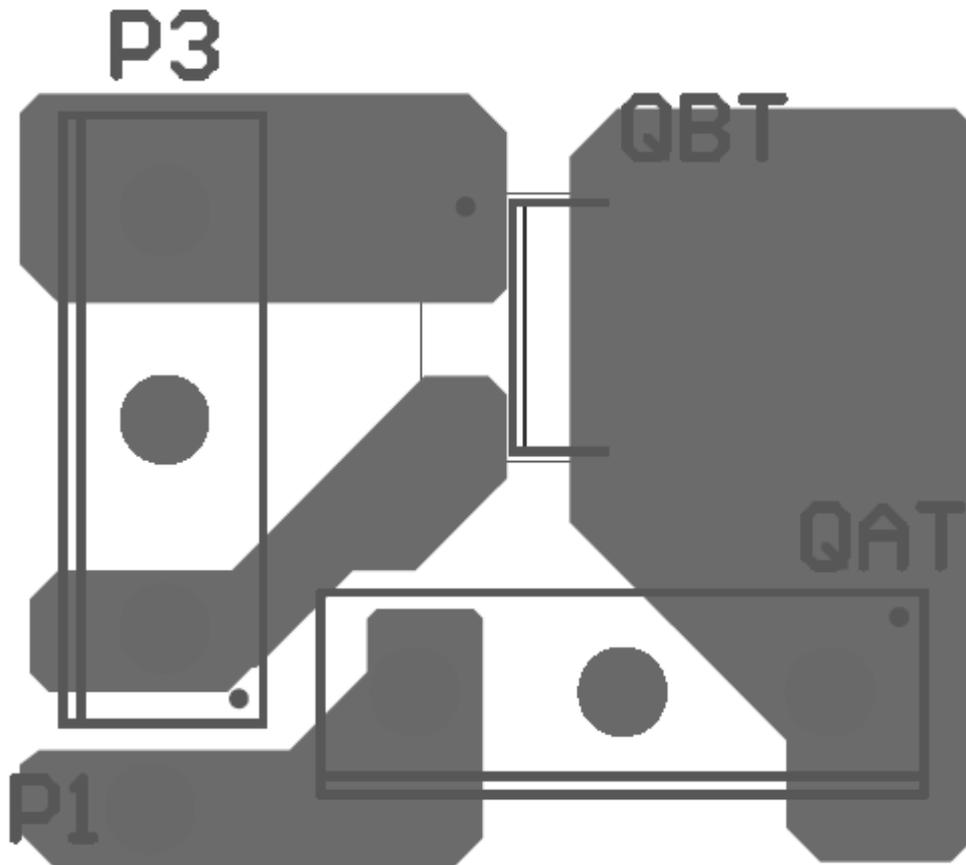
 UNIVERSIDAD DE OVIEDO	Plano: 1601214_4	ESCUELA POLITÉCNICA DE INGENIERÍA DE GIJÓN - TRABAJO FIN DE GRADO -
Fecha: 28-03-2016	ESQUEMA ELÉCTRICO DE LA CONFIGURACIÓN EN CASCODO	
Escala: S/E	Proyectado, dibujado: Abraham López Antuña	Comprobado: Alberto Rodríguez Alonso

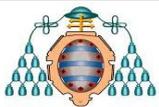


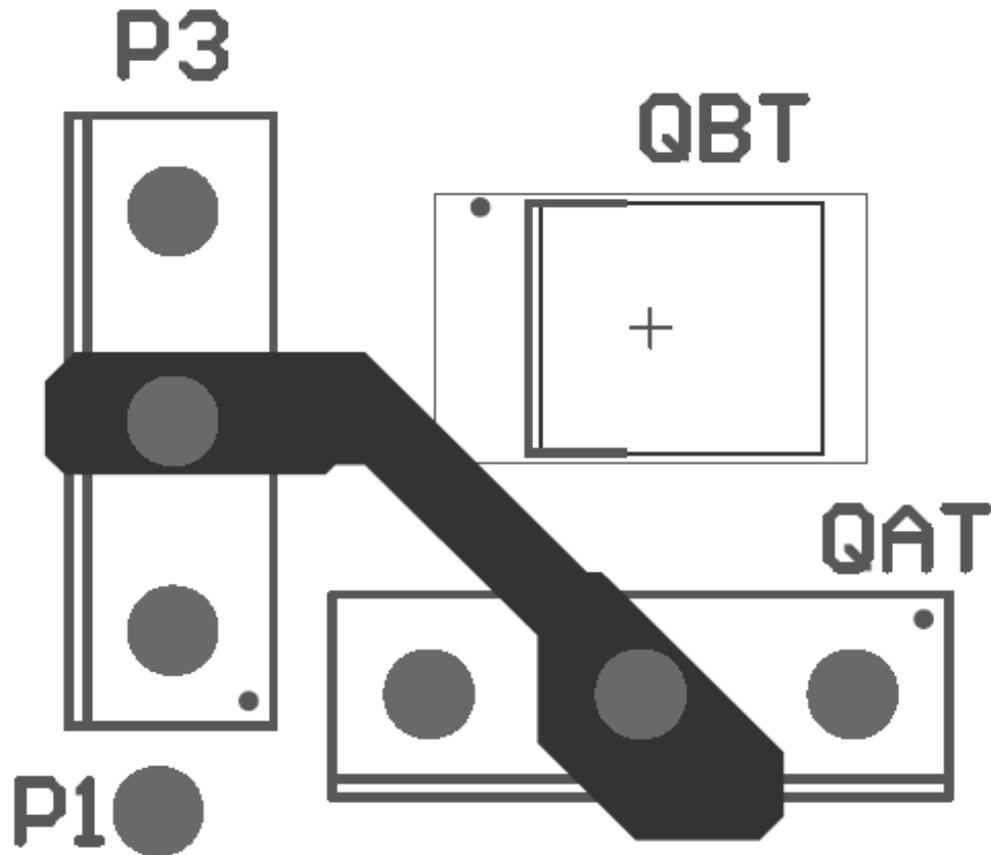
 <p>UNIVERSIDAD DE OVIEDO</p>	<p>Plano: 1601214_5</p>	<p>ESCUELA POLITÉCNICA DE INGENIERÍA DE GIJÓN - TRABAJO FIN DE GRADO -</p>
<p>Fecha: 28-03-2016</p>	<p>FOTOLITO DE LA CAPA SUPERIOR DEL CONVERTIDOR ELEVADOR</p>	
<p>Escala: S/E</p>	<p>Proyectado, dibujado: Abraham López Antuña</p>	<p>Comprobado: Alberto Rodríguez Alonso</p>

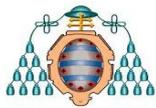


 <p>UNIVERSIDAD DE OVIEDO</p>	<p>Plano: 1601214_6</p>	<p>ESCUELA POLITÉCNICA DE INGENIERÍA DE GIJÓN - TRABAJO FIN DE GRADO -</p>
<p>Fecha: 28-03-2016</p>	<p>FOTOLITO DE LA CAPA INFERIOR DEL CONVERTIDOR ELEVADOR</p>	
<p>Escala: S/E</p>	<p>Proyectado, dibujado: Abraham López Antuña</p>	<p>Comprobado: Alberto Rodríguez Alonso</p>



 <p>UNIVERSIDAD DE OVIEDO</p>	<p>Plano: 1601214_7</p>	<p>ESCUELA POLITÉCNICA DE INGENIERÍA DE GIJÓN - TRABAJO FIN DE GRADO -</p>
<p>Fecha: 28-03-2016</p>	<p>FOTOLITO DE LA CAPA SUPERIOR DE LA CONFIGURACIÓN EN CASCODO</p>	
<p>Escala: S/E</p>	<p>Proyectado, dibujado: Abraham López Antuña</p>	<p>Comprobado: Alberto Rodríguez Alonso</p>



 UNIVERSIDAD DE OVIEDO	Plano: 1601214_8	ESCUELA POLITÉCNICA DE INGENIERÍA DE GIJÓN - TRABAJO FIN DE GRADO -
Fecha: 28-03-2016	FOTOLITO DE LA CAPA INFERIOR DE LA CONFIGURACIÓN EN CASCODO	
Escala: S/E	Proyectado, dibujado: Abraham López Antuña	Comprobado: Alberto Rodríguez Alonso

PRESUPUESTO

1.- DISPOSICIONES GENERALES

En este documento se detalla una relación de costes de los prototipos diseñados. Los precios que se detallan son orientativos, aunque pueden ser considerados como una buena cota superior, debido a que en todos los casos, se ha optado por marcar el precio más elevado correspondiente, al lote con menos unidades por pedido.

Cabe destacar también, que a la hora de estimar el coste de personal, las horas indicadas son también bastante orientativas, aunque pueden ser una buena aproximación de acuerdo a la planificación descrita en el apartado 8 de la Memoria.

2.- PRESUPUESTO DE MATERIALES

PRESUPUESTO DE COMPONENTES DE LA TOPOLOGÍA CON UN SOLO SJ-FET				
Nº	Nº Unidades	Concepto	Precio unitario	Subtotal
1	4	Borna de tipo banana hembra	0,58 €	2,32 €
2	1	Condensador MKP de 1 μ F	2,90 €	2,90 €
3	4	Condensador MKS de 1 μ F	2,30 €	9,20 €
4	1	Driver EL7104	6,97 €	6,97 €
5	1	Diodo CREE C3D06060A	2,73 €	2,73 €
6	1	MOSFET canal N IPW65R095C7	7,14 €	7,14 €
7	1	MOSFET canal N IRFPC50	6,10 €	6,10 €
8	2	Conectores pinza de cocodrilo	0,36 €	0,72 €
9	1	Bobina ETD 39 468,75 μ H	40,00 €	40,00 €
10	1	Bobina ETD 39 225,45 μ H	35,00 €	35,00 €
11	1	Bobina ETD 39 146,57 μ H	30,00 €	30,00 €
12	1	Resistencia SMD 0805 de 4,7 Ω	0,15 €	0,15 €
13	2	Condensador cerámico SMD 1206 de 10 μ H	0,40 €	0,80 €
14	1	Conector hembra Arduino	0,45 €	0,45 €
15	1	PCB de la topología con un solo SJ-FET	75,00 €	75,00 €

TOTAL COMPONENTES UN SOLO SJ-FET	219,48 €
---	-----------------

PRESUPUESTO DE COMPONENTES DE LA TOPOLOGÍA EN CASCODO				
Nº	Nº Unidades	Concepto	Precio unitario	Subtotal
16	4	Borna de tipo banana hembra	0,58 €	2,32 €
17	1	Condensador MKP de 1 μ F	2,90 €	2,90 €
18	4	Condensador MKS de 1 μ F	2,30 €	9,20 €
19	1	Driver EL7104	6,97 €	6,97 €
20	1	Diodo CREE C3D06060A	2,73 €	2,73 €
21	1	MOSFET canal N IPW65R095C7	7,14 €	7,14 €
22	1	MOSFET canal N IRFPC50	6,10 €	6,10 €
23	1	MOSFET canal N IPF135N03LG	2,70 €	2,70 €
24	1	MOSFET canal N Si9426 DY	2,10 €	2,10 €
25	1	MOSFET canal N ATP 202	2,35 €	2,35 €
26	2	Conectores pinza de cocodrilo	0,36 €	0,72 €
27	1	Bobina ETD 39 468,75 μ H	40,00 €	40,00 €
28	1	Bobina ETD 39 225,45 μ H	35,00 €	35,00 €
29	1	Bobina ETD 39 146,57 μ H	30,00 €	30,00 €
30	1	Resistencia SMD 0805 de 4,7 Ω	0,15 €	0,15 €
31	2	Condensador cerámico SMD 1206 de 10 μ H	0,40 €	0,80 €
32	1	Condensador electrolítico 10 μ F	0,96 €	0,96 €
33	1	Condensador MKT de 10 μ F	4,57 €	4,57 €
34	1	Conector hembra Arduino	0,45 €	0,45 €
35	1	PCB de la topología en cascodo	95,00 €	95,00 €

TOTAL COMPONENTES CASCODO	252,16 €
----------------------------------	-----------------

PRESUPUESTO DE COMPONENTES DEL CIRCUITO DE ADAPTACIÓN DE LAS SEÑALES DE GOBIERNO				
Nº	Nº Unidades	Concepto	Precio unitario	Subtotal
36	1	Resistencia SMD 0805 de 680 kΩ	0,02 €	0,02 €
37	1	Resistencia SMD 0805 de 120 kΩ	0,02 €	0,02 €
38	1	Resistencia SMD 0805 de 330 kΩ	0,02 €	0,02 €
39	1	Resistencia SMD 0805 de 1 kΩ	0,01 €	0,01 €
40	2	Condensador cerámico SMD 1206 de 10 μF	0,40 €	0,80 €
41	3	Condensador cerámico SMD 1206 de 2,2 μF	0,70 €	2,10 €
42	1	Condensador cerámico SMD 1206 de 10 nF	0,11 €	0,11 €
43	3	Condensador cerámico SMD 1206 de 100 nF	0,22 €	0,66 €
44	2	Bobinas de choque SMD de modo común	2,66 €	5,32 €
45	1	Convertidor con aislamiento DCH010512SN7	4,72 €	4,72 €
46	1	Regulador de tensión LT1763	4,85 €	4,85 €
47	1	Regulador de tensión ADP3300	1,02 €	1,02 €
48	1	Aislador digital ISO721	3,73 €	3,73 €
49	1	Diodo LED SMD	0,68 €	0,68 €
50	1	PCB del circuito de adaptación	20,00 €	20,00 €

TOTAL COMPONENTES CIRCUITO DE ADAPTACIÓN	44,06 €
---	----------------

PRESUPUESTO TOTAL DE COMPONENTES				
Nº	Nº Unidades	Concepto	Precio unitario	Subtotal
51	1	Topología con un solo SJ-FET	219,48 €	219,48 €
52	1	Topología con conexión en cascodo	252,16 €	252,16 €
53	2	Circuito de adaptación de las señales de gobierno	44,06 €	88,12 €
54	-	Cableado	12,00 €	12,00 €
55	-	Conectores para PCB	8,00 €	8,00 €
56	1	FPGA: Basys 2 Spartan-3E	70,89 €	70,89 €

TOTAL CAPÍTULO 1:	650,65 €
--------------------------	-----------------

3.- PRESUPUESTO DE PERSONAL

PRESUPUESTO TOTAL DEL PERSONAL				
Nº	Nº Unidades	Concepto	Precio unitario	Subtotal
1	100	Horas de investigación (estudios teóricos, simulación, etc.)	15,00 €	1.500,00 €
2	170	Horas de laboratorio (construcción de prototipos, pruebas, etc.)	20,00 €	3.400,00 €
3	100	Horas de elaboración de la documentación	15,00 €	1.500,00 €
TOTAL CAPÍTULO 2:				6.400,00 €

4.- PRESUPUESTO TOTAL

CAPÍTULO 1: COMPONENTES	650,65 €
CAPÍTULO 2: PERSONAL	6.400,00 €

PRESUPUESTO DE EJECUCIÓN MATERIAL	7.050,65 €
GASTOS GENERALES (15 %)	1.057,60 €
BENEFICIO INDUSTRIAL (6 %)	423,04 €

TOTAL PARCIAL	8.531,29 €
IVA (21 %)	1.791,57 €

PRESUPUESTO DE EJECUCIÓN POR CONTRATA	10.322,86 €
--	--------------------

Asciende el presupuesto de Ejecución por Contrata a la cantidad de **DIEZ MIL TRESCIENTOS VEINTIDÓS EUROS CON OCHENTA Y SEIS CÉNTIMOS.**

Nava, a 1 de Abril de 2016

Fdo: Abraham López Antuña