

Optimización del diseño de convertidores fuente/sumidero para sistemas de distribución en corriente continua

Kevin Martin, Aitor Vázquez, Manuel Arias, Javier Sebastián
Grupo de Sistemas Electrónicos de Alimentación,
Campus de Viesques s/n, Universidad de Oviedo
Email: martinkevin@uniovi.es

Resumen—Los sistemas de distribución en corriente continua requieren el uso de convertidores como interfaz con los elementos del sistema. Estos convertidores deben proporcionar alta calidad de suministro y ser eficientes, compactos y baratos. Además, las características de las cargas y fuentes conectadas pueden ser muy variadas y cambiar significativamente durante su funcionamiento, exigiendo un diseño del convertidor que tenga en cuenta estos factores. Este trabajo propone un proceso de diseño y optimización de cualquier Proveedor de Canal en un sistema de distribución de corriente continua. Basado en modelos, es extensible a diferentes topologías y tiene en cuenta las condiciones adicionales debidas a las diferentes cargas y fuentes que el usuario puede conectar a su salida. Los resultados experimentales de tres diseños muestran un buen ajuste de los modelos y verifican como el proceso de diseño propuesto optimiza las pérdidas cumpliendo con los requisitos del sistema.

Palabras clave – Convertidores cc-cc, Distribución de energía, Optimización de diseño.

I. INTRODUCCIÓN

Los Sistemas de Distribución de Corriente Continua (SDCCs) se han convertido en una alternativa cada vez más popular a los sistemas tradicionales de corriente alterna en múltiples aplicaciones. Algunos ejemplos son los equipos de telecomunicación [1]–[4], la creciente electrificación en el transporte [4]–[6] o la electrificación de áreas rurales y remotas integrando Energías Renovables (ER) y Sistemas de Almacenamiento de Energía (SAR) [7]. Las principales razones para el uso de SDCCs son la mejora en la fiabilidad y la robustez de la red, el incremento en la eficiencia y la densidad de potencia y el menor coste de estos sistemas [1], [8].

En muchos casos, los SDCCs son sistemas cerrados donde todos los elementos que se pueden conectar están perfectamente caracterizados desde la etapa de diseño y se conocen sus perfiles de demanda o inyección de potencia. Sin embargo, hay aplicaciones concretas de los SDCCs donde uno o varios usuarios pueden interactuar con el sistema, modificando su estructura. Las cargas o fuentes que estos usuarios pueden conectar son desconocidas durante el diseño de estos SDCCs, complicando significativamente la tarea [8]–[10]. Algunos ejemplos de SDCCs con cargas y fuentes muy variables son aquellos pensados para hogares o espacios ocupados, donde el usuario es quien decide en cada momento qué desea alimentar y que fuentes de energía conecta al sistema [1], [11].

Los SDCCs domésticos se conciben típicamente como una arquitectura multi-bus [1], semejante a la mostrada en la Fig. 1. La interfaz con la red de distribución de corriente

alterna se implementa con un Convertidor de Entrada (CE) de alta potencia que proporciona un bus estable de alta tensión de Corriente Continua (CC) (380 V en la Fig. 1), donde se conectan esencialmente ER, SAR y las cargas de alta potencia como pueden ser ordenadores, equipos multimedia y electrodomésticos. Los buses o canales de baja tensión (24 V en la Fig. 1) se obtienen utilizando Proveedores de Canal aislados (PCas) bidireccionales. Internamente, esos PCas se implementan con un Convertidor de Bus Intermedio aislado (CBIa) bidireccional y varios convertidores no aislados y de baja potencia que actúan como Proveedores de Canal no aislados (PCnas). Si bien la estructura de la Fig. 1 se puede modificar para adoptar diversas arquitecturas, es un buen ejemplo de la propuesta de EMerge Alliance [12]. También permite ver claramente la multitud de condiciones en las que pueden operar los PCas y, por lo tanto, los CBIas y PCnas, dependiendo de los elementos conectados al sistema en cada momento y las necesidades del usuario. Esto añade una gran complejidad al diseño de estos convertidores para su uso en SDCCs. Por una parte, deben permitir cambios en el flujo de potencia, tanto en valor como en dirección. Además deben asegurar un buen comportamiento dinámico con elementos conectados al bus con impedancias de entrada muy distintas y variables.

En este trabajo se propone un proceso de diseño y optimización de los convertidores utilizados en SDCCs. Las pérdidas del convertidor son minimizadas para unas condiciones iniciales de diseño mientras se asegura que se cumplen los requisitos de calidad de suministro de potencia estática y dinámica cuando el usuario conecta distintas cargas o fuentes al canal de baja tensión. Este proceso de diseño es independiente de la topología y hace especial hincapié en la variabilidad de las cargas y la interacción del usuario. Se concibe además como un procedimiento sencillo y automatizado basado en modelos de pérdidas sencillas. El diseñador debe escoger únicamente el núcleo magnético, los MOSFETs y un pequeño conjunto de condiciones a nivel de sistema.

En la Sección II se detalla el proceso de diseño y optimización del convertidor para el caso general, mostrando en la Sección III un ejemplo de diseño para un convertidor reductor síncrono. Los convertidores diseñados con el procedimiento propuesto y los resultados experimentales obtenidos se muestran en la Sección IV. Finalmente, las conclusiones de este trabajo se detallan en la Sección V.

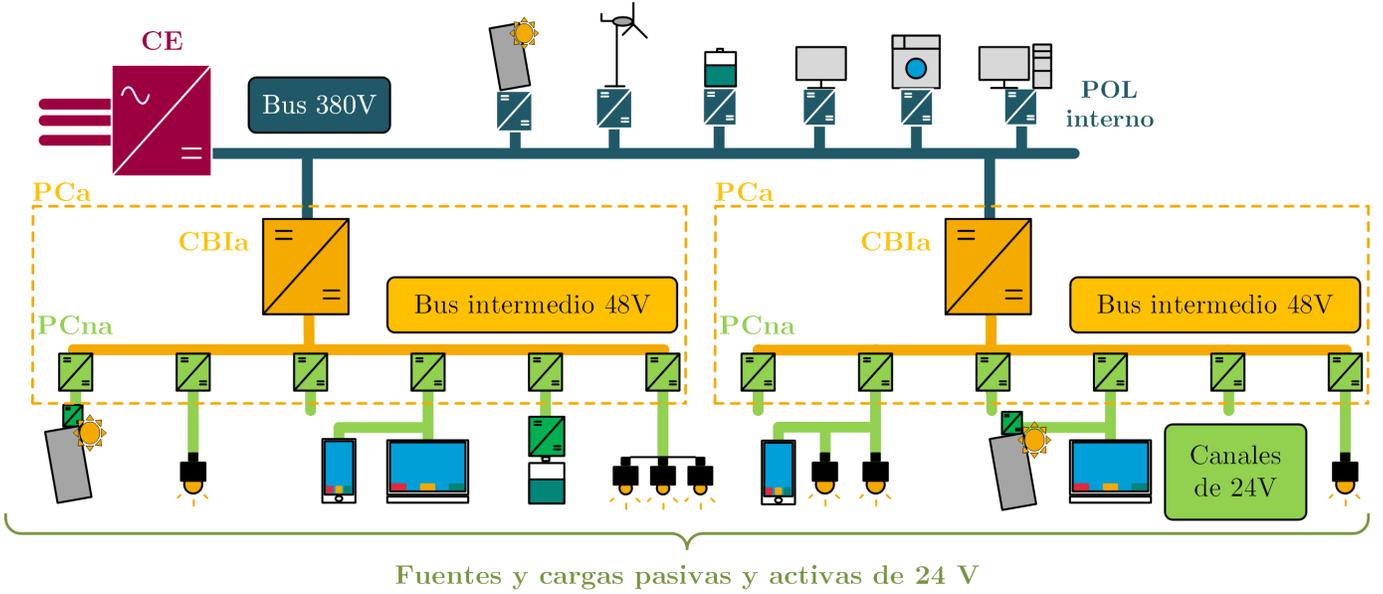


Figura 1: Ejemplo de la arquitectura multi-bus propuesta para un SDCC y la implementación de un PCa basado en una Arquitectura de Bus Intermedio.

II. DESCRIPCIÓN DEL PROCESO DE DISEÑO OPTIMIZADO

El proceso de diseño propuesto para optimizar el convertidor pasa por alcanzar un compromiso entre calidad de suministro, eficiencia, volumen y robustez frente a la conexión de elementos por parte del usuario. Este procedimiento de diseño debe tener en cuenta un pequeño número de factores clave:

- Rizado de la tensión de salida en régimen permanente (Δv_r).
- Desviación máxima de la tensión de salida durante saltos de carga (Δv_o).
- Frecuencia de conmutación óptima (f_{sopt}) para minimizar las pérdidas del convertidor (P_t).
- Carga capacitiva máxima permitida en el bus (C_e).

Trabajos anteriores han definido mapas de diseño para poder asegurar el correcto funcionamiento tanto en régimen permanente como durante transitorios en topologías concretas. Sin embargo, no optimizaban la frecuencia de conmutación, dando como resultado multitud de posibles diseños válidos que dependen de demasiadas variables a seleccionar por el diseñador [13], [14]. Además, dichos procedimientos tampoco tienen en cuenta el efecto de las cargas que el usuario puede conectar, que pueden afectar significativamente a la estabilidad del lazo de control [15].

En la Fig. 2 se muestra un ejemplo del mapa de diseño propuesto en este trabajo para una única frecuencia de conmutación (f_s) y un convertidor reductor. El rizado máximo permitido de la corriente por la inductancia (Δi_L) y la frecuencia de corte mínima del lazo de control (f_c) definen respectivamente los valores mínimo y máximo de la inductancia (L). Los requisitos a nivel de sistema proporcionados por Δv_r , Δv_o y C_e determinan tres límites inferiores para el condensador de salida requerido (C) para cada valor de L . Los valores de C mínimo que garantizan cumplir los requisitos impuestos sobre el máximo Δv_r en funcionamiento estático ($C_{\Delta v_r}$)

y el máximo Δv_o durante un salto de carga de magnitud ΔI_o ($C_{\Delta v_o}$) se pueden calcular para un convertidor reductor siguiendo las ecuaciones (1) y (2), propuestas en [13], [14]. Para otras topologías, resulta sencillo seguir el desarrollo teórico realizado en [13] para obtener dichas ecuaciones.

$$C_{\Delta v_r} \geq \frac{(1-D)V_o}{8f_s^2 L \Delta v_r} \quad (1)$$

$$C_{\Delta v_o} \geq \frac{D \Delta I_o T_s + \frac{\Delta I_o}{8f_c}}{\Delta v_o} \quad (2)$$

En una aplicación típica, la carga es conocida y el diseño del lazo de control del convertidor tiene en cuenta la impedancia

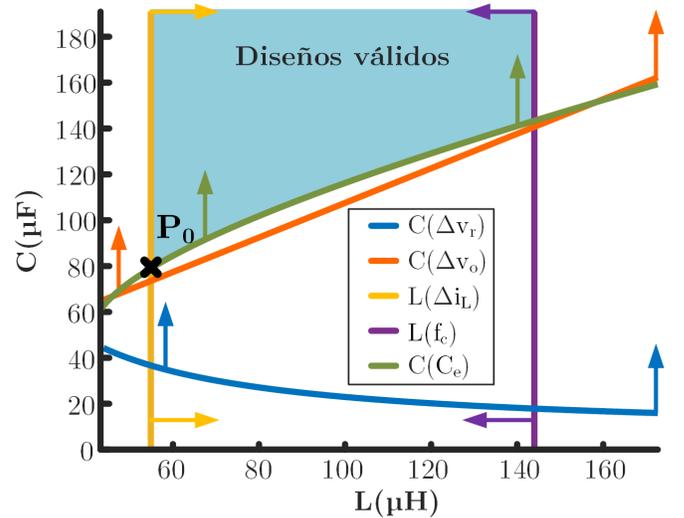


Figura 2: Ejemplo de diseño para el filtro de salida de un convertidor reductor con una frecuencia de conmutación.

que esta presenta. Sin embargo, al tratarse en este caso de un SDCC para aplicaciones domésticas, el usuario puede conectar distintas cargas capacitivas hasta un cierto valor máximo (C_e). Esta carga capacitiva degrada la respuesta dinámica del convertidor, en función de su valor y el del condensador de salida del convertidor C [15], [16]. Esta degradación fija un valor mínimo de condensador de salida C_d que permite garantizar que la nueva frecuencia de corte del lazo de regulación (f'_c) se mantiene suficientemente por encima de la nueva frecuencia de resonancia de la planta (f'_o) cuando se conecta C_e .

Para estimar los valores de f'_c y f'_o se pueden realizar las siguientes aproximaciones:

- La ganancia de lazo abierto T_s del convertidor reductor en modo tensión se puede aproximar en el entorno de f_c según la siguiente ecuación:

$$T_r(s) \Big|_{f \approx f_c} \approx \frac{2\pi f_c}{s} e^{j(\varphi_m - \frac{\pi}{2})} \quad (3)$$

donde φ_m es el margen de fase obtenido. La Fig. 3 muestra la validez de esta aproximación. Esta se puede considerar válida hasta una frecuencia de entorno a 2 veces f_o .

- La impedancia de salida del convertidor en el entorno de f_c se puede aproximar, en general, por la de su condensador de salida C .
- La impedancia de entrada de la carga en ese rango de frecuencias también se puede aproximar por la de un condensador, en este caso, C_e .

Sustituyendo en las ecuaciones de [15], se puede ver cómo el margen de fase en el entorno de f'_c apenas se modifica y que las nuevas frecuencias se pueden aproximar por:

$$f'_c \simeq f_c \frac{C}{C + C_e} \quad (4)$$

$$f'_o \simeq f_o \sqrt{\frac{C}{C + C_e}} \quad (5)$$

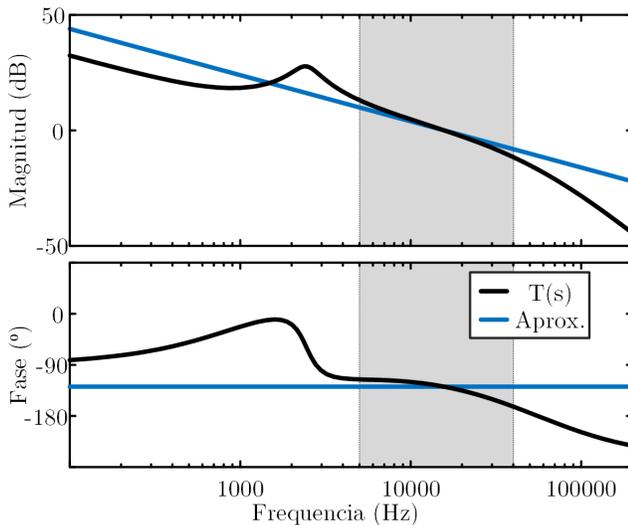


Figura 3: Aproximación de la ganancia de lazo abierto del convertidor reductor en modo tensión.

Para poder asegurar que el convertidor es estable cuando se conecta una carga capacitiva de valor C_e , se debe garantizar que f'_c sea suficientemente mayor que f'_o para asegurar estabilidad. De esta forma, se evita que la degradación del margen de fase sea demasiado grande, que la posible aparición de polos en el semiplano positivo no causen problemas y que la aproximación de la ecuación 3 sea cierta. El coeficiente N_d mínimo que relaciona las dos frecuencias se escoge de forma empírica entre 2 y 2,5. Para asegurar que $f'_c > N_d f'_o$, se combinan (4) y (5) para obtener el valor mínimo de C_d resolviendo (6).

$$2\pi f_c C_d \sqrt{LC_d} - N_d C_d \leq N_d C_e \quad (6)$$

Si bien el ancho de banda del lazo de regulación se ve afectado por la conexión de cargas capacitivas en el bus, la respuesta dinámica del convertidor apenas se modifica. Esto es debido a que el condensador equivalente conectado al canal de baja tensión (i.e. $C + C_e$) es mayor y compensa la degradación de f'_c :

$$\Delta v'_o \leq \frac{D \Delta I_o T_s + \frac{\Delta I_o (C + C_e)}{8 f_c C}}{C + C_e} \leq \Delta v_o \quad (7)$$

El mapa de diseño mostrado en la Fig. 2 tiene infinitos pares $\{L, C\}$ que satisfacen los requisitos impuestos a una frecuencia de conmutación f_s arbitraria. Sin embargo, hay un punto concreto del mapa que proporciona un diseño único de características interesantes. El par marcado como P_0 se encuentra dentro del área de diseños válidos y requiere el menor valor de C que cumple todos los requisitos para el valor mínimo de L . Incluso en el caso en que se decidiese utilizar un valor de L mayor, no es posible escoger un par válido con una capacidad de salida menor. La selección de P_0 , o cualquier otro punto válido del mapa con valores de L o C ligeramente mayores, que den un margen de seguridad al cumplimiento de los requisitos, dependerá fuertemente de qué aspectos sean más críticos en el diseño a realizar, la disponibilidad de componentes comerciales o la capacidad de fabricarlos a medida. Para este trabajo se ha usado el par P_0 por ser el que proporciona un filtro de menor volumen.

Una vez se define el criterio de diseño del filtro, es posible obtener un único par $\{L, C\}$ para cada f_s con un número reducido de ecuaciones. Típicamente se considera que diseñar para una f_s baja minimiza las pérdidas. Sin embargo, en la Fig. 4 se puede ver cómo la combinación de las pérdidas en los MOSFETs (P_Q) y la inductancia (P_L) en un convertidor de ejemplo hacen que las pérdidas aumenten de forma dramática cuando el valor de f_s es muy bajo. Existe, en general, una frecuencia f_s moderada que minimiza las pérdidas globales del convertidor (f_{sopt} en Fig. 4). Es importante tener en cuenta que este análisis de pérdidas se realiza para un mismo tamaño de núcleo magnético a todas las frecuencias de conmutación.

En la Fig. 5 se muestra el algoritmo de diseño propuesto. Inicialmente, el diseñador debe proporcionar un pequeño número de variables iniciales:

- Niveles de tensión, corriente y potencia en el convertidor.

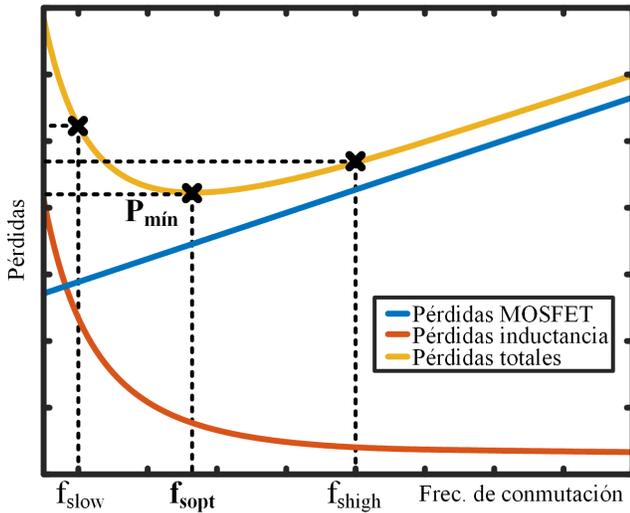


Figura 4: Pérdidas del reductor a diferentes frecuencias de conmutación y cálculo de f_{sopt} .

- Criterios de calidad de suministro $\{\Delta v_r, \Delta v_o\}$ y valor máximo de C_e .
- Un rizado de corriente por la inductancia (Δi_L) moderado para limitar las pérdidas, especialmente a baja carga, sin penalizar la dinámica del convertidor [13].

En base a estas entradas, se escogen un par de MOSFETS Q_p y Q_s y un cierto núcleo magnético en base al presupuesto, las restricciones de volumen y la experiencia del diseñador. Basándose en los datos proporcionados por los fabricantes y los modelos analíticos de pérdidas, se puede calcular una f_{sopt} que minimiza las pérdidas para los elementos seleccionados. Las pérdidas en los MOSFETS [17] y la inductancia [18], [19] se pueden modelar de forma sencilla con un conjunto de ecuaciones conocidas, dependientes esencialmente de la frecuencia de conmutación y una serie de constantes. Si el valor de Δi_L no es demasiado grande, las pérdidas debidas a la resistencia serie (ESR) de los condensadores se pueden considerar despreciables [14].

Una vez se obtiene f_{sopt} en función de las pérdidas en los MOSFETS y la inductancia, se pueden estimar las pérdidas totales del convertidor. Si estas son lo suficientemente bajas como para asegurar el buen funcionamiento del equipo y cumplir los objetivos de eficiencia, se puede seleccionar el par $\{L, C\}$ correspondiente al punto P_0 en el mapa de diseño particularizado para f_{sopt} . La implementación real de la inductancia sobre el núcleo magnético escogido se puede diseñar siguiendo los métodos tradicionales.

Una vez determinada la etapa de potencia, es posible calcular el lazo de control y evaluar el diseño realizado. En caso de que el resultado no sea satisfactorio, se puede modificar la selección de los MOSFETS, el núcleo magnético y Δi_L , iterando el proceso mostrado en la Fig. 5.

III. EJEMPLO DE DISEÑO PARA UN CONVERTIDOR REDUCTOR SÍNCRONO

Siguiendo el procedimiento propuesto, se diseña un PCna que debe proporcionar una salida de 24 V, ± 100 W desde un

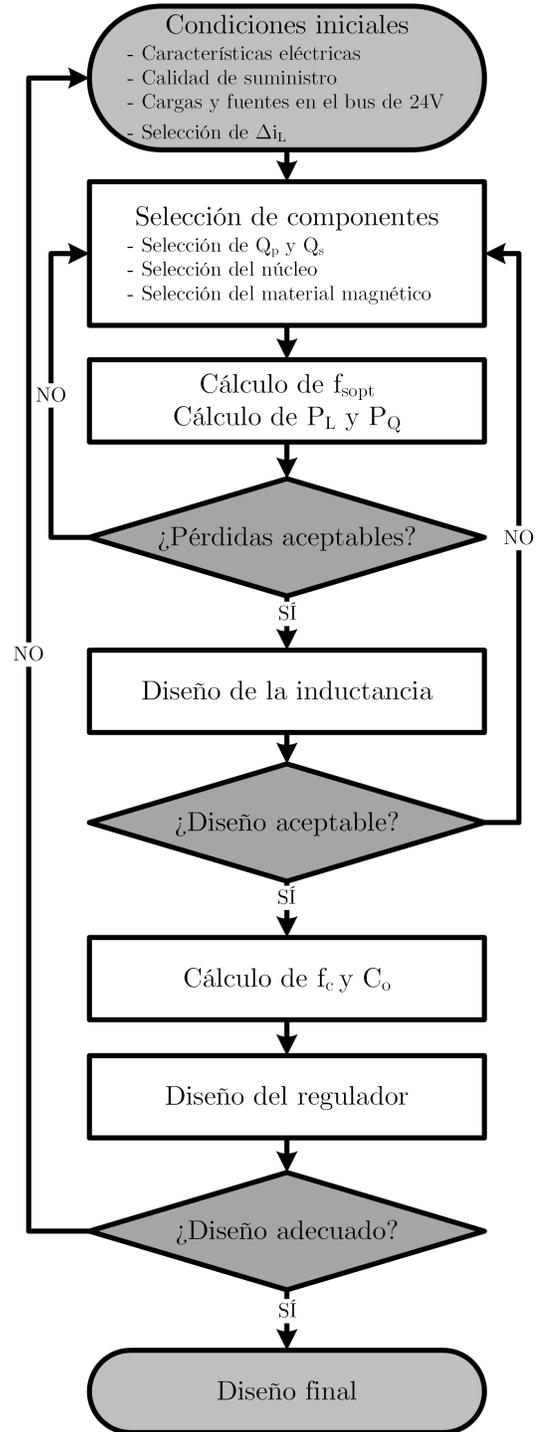


Figura 5: Diagrama de flujo del algoritmo de diseño propuesto.

bus intermedio de 48 V, como el mostrado en la Fig. 1. Se limita Δi_L a 833 mA (20 %) y se fija un Δi_o máximo de $\pm 4,16$ A. Δv_r y Δv_o se limitan a 120 mV y 1,2 V respectivamente y el valor máximo de C_e admitido es de 100 μ F, siguiendo las recomendaciones de [16].

Para este ejemplo, se diseña un convertidor reductor síncrono. Si bien la topología determina las ecuaciones exactas a usar, el proceso general de diseño presentado en la sección anterior se podría aplicar a cualquier otra topología cambiando únicamente las ecuaciones que determinan el comportamiento

estático y dinámico del condensador, así como la estimación de pérdidas.

Para este diseño se escoge el MOSFET FDB3502 para ambos interruptores y un núcleo RM8 en material N97. Se implementa un control analógico en modo tensión con el circuito integrado MC33023, del que se mide el consumo para incluirlo en la estimación de pérdidas. Los parámetros más reseñables de cada diseño, obtenidos con el algoritmo de optimizado propuesto en la sección anterior, se muestran en la Tabla I. Para comprobar que el diseño Óptimo que proporciona el método propuesto es realmente el que menores pérdidas presenta, se realizan dos diseños alternativos (Diseño 1 y Diseño 2) con distinta f_s .

Se puede ver en la Tabla I cómo estos diseños alternativos presentan la misma tendencia que se mostró en la Fig. 4. En el caso del Diseño 1, las pérdidas en los MOSFETs son más bajas que en el óptimo. Sin embargo, la inductancia presenta mayores pérdidas debido al mayor valor de L requerido. En el Diseño 2 las pérdidas son mayores en los MOSFETs y menores en la inductancia, presentando unas pérdidas totales ligeramente mayores pero requiriendo un filtro de salida menos voluminoso.

La selección de uno u otro diseño en una aplicación real dependerá fuertemente de los objetivos de diseño. Si bien el Diseño Óptimo presenta la mejor eficiencia, los otros dos diseños planteados pueden tener su interés en algunas circunstancias. Una f_s reducida, como en el caso del Diseño 1, puede ayudar a mitigar problemas de compatibilidad electromagnética. Las conmutaciones de los MOSFETs podrían ser más lentas sin incrementar significativamente las pérdidas o se podría llegar a tener emisiones en bandas de frecuencia por debajo de las reguladas. Incrementar f_s , como en el caso del Diseño 2, permite reducir significativamente el condensador de salida, abaratando el convertidor. Sin embargo, habría que evaluar el ahorro en fabricación frente al mayor coste de operación y la posibilidad de necesitar circuitería de control más cara y capaz de operar a las frecuencias requeridas.

IV. RESULTADOS EXPERIMENTALES

Los tres diseños realizados en la sección anterior se han construido y probado, comprobando que se cumplen los requisitos impuestos durante el proceso de diseño. En las Fig. 6 y Fig. 7 se muestran saltos de carga medidos sobre el prototipo del Diseño Óptimo. En ambas se puede ver cómo Δv_r es tan sólo 17 mV, mucho menor que el límite impuesto. Esto es debido a que el valor de C escogido es significativamente mayor que $C_{\Delta v_r}$.

Fig. 6 muestra la respuesta de la tensión de salida frente a un salto de carga de $-1,2$ A a 3 A. Además de demostrar

Tabla I: Parámetros clave de los diseños del PCna.

Parámetro	Diseño Óptimo	Diseño 1	Diseño 2
f_s (kHz)	183,5	90	360
f_c (kHz)	14,7	7,2	28,8
L (μ H)	78,5	160,0	40,0
$C(\Delta v_r)$ (μ F)	4,7	9,7	2,4
$C(\Delta v_o)$ (μ F)	39,0	79,6	19,9
$C(C_e)$ (μ F) C (μ F)	39,0	79,6	24,4
Pérdidas (W)	3,54	4,25	3,92

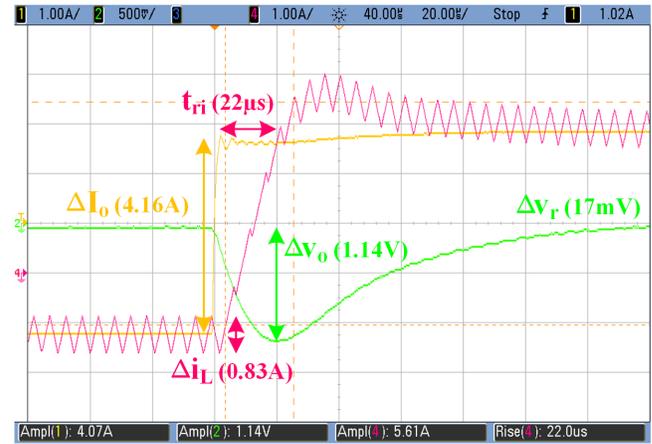


Figura 6: Escalón en la corriente de salida (CH1) entre $-1,2$ A y 3 A, mostrando la tensión de salida (CH2) y la corriente por la inductancia (CH4).

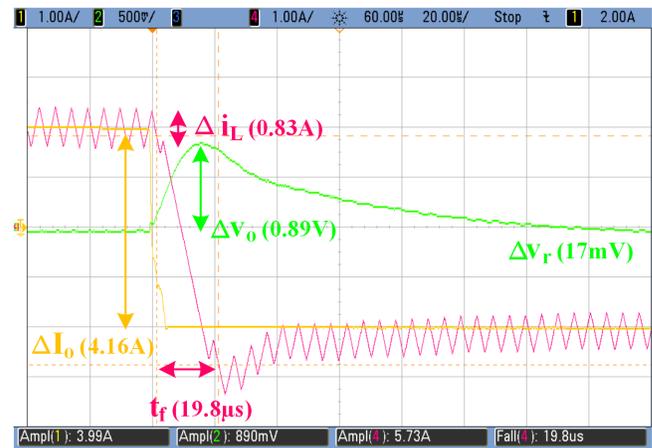


Figura 7: Escalón en la corriente de salida (CH1) entre 2,1 A y $-2,1$ A, mostrando la tensión de salida (CH2) y la corriente por la inductancia (CH4).

la correcta transición entre modo sumidero y fuente en el PCna, representa el peor caso para Δv_o . Esto se debe a que la limitación del ciclo de trabajo a 90 % del controlador reduce la derivada de corriente por la inductancia. Se han aplicado distintos saltos de carga en diferentes puntos de operación y el mayor Δv_o medido es 1,16 V, que cumple con las condiciones de diseño.

Fig. 7 muestra la respuesta en el caso en que el convertidor cambia entre modo sumidero y fuente, demostrando el correcto funcionamiento también en este caso. Puesto que el salto de carga en este caso es entre 2,1 A y $-2,1$ A, el ciclo de trabajo debe ser del 0 % durante la transición. Puesto que el controlador utilizado no tiene un límite inferior al ciclo de trabajo, la transición mostrada en Fig. 7 es más rápida, reduciendo Δv_o a 890 mV.

En la Fig. 8 se muestra la ganancia de lazo abierto del Diseño Óptimo a plena potencia con diferentes cargas capacitivas conectadas al bus, medidas con un Venable FRA6320. La degradación se ajusta bien a la estimación realizada en la Sección II basada [15]. La frecuencia de corte f_c disminuye al

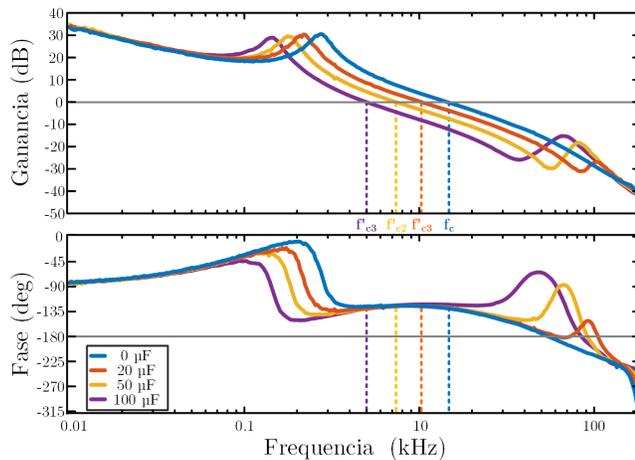


Figura 8: Ganancia en lazo abierto del Diseño Óptimo para distintas cargas capacitivas.

Tabla II: Pérdidas y eficiencia estimadas y medidas.

Parámetro	Diseño Óptimo	Diseño 1	Diseño 2
f_s (kHz)	183,5	90	360
Pérdidas estimadas (W)	3,54	4,25	3,92
Pérdidas medidas (W)	3,70	4,26	4,20
Eficiencia estimada (%)	96,58	95,92	96,08
Eficiencia medida (%)	96,45	95,92	96,01

aumentar la carga capacitiva y, debido a la condición impuesta sobre el condensador de salida, se mantiene suficientemente alejada de la resonancia, garantizando un buen margen de fase en cualquier punto de operación. Esto asegura que el PCna diseñado cumplirá con los requisitos de diseño independientemente de las cargas o fuentes conectadas por el usuario, siempre que se respete el límite de C_e impuesto.

Finalmente, la Tabla II muestra las pérdidas estimadas y medidas a plena carga de cada uno de los tres diseños realizados. Se puede ver cómo los resultados obtenidos se corresponden con las estimaciones y verifican la existencia de una frecuencia óptima de conmutación que minimiza las pérdidas. Siguiendo la valoración realizada en la Sección II, si el rendimiento no es un factor crítico en el diseño, el Diseño 2 podría ser más atractivo por presentar una buena eficiencia con un filtro de salida más pequeño y barato.

V. CONCLUSIONES

En este trabajo se presenta un proceso de diseño de convertidores para su integración en SDCCs. Se basa en proporcionar una gran calidad de suministro a la vez que se reducen las pérdidas, el coste y el volumen del convertidor.

Para el diseño únicamente es necesario proporcionar un número limitado de condiciones iniciales, basadas en las especificaciones del SDCC y en las limitaciones de tamaño y presupuesto.

Si bien el ejemplo mostrado en este trabajo está orientado a aplicaciones domésticas, el procedimiento presentado se puede utilizar para distintas aplicaciones y especificaciones, adaptando las ecuaciones a las topologías utilizadas.

AGRADECIMIENTOS

Este trabajo ha sido financiado por el Gobierno de España a través del proyecto DPI2013-47176-C2-2-R y el Gobierno del Principado de Asturias a través del proyecto SV-PA-17-RIS3-4, la beca “Severo Ochoa” BP14-085 y los fondos FEDER.

REFERENCIAS

- [1] D. Boroyevich, I. Cvetković, D. Dong, R. Burgos, F. Wang, and F. Lee, “Future electronic power distribution systems a contemplative view,” in *Proc. 12th Int. Conf. Optimization of Electrical and Electronic Equipment*, May 2010, pp. 1369–1380.
- [2] R. V. White, “Emerging on-board power architectures,” in *Proc. Eighteenth Annual IEEE Applied Power Electronics Conf. and Exposition APEC '03*, vol. 2, Feb. 2003, pp. 799–804 vol.2.
- [3] M. Barry, “Design issues in regulated and unregulated intermediate bus converters,” in *Proc. Nineteenth Annual IEEE Applied Power Electronics Conf. and Exposition APEC '04*, vol. 3, 2004, pp. 1389–1394 Vol.3.
- [4] T. Dragicevic, J. C. Vasquez, J. M. Guerrero, and D. Skrlec, “Advanced LVDC electrical power architectures and microgrids: A step toward a new generation of power distribution networks,” *IEEE Electrification Magazine*, vol. 2, no. 1, pp. 54–65, Mar. 2014.
- [5] D. Izquierdo, R. Azcona, F. J. L. d. Cerro, C. Fernández, and B. Delicado, “Electrical power distribution system (hv270dc), for application in more electric aircraft,” in *Proc. Twenty-Fifth Annual IEEE Applied Power Electronics Conf. and Exposition (APEC)*, Feb. 2010, pp. 1300–1305.
- [6] J. G. Ciezki and R. W. Ashton, “Selection and stability issues associated with a navy shipboard DC zonal electric distribution system,” *IEEE Transactions on Power Delivery*, vol. 15, no. 2, pp. 665–669, Apr. 2000.
- [7] P. A. Madduri, J. Poon, J. Rosa, M. Podolsky, E. Brewer, and S. Sanders, “A scalable dc microgrid architecture for rural electrification in emerging regions,” in *Proc. IEEE Applied Power Electronics Conf. and Exposition (APEC)*, Mar. 2015, pp. 703–708.
- [8] J. M. Guerrero, J. C. Vasquez, J. Matas, L. G. de Vicuna, and M. Castilla, “Hierarchical control of droop-controlled AC and DC microgrids — a general approach toward standardization,” *IEEE Transactions on Industrial Electronics*, vol. 58, no. 1, pp. 158–172, Jan. 2011.
- [9] V. Nasirian, S. Moayedi, A. Davoudi, and F. L. Lewis, “Distributed cooperative control of DC microgrids,” *IEEE Transactions on Power Electronics*, vol. 30, no. 4, pp. 2288–2303, Apr. 2015.
- [10] M. Rodriguez, G. Stahl, L. Corradini, and D. Maksimovic, “Smart DC power management system based on software-configurable power modules,” *IEEE Transactions on Power Electronics*, vol. 28, no. 4, pp. 1571–1586, Apr. 2013.
- [11] B. T. Patterson, “DC, come home: DC microgrids and the birth of the “*ernet*,”” *IEEE Power and Energy Magazine*, vol. 10, no. 6, pp. 60–69, Nov. 2012.
- [12] <http://www.emergealliance.org/>, Accessed: 2018-01-30.
- [13] K. Yao, Y. Ren, and F. C. Lee, “Critical bandwidth for the load transient response of voltage regulator modules,” *IEEE Transactions on Power Electronics*, vol. 19, no. 6, pp. 1454–1461, Nov. 2004.
- [14] A. Bjeletic, L. Corradini, D. Maksimović, and R. Zane, “Specifications-driven design space boundaries for point-of-load converters,” in *Proc. Twenty-Sixth Annual IEEE Applied Power Electronics Conf. and Exposition (APEC)*, Mar. 2011, pp. 1166–1173.
- [15] P. Li and B. Lehman, “Performance prediction of DC-dc converters with impedances as loads,” *IEEE Transactions on Power Electronics*, vol. 19, no. 1, pp. 201–209, Jan. 2004.
- [16] Ericsson AB, “DC/DC power modules basics - design note 024,” Ericsson AB, Tech. Rep., 2011.
- [17] G. Lakkas, “Mosfet power losses and how they affect power-supply efficiency,” Texas Instruments, Tech. Rep., 2016.
- [18] N. Garcia, “Determining inductor power losses - core, DCR and ACR losses,” Coilcraft, Tech. Rep., 2009.
- [19] Coilcraft, “Choosing inductors for energy efficient power applications,” Coilcraft, Tech. Rep., 2017.