

Comparativa de transistores de SiC de alta tensión en un elevador para frecuencias desde 100kHz a 1MHz

Alberto Rodríguez, Marcos Fernández, Aitor Vázquez, Diego G. Lamar, Manuel Arias y Javier Sebastián

Grupo de Sistemas Electrónicos de Alimentación
Escuela Politécnica de Ingeniería de Gijón. Universidad de Oviedo. Gijón, España
rodriguezalberto@uniovi.es

Resumen— En este artículo se presenta un análisis comparativo de varios transistores de Carburo de Silicio (SiC) disponibles actualmente en el mercado. Se realiza un análisis del rendimiento obtenido en un convertidor elevador (150V/400V) utilizando como interruptor principal un JFET de SiC, un cascode compuesto por un MOSFET de Si y un JFET de SiC y dos MOSFETs de SiC de distintos fabricantes. La comparación entre los distintos interruptores se hará en función del rendimiento del convertidor. Se han realizado comparativas en distintos modos de conducción, a distintas potencias (300W, 600W y 1kW) y a distintas frecuencias (100kHz, 400kHz y 1MHz).

En la experimentación se ha observado un buen comportamiento dinámico de todos los dispositivos probados, pudiendo obtener buenos rendimientos a altas frecuencias gracias a la disminución de las pérdidas de conmutación obtenida por el uso del modo de conducción discontinuo (MCD). Además, para altas potencias también se han obtenido buenos rendimientos gracias al modo de conducción continuo (MCC), aunque a menores frecuencias.

Palabras clave- Cascode configuration, high efficiency, high frequency, SiC JFET, SiC MOSFET

I. INTRODUCCIÓN

Los nuevos dispositivos electrónicos de potencia basados en semiconductores de banda prohibida ancha tienen unas características excepcionales para convertirse en el centro de atención de la electrónica de potencia de los próximos años. [1]-[3]. Las características más relevantes del Carburo de Silicio (SiC) son su elevado campo ruptura, ocho veces mayor que en el Silicio (Si) y su conductividad térmica, tres veces mayor. Estas características proveen a los dispositivos de potencia basados en SiC alta capacidad de bloqueo de la tensión, baja caída de tensión en estado de conducción, alta velocidad de conmutación y baja resistencia térmica. Todas estas propiedades permitirán diseñar convertidores conmutados de alta potencia, alta tensión y alta frecuencia (con la consiguiente reducción del tamaño de los mismos).

Aunque el uso de diodos Schottky de SiC es común desde 2001 [4]-[5] y la sustitución directamente de diodos de Si en diversos prototipos ha sido presentado por varios autores [6]-[8], la disponibilidad de transistores de SiC es muy diferente.

Actualmente, solo es posible la obtención comercial de transistores de SiC de Rohm (Japón), Cree (EEUU) y SemiSouth (EEUU). Otros fabricantes pueden suministrar muestras, pero no de manera comercial abierta. En todos los casos, se recomienda por el propio fabricante que no se considere una sustitución directa de estos transistores por los

transistores de Si utilizados hasta el momento. Se recomienda, por tanto, el uso de *drivers* particulares para cada dispositivo y diversos autores han presentado distintas soluciones [9]-[17].

En este artículo se presenta la comparación experimental entre el JFET de SiC de SemiSouth SJDP120R085 (en una configuración en cascode y directamente), el MOSFET de SiC de Cree CMF10120D y el MOSFET de SiC de Rohm SCT2080KE. Se han probado varias configuraciones, como la inclusión de diodos de libre circulación de SiC y de Si en todos los dispositivos. Los mencionados dispositivos se han probado como interruptor principal de un convertidor elevador.

La tensión de entrada y de salida del elevador son 150V y 400V respectivamente. El resto de especificaciones se modifican en función de la prueba que se desea realizar y se presentan en la Tabla I y la Tabla II.

Las pruebas se han realizado con dos objetivos distintos, por un lado un incremento de la frecuencia de conmutación, para lo que se ha usado el MCD (que reduce las pérdidas de conducción) y por otro lado un incremento de la potencia de salida, estas pruebas realizadas en MCC (para reducir las pérdidas de conducción). También se ha buscado un valor de compromiso entre las pérdidas de conmutación y de conducción, para tratar de determinar el mejor modo de conducción para una potencia y frecuencia dada.

II. CONFIGURACIÓN DE LOS DISPOSITIVOS BAJO PRUEBA

Los transistores de SiC que se van a comparar son de alta tensión (hasta 1200V) y alta corriente (hasta 35A). Las características principales de los mismos se presentan en la Tabla III. Para la configuración en cascode con el JFET de SiC normalmente cerrado (N-on), se ha utilizado un MOSFET de baja tensión, del cual también se proporcionan las características en la Tabla 3.

Tabla I. Especificaciones de las pruebas a baja/media potencia.

	Frecuencia (kHz)		
Potencia de salida (W)	100	400	1000
300	MCD	MCD	MCD
600	MCD	MCD	MCD

Tabla II. Especificaciones de las pruebas a alta potencia.

	Frecuencia (kHz)		
Potencia de salida (W)	100	200	400
1000	MCD	MCD	MCD
	MCC	MCC	MCD

Tabla III. Características más relevantes de los dispositivos bajo prueba.

	Si MOSFET (IRF7455)	N-on SiC JFET (SJDP120R085)	SiC MOSFET (CMF10120D)	SiC MOSFET (SCT2080KE)
Fabricante	International Rectifier	SemiSouth	Cree	Rohm
$V_{DS\ max}$ (V)	30	1200	1200	1200
$I_{D\ max}$ (A)	15	27	24	35
$R_{DSon\ max}$ (m Ω)	7.5	85	220	117
$V_{GS\ max}/V_{GS\ th}$ (V)	+12, -12 / 2	+15, -15 / -5	+25, -5 / 4	+22, -6 / 4
C_{iss} (pF)	3480 @	255 @	928 @	2080 @
C_{oss} (pF)	870 $V_{DS}=25\ V$	80 $V_{DS}=100\ V$	63 $V_{DS}=800\ V$	77 $V_{DS}=800\ V$
C_{rss} (pF)	100 $f=1\ MHz$	80 $f=100\ kHz$	7.45 $f=1\ MHz$	16 $f=1\ MHz$

A. Configuración directa del N-on SiC JFET.

Para el caso del uso directo del SiC JFET es necesario el empleo de un *driver* específico para un dispositivo N-on. El fabricante recomienda el uso de un *driver* desarrollado por SemiSouth (SGDR600P1), preparado para controlar SiC JFETs [9]. Este *driver* propuesto tiene limitaciones de frecuencia, y se ha testado hasta una frecuencia de conmutación de 250kHz detectando un fuerte incremento de la temperatura. Por este motivo y para poder probar este SiC JFET a más alta frecuencia se ha desarrollado un nuevo *driver* (Figura 1), siguiendo la estructura del anterior, preparado para funcionar a mayores frecuencias. Este *driver* se ha probado con buenos resultados hasta una frecuencia de 2MHz.

Cuando el convertidor está trabajando en el MCD, cercano al modo frontera, es posible que una pequeña corriente pueda circular a través del diodo parásito de libre circulación. En el caso del JFET, este diodo parásito no existe y por lo tanto esa corriente que debería circular a través del diodo de libre circulación, circularía por el *driver* y la unión puerta-drenador del JFET, lo cual es no deseable y puede provocar el deterioro o ruptura del mismo. La Figura 2 muestra un esquema de este proceso y en la Figura 3 se pueden apreciar las formas de onda que lo demuestran. Para evitar esta situación se colocará para todas las pruebas un diodo en antiparalelo con el SiC JFET.

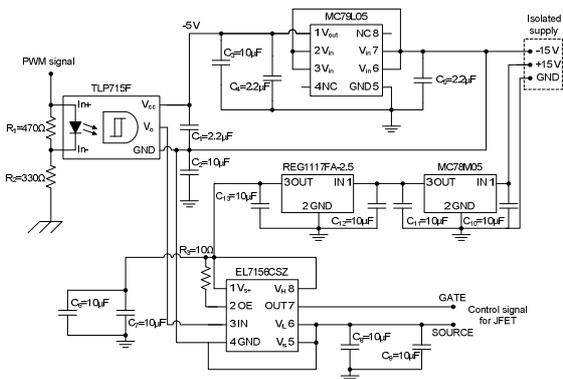


Figura 1. Esquemático del driver desarrollado para el N-on SiC JFET.

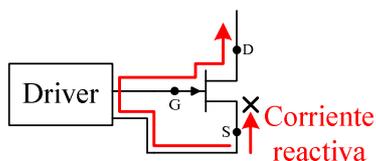


Figura 2. Flujo de la corriente reactiva sin diodo de libre circulación.

Usando el SiC JFET se han probado las siguientes configuraciones (Figura 5): JFET con diodo de libre circulación de Si y usando 2V en la puerta para activarlo (JFET+Si); JFET con diodo de libre circulación de SiC y con 2V en la puerta (JFET+SiC); JFET con diodo de libre circulación de SiC y con 0V en la puerta (JFET+SiC 0V). Los términos en paréntesis se utilizan para nombrar cada configuración en las gráficas de rendimiento que se presentarán en el apartado de resultados experimentales.

B. Configuración en cascodo del SiC JFET.

En el caso de usar una configuración en cascodo, compuesta por un MOSFET de Si de baja tensión y un JFET de SiC de alta tensión, no se necesita un *driver* especial, ya que el dispositivo a controlar será el MOSFET de Si. Por tanto, para controlar esta configuración se usará un *driver* estándar de Intersil (EL7156).

Las configuraciones que han sido probadas usando el cascodo son (Figura 5): sin diodo de libre circulación (Cascodo); con diodo de Si y de SiC (Cascodo+Si y Cascodo+SiC); con diodo de SiC y añadiendo 2V en la puerta del JFET (Cascodo+SiC+2V).

C. SiC MOSFET.

En el caso de los MOSFETs de SiC (los desarrollados por Cree y por Rohm), ambos fabricantes no recomiendan considerar a estos como un recambio directo de MOSFETs de alta tensión de Si. Siguiendo las recomendaciones del fabricante y partiendo del *driver* anteriormente expuesto, se diseña y construye un *driver* específico para estos MOSFETs de SiC. Este *driver* aplica $V_{GS} = 20V$ en el encendido para compensar la modesta transconductancia de estos dispositivos mientras que en el apagado $V_{GS} = -5V$ para evitar encender el dispositivo de manera indeseada o realizar apagados parciales. En la Figura 4 se muestra el diagrama del driver.

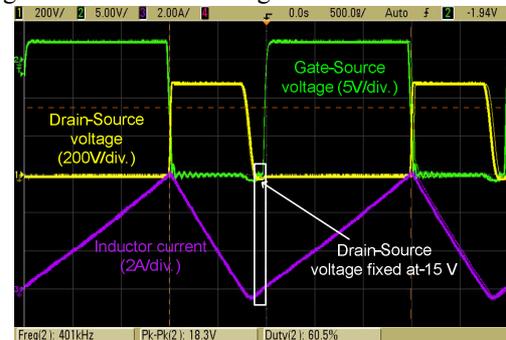


Figura 3. Tensión drenador-fuente negativa en el JFET cuando no se añade un diodo de libre circulación.

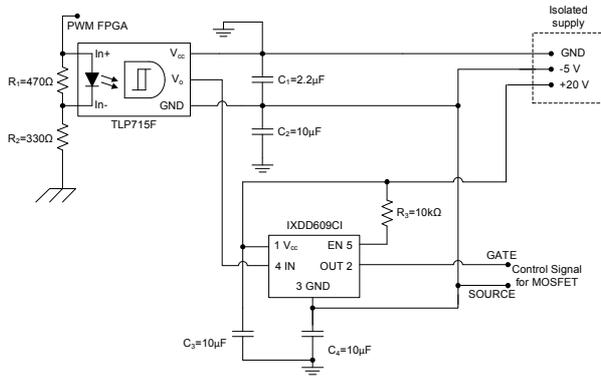


Figura 4. Esquemático del driver para MOSFETs de SiC.

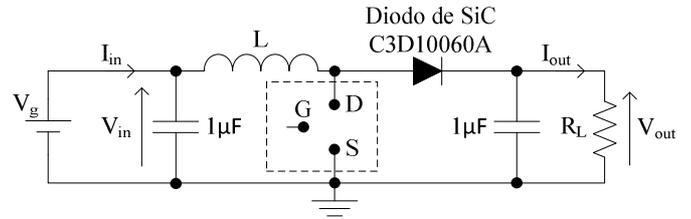


Figura 6. Esquema del convertidor elevador propuesto.

En el caso del uso de MOSFETs de SiC, la corriente negativa necesaria para obtener ZVS gracias al MCD puede circular por el diodo parásito. No obstante este diodo no tiene en general buenas propiedades, por lo que el MOSFET de SiC de Cree se ha probado con otras dos configuraciones, añadiendo externamente en antiparalelo un diodo, tanto de Si (MOSFET+Si) como de SiC (MOSFET+SiC). Para el caso del MOSFET de SiC de Rohm, existen dos encapsulados, uno en el que internamente tiene incorporado un diodo de libre circulación de SiC y otro sin él (SCT2080KE y SCH2080KE). En este caso, las dos configuraciones serán probadas, por supuesto sin añadir ningún diodo adicional.

III. DISEÑO Y ESPECIFICACIONES DEL CONVERTIDOR

El objetivo de este artículo es realizar una comparativa de rendimiento entre los distintos transistores de SiC en las distintas configuraciones presentadas y para diversas potencias, frecuencias y modos de conducción. Por sencillez y para reducir el número de componentes, se ha seleccionado un convertidor elevador (Figura 6). La tensión de entrada y de salida será 150V y 400V respectivamente y el resto de especificaciones se detallan en la Tabla I y en Tabla II.

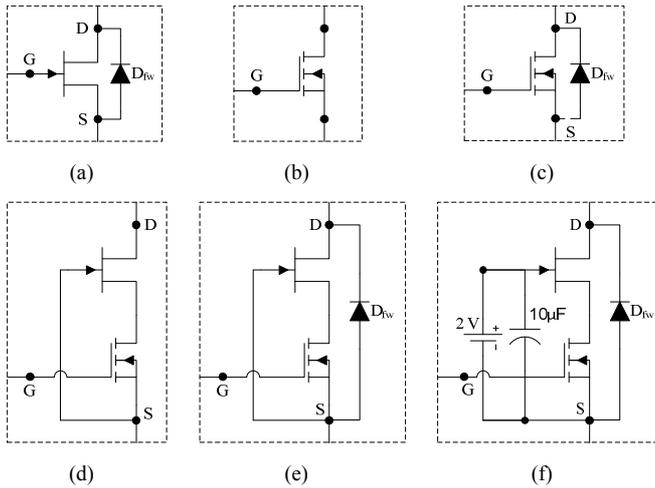


Figura 5. Topologías probadas. (a) SiC JFET con diodo de libre circulación de Si y de SiC. (b) SiC MOSFET, (c) SiC MOSFET con diodo de libre circulación de Si y de SiC. Cascado (d) sin diodo de libre circulación, (e) con diodo de Si y de SiC and (f) con 2V en la puerta del JFET y diodo de SiC.

Las comparaciones se realizan en términos de rendimiento. Las medidas de rendimiento se han realizado midiendo tensiones y corrientes de entrada y de salida con multímetros digitales (FLUKE 187). No se han contabilizado las pérdidas del *driver*. Con el objetivo de elevar la frecuencia de conmutación, se ha seleccionado el MCD, reduciendo las pérdidas de conmutación, gracias a la obtención de ZVS en el encendido del transistor principal. Para incrementar el rendimiento, el MCD se ha llevado lo más cercano al modo frontera para reducir pérdidas de conducción, aunque manteniendo ZVS en el encendido. Las mayores ventajas de este modo de operación se obtienen, como es lógico, para bajas potencias y altas frecuencias. Gracias a este modo se han obtenido rendimientos elevados incluso a una frecuencia de 1MHz.

Se consigue optimizar el rendimiento encendiendo el transistor principal cuando su tensión drenador-fuente se hace cero. De esa manera, no solo se consigue ZCS en el apagado del diodo, sino que también se obtiene ZVS en el encendido del transistor. En la Figura 7 se muestran las formas de onda para una potencia de 600W y una frecuencia de 1MHz con el SiC JFET (el resto son muy similares). En esta figura se observa como V_{DS} decrece cuando la corriente por la bobina se hace negativa y V_{GS} activa al transistor cuando V_{DS} se hace cero. La corriente negativa por la inductancia es necesaria para la descarga del condensador de salida del transistor y permite obtener ZVS en el encendido. El valor de pico de dicha corriente negativa (I_{neg}) se puede estimar sabiendo que es la corriente necesaria para descargar la capacidad de salida del transistor y cargar la capacidad del diodo de salida. Por tanto estableciendo un balance de energías, se obtiene,

$$\frac{1}{2} L I_{neg}^2 = \frac{1}{2} C_{eq} V_{out}^2, \quad (1)$$

donde C_{eq} es la suma de la capacidad de salida del transistor y del diodo de salida y L es el valor de la inductancia. Usando (1), el valor de I_{neg} se obtiene como:

$$I_{neg} = V_{out} \sqrt{\frac{C_{eq}}{L}}. \quad (2)$$

Cuando se incrementa la frecuencia de conmutación, se debe reducir el valor de L para mantener el modo de operación previamente detallado. Por este motivo, el valor de I_{neg} también crecerá por lo tanto contribuirá en un pequeño incremento de las pérdidas de conducción. El incremento de I_{neg} , aumentará las pérdidas de conducción tanto del diodo de libre circulación (por tener que circular por él más corriente) como del transistor principal y del diodo de salida (por incrementar el rizado de la corriente por los mismos y por tanto su corriente eficaz). El valor de I_{neg} puede ser mayor, no solo por tener menores valores de L , sino también debido a mayores valores de C_{eq} .

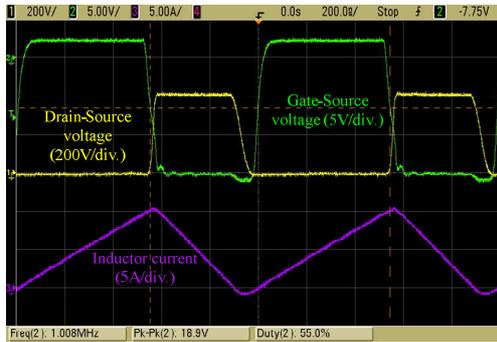


Figura 7. Formas de onda en MCD a 600W y 1MHz. SiC JFET con diodo de libre circulación de SiC.

En este modo de operación, las pérdidas de conducción, no vendrán solo determinadas por la R_{ds-on} sino también, una pequeña parte, vendrá determinada por la capacidad de salida del transistor. Además, el hecho de conectar un diodo en antiparalelo incrementa el valor de esa capacidad y puede no ser siempre una opción acertada.

Por otro lado, el incremento de la corriente (y por lo tanto de la potencia), puede hacer que las pérdidas de conducción sean más relevantes que las pérdidas de conmutación y por lo tanto la reducción de la corriente eficaz que nos proporciona el uso del MCC puede aportar grandes ventajas. Por esta razón también se han llevado a cabo pruebas en MCC, especialmente para bajas frecuencias y potencias algo mayores, como se muestra en la Tabla II. En la Figura 8 se muestran unas formas de onda de ejemplo de este modo de operación para una potencia de 1kW y una frecuencia de 100kHz.



Figura 8. Formas de onda en MCC del JFET de SiC con un diodo de libre circulación de SiC a 1kW y 100kHz.

Para que el rendimiento global del elevador nos proporcione una información fidedigna del funcionamiento de los transistores de SiC, debemos conseguir que el resto de los componentes que lo conforman añadan el menor número de pérdidas posibles, para que las pequeñas diferencias debidas a los transistores no queden enmascaradas por el resto. Como diodo de salida se ha utilizado para todas las pruebas el mismo diodo de SiC (C3D10060A), para reducir las pérdidas de recuperación inversa gracias a su prácticamente inexistente corriente de recuperación inversa.

Por la misma razón, las bobinas utilizadas se han diseñado prestando especial atención a la reducción de pérdidas. Las bobinas usadas para 400kHz y 1MHz se han diseñado solo con una capa de cobre, para reducir las pérdidas por el efecto proximidad. Las bobinas usadas para 100kHz y 200kHz, se han

diseñado y construido ocupando todo el ancho de ventana, ya que se considera que el efecto de las pérdidas por proximidad es menor a estas frecuencias y de esta manera reducimos pérdidas de conducción. En la Figura 9, se muestran varios ejemplos.

IV. RESULTADOS EXPERIMENTALES.

En este apartado se presentan los resultados de rendimiento obtenidos para cada dispositivo en las distintas configuraciones. En MCC solo se mostrarán los resultados detallados para 300W, aunque para 600W (Figura 13) las conclusiones que se pueden extraer son muy similares.

A. Configuración directa del N-on SiC JFET. MCD.

El rendimiento en función de la frecuencia de conmutación para una potencia de salida de 300W se presenta en la Figura 10 usando el SiC JFET en sus distintas configuraciones.

Una de las conclusiones más interesante que se puede extraer de los resultados es que el uso de un diodo de libre circulación de Si proporciona unos resultados mucho peores que uno de SiC, especialmente para altas frecuencias. Por otro lado, también se observa como la R_{ds-on} se reduce ligeramente cuando se aplican 2V en la puerta del JFET para su activación, como era de esperar.

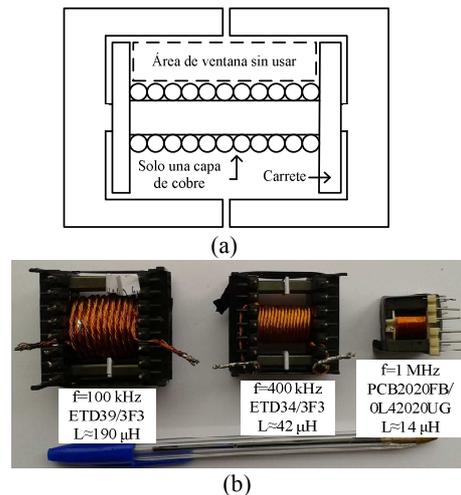


Figura 9. (a) Distribución del cobre para reducir el efecto proximidad. (b) Ejemplos de las bobinas diseñadas y construidas.

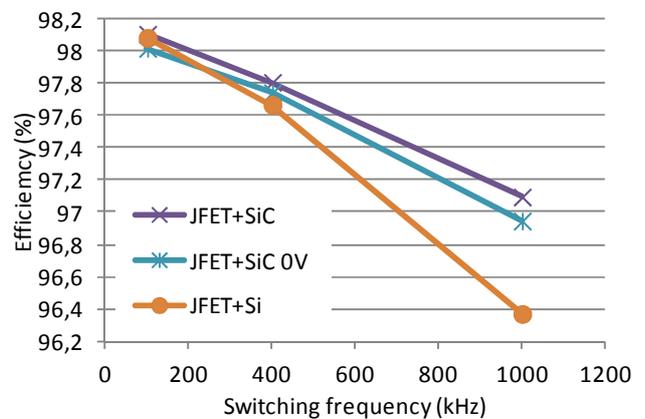


Figura 10. Rendimiento para el SiC JFET en MCD y 300W.

B. Configuración en cascodo del SiC JFET.

La Figura 11, muestra los rendimientos del cascodo en MCD y para una potencia de salida de 300W. Se puede observar como gracias a la existencia de diodo parásito en el MOSFET de Si de baja tensión, que permite la circulación de la corriente reactiva a través del mismo y posteriormente a través del canal del JFET (por ser N-on), no existen apenas diferencias entre el uso o no de diodo de libre circulación adicional de Si. En el caso de añadir un diodo de libre circulación de SiC, el rendimiento incluso empeora, sobre todo para altas frecuencias, debido especialmente al incremento de la capacidad de salida del transistor principal, incrementando como se ha comentado anteriormente, el valor de I_{neg} .

C. SiC MOSFET. MCD.

En la Figura 12, se muestran los resultados de rendimiento en MCD del SiC MOSFET de Cree a 300W. Los resultados obtenidos con el MOSFET de Rohm no se incluyen por falta de espacio y debido a que las conclusiones extraídas son muy similares. Se observa como la inclusión de un diodo de Si en antiparalelo produce una muy pequeña mejora en el rendimiento y cuando el diodo es de SiC, la mejora es aún mayor, aunque pequeña en ambos casos. También se puede concluir que, debido a los mayores valores de capacidades parásitas y de R_{ds-on} en comparación con el SiC JFET, el uso de los MOSFETs de SiC provee rendimientos un poco menores que el uso de SiC JFETs.

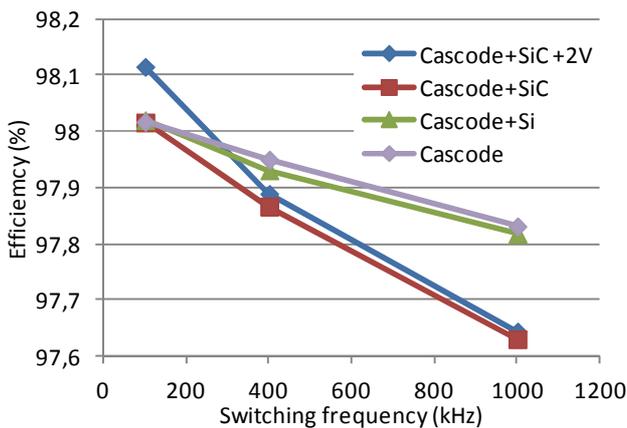


Figura 11. Rendimiento para el cascodo SiC JFET en MCD y 300W.

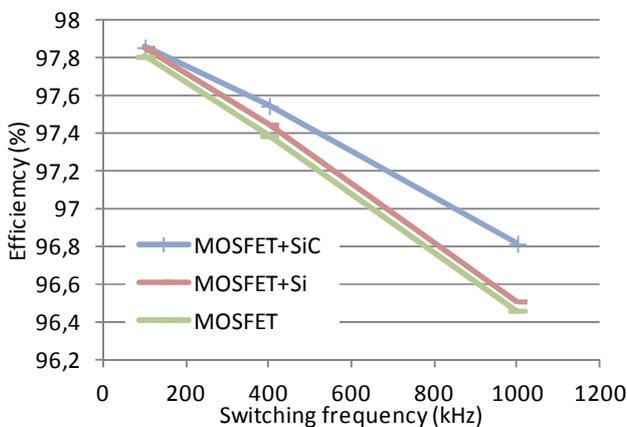


Figura 12. Rendimiento para el SiC MOSFET en MCD y 300W.

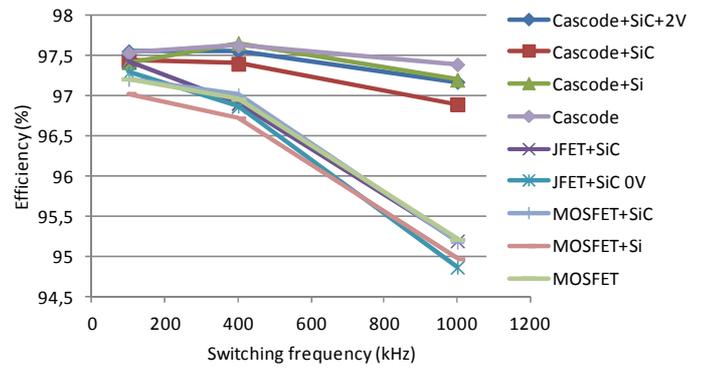


Figura 13. Rendimiento en MCD y 600W. Todas las configuraciones.

D. Resultados en MCC 1kW de cada transistor de SiC.

En este apartado se presentan los rendimientos del elevador con las mejores configuraciones para cada dispositivo de SiC para una potencia de 1kW en MCC.

En la Figura 14 se muestra el rendimiento en MCC para una potencia de salida de 1kW y cada transistor de SiC. Como se ha comentado el MCD reduce las pérdidas de conmutación, pero para bajas frecuencias y altas potencias, como es el caso presentado en este apartado, el uso del MCC puede hacer que mejore el rendimiento gracias a la reducción de las pérdidas de conducción que se obtiene al reducir el rizado de la corriente por la bobina. Se pueden observar rendimientos elevados para todos los dispositivos. En este caso se ve que los peores resultados se obtienen con el cascodo, lo que claramente nos indica que sus pérdidas de entrada en conducción son mayores que el resto de los transistores (ya que son las pérdidas que se eliminan con el MCD empleado).

Por otro lado, es importante destacar como el rendimiento de las tres configuraciones testadas decae rápidamente con el incremento de la frecuencia. Esta rápida caída limita la frecuencia de conmutación a utilizar para el MCC. Analizando los resultados, tanto en MCC como en MCD se llega a la conclusión de que para una potencia de 1kW y una frecuencia hasta 400kHz el uso del MCC aportará unos rendimientos mayores que el MCD, mientras que para frecuencias mayores se deberá seleccionar el MCD para mejorar el rendimiento.

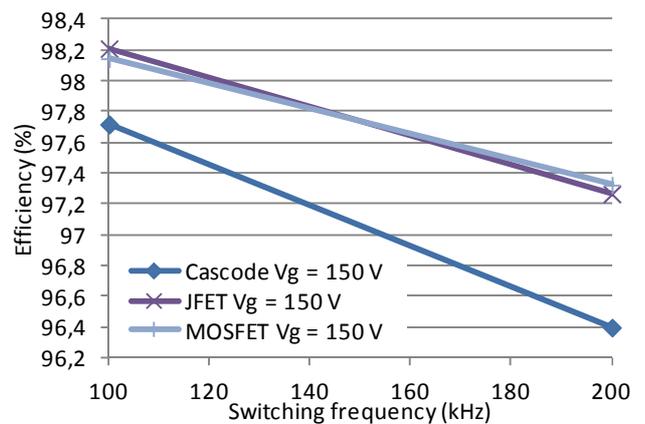


Figura 14. Rendimiento en MCC y 1kW. SiC JFET con diodo de SiC, cascodo sin diodo extra y con 0V en la puerta del JFET y SiC MOSFET con diodo de libre circulación de SiC

V. CONCLUSIONES

En este artículo se ha comparado el rendimiento de tres transistores de SiC de alta tensión. Para realizar la comparativa se ha evaluado el rendimiento de un elevador usando como interruptor principal los distintos transistores de SiC. Se han comparado MOSFET de SiC de dos fabricantes distintos (Cree y Rohm), un JFET de SiC (SemiSouth) y este mismo JFET de SiC en una configuración en cascodo. Se han realizado pruebas en distintos modos de operación, potencias y frecuencias.

Los resultados muestran que el rendimiento obtenido con el SiC JFET es ligeramente mayor que el obtenido con el SiC MOSFET, principalmente debido a las mayores capacidades y resistencia de conducción del último. La principal desventaja del uso de estos dos dispositivos es la necesidad de *drivers* específicos. Además en el caso del SiC JFET su naturaleza como dispositivo N-on, puede requerir la implementación de ciertas protecciones. A su vez, será necesario añadir un diodo de libre circulación cuando se deba manejar corriente reactiva, para proporcionar un camino a la misma, debida a la ausencia de diodo parásito entre fuente y drenador.

La configuración en cascodo, compuesta por un N-on SiC JFET de alta tensión y un MOSFET de Si de baja tensión, proporciona unos rendimientos muy elevados operando en el MCD. Además esta configuración permite el uso de *drivers* convencionales, ya que el dispositivo a controlar es un MOSFET de Si. En MCD las pérdidas de encendido del transistor principal se eliminan, por lo que el buen rendimiento en este modo de funcionamiento y el importante decremento cuando se utiliza el MCC hacen concluir que el cascodo tiene unas pérdidas en el encendido mayores que en el apagado.

En el MCC y para una potencia de salida de 1kW, la configuración en cascodo es la que proporciona los peores resultados, mientras que entre los rendimientos obtenidos con el SiC JFET y el SiC MOSFET las diferencias son muy pequeñas. Cuando sólo se busca una optimización del rendimiento se debería utilizar el MCC para frecuencias menores de aproximadamente 400kHz, mientras que el MCD estaría más indicado para frecuencias mayores.

Por último cabe mencionar que, aunque los fabricantes recomiendan el uso de *drivers* específicos para el control de los MOSFETs de SiC, se han realizado varias pruebas usando un *driver* convencional y el SiC MOSFET de Cree obteniendo buenos resultados. Por ejemplo en MCC, 100kHz y 600W se ha obtenido un rendimiento de 98,23%, con un *driver* convencional (conmutando entre 0V y 15V) mientras que se consigue un 98,32 con el *driver* específico. En las mismas condiciones pero incrementando la potencia hasta 1kW, con un *driver* convencional se consigue un rendimiento de 98,04% (98,14% con el *driver* específico). Cabe remarcar que estas últimas pruebas se han realizado para valores de tensión y corriente muy lejanos a los máximos valores de funcionamiento del MOSFET de SiC. En puntos de operación más cercanos a sus máximos, se considera muy importante seguir las recomendaciones del fabricante en relación al *driver*.

AGRADECIMIENTOS

Este trabajo ha sido realizado gracias a la concesión de los proyectos CONSOLIDER MICINN-10-CSD2009-00046 y MICINN-10-DPI2010-21110-C02-01 y la beca FPU con referencia AP2008-03380.

REFERENCIAS

- [1] J. A. Cooper; A. Agarwal, "SiC power-switching devices. The second electronics revolution?". Proceedings of the IEEE, vol. 90, n. 6, pp. 956-968. June 2006.
- [2] A. Elasser, P. Chow, "Silicon carbide benefits and advantages for power electronics circuits and systems". Proceedings of the IEEE, vol. 90, n. 6, pp. 969-986. June 2002.
- [3] J. Millán, "Wide band-gap power semiconductor devices". IET Circuits Devices and Systems, vol. 1, n. 5, pp. 372-379. 2007.
- [4] M, Badila, G. Brezeanu, V. Banu, P. Godignon, J. Millan, X. Jorda, F. Draghici, "SiC power Schottky diodes: industrial development". International Semiconductor Conference, vol. 2, pp.337-340. Oct. 2001.
- [5] <http://www.infineon.com>.
- [6] A. Elasser, M. H. Kheraluwala, M. Ghezzi, R. L. Steigerwald, N. A. Evers, J. Kretchmer, T. P. Chow, "A comparative evaluation of new silicon carbide diodes and state-of-the-art silicon diodes for power electronic applications," IEEE Transactions on Industry Applications, vol. 39, n.4, pp. 915- 921. July-Aug. 2003.
- [7] G. Spiazzi, S. Buso, M. Citron, M. Corradin, R. Pierobon, "Performance evaluation of a Schottky SiC power diode in a boost PFC application". IEEE Transactions on Power Electronics, vol. 18, no. 6, pp. 1249- 1253. Nov. 2003.
- [8] M. M. Hernando, A. Fernandez, J. Garcia, D. G. Lamar, M. Rascon, "Comparing Si and SiC diode performance in commercial AC-to-DC rectifiers with power-factor correction". IEEE Transactions on Industrial Electronics, vol. 53, no. 2, pp. 705- 707. April 2006.
- [9] Application Note AN-SS1 "SiC Enhancement-Mode Junction Field Effect Transistor & Recommendation For Use", SemiSouth.
- [10] <http://www.Cree.com/power/products/z-fet-sic-mosfet>.
- [11] T. Friedli, S. D. Round, D. Hassler, J. W. Kolar, "Design and Performance of a 200-kHz All-SiC JFET Current DC-Link Back-to-Back Converter". IEEE Transactions on Industry Applications, vol. 45, no. 5, pp. 1868-1878. Sept.-oct. 2009.
- [12] Z. Qingchun, R. Callanan, M. K. Das, R. Sei-Hyung, A. K. Agarwal, J. W. Palmour, "SiC Power Devices for Microgrids". IEEE Transactions on Power Electronics, vol. 25, no. 12, pp. 2889-2896. Dec. 2010.
- [13] L. Rixin; F. Wang; R. Burgos, D. Boroyevich, Di Zhang; Puqi Ning, "A Shoot-Through Protection Scheme for Converters Built With SiC JFETs". IEEE Transactions on Industry Applications, vol. 46, no. 6, pp. 2495-2500. Nov.-Dec. 2010.
- [14] A. Kadavelugu, S. Baek, S. Dutta, S. Bhattacharya, M. Das, A. Agarwal, J. Scofield, "High-frequency design considerations of dual active bridge 1200 V SiC MOSFET DC-DC converter". IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 314-320. 6-11 March 2011.
- [15] B. Wrzeczionko, D. Bortis, J. Biela, J. W. Kolar, "Novel AC-Coupled Gate Driver for Ultrafast Switching of Normally Off SiC JFETs". IEEE Transactions on Power Electronics, vol. 27, no. 7, pp. 3452-3463. July 2012.
- [16] C. Bernal, P. M. Gaudo, A. Gallego, A. Otin, J. M. Burdio, "Half-bridge resonant inverter for domestic induction heating based on silicon carbide technology". 2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 2218-2222. 5-9 Feb. 2012.
- [17] P. M. Gaudo, C. Bernal, J. Avellaned, J. M. Burdio, "Intermodulation distortion in 1SW-ZVS multi-inverter for induction heating home appliances" 2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 2223-2228. 5-9 Feb. 2012.
- [18] Application Note AN-SS3, "SDGR600P1 – 6A Gate Driver Reference Design & Demoboard", SemiSouth.