

# Equilibrado Natural de las Tensiones en los Condensadores del Convertidor de Dos Medios Puentes Apilados

Pablo M. Gil, Juan Rodríguez, Joan Giles, Diego G. Lamar y Javier Sebastián  
Universidad de Oviedo, Grupo de Sistemas Electrónicos de Alimentación (email: [mateospablo@uniovi.es](mailto:mateospablo@uniovi.es))  
Edificio Departamental nº3. Campus Universitario de Viesques. 33204 Gijón (España)

**Resumen**— Los convertidores CC-CC de tres niveles son soluciones cada vez más empleadas debido a que permiten un mayor ratio de conversión y una reducción en los estreses en los componentes, lo que posibilita trabajar con tensiones de entrada altas. En el artículo se analiza detalladamente un convertidor CC-CC formado por dos medios puentes apilados en serie con un estrés de tensión en los MOSFETs igual a la mitad de la tensión de entrada. Además, logra conmutaciones a tensión cero (ZVS, *Zero-Voltage Switching*) en los cuatro MOSFETs del lado primario. En el artículo se demuestra la capacidad del convertidor para lograr el equilibrado de forma natural de la tensión del nodo intermedio y de la tensión del condensador en serie con el transformador sin necesidad de un control activo. El comportamiento del convertidor es evaluado mediante un prototipo experimental diseñado para realizar una conversión de 600V de entrada a 36V de salida con una potencia de 230W y una frecuencia de conmutación de 50kHz.

**Palabras clave**—convertidor CC-CC, medio puente, conmutación a tensión cero (ZVS), equilibrado natural, alta tensión de entrada.

## I. INTRODUCCIÓN

En los últimos años, los sistemas en corriente continua (CC) de media y alta tensión han adquirido especial importancia en el ámbito industrial con el objetivo de lograr una distribución de energía más eficiente [1]. En este contexto, lograr conmutaciones a tensión cero (ZVS, *Zero-Voltage Switching*) en los transistores es muy deseable, puesto que las pérdidas de conmutación son especialmente significativas al trabajar a altas tensiones y potencias. Lograr ZVS permite al convertidor reducir significativamente sus pérdidas de conmutación y operar a mayores frecuencias, reduciendo con ello el tamaño de los componentes pasivos, lo que contribuye a aumentar la densidad de potencia del convertidor.

Una de las topologías más populares que tiene capacidad de lograr ZVS es el convertidor de puente completo (FB, *Full Bridge*) con control por fase desplazada [2]. Sin embargo, otro requerimiento fundamental en este tipo de aplicaciones es el de que los convertidores sean capaces de trabajar con altas tensiones de entrada sin con ello sufrir un estrés de tensión elevado en los transistores. Este último aspecto resulta crítico, ya que los semiconductores de mayor tensión poseen peores figuras de mérito (*Resistencia en conducción · Carga de puerta*) que sus contrapartes de menor tensión, lo que repercute negativamente en el rendimiento y la densidad de potencia del convertidor. Desafortunadamente, los transistores de los convertidores FB deben soportar la tensión de entrada cuando se encuentran apagados.

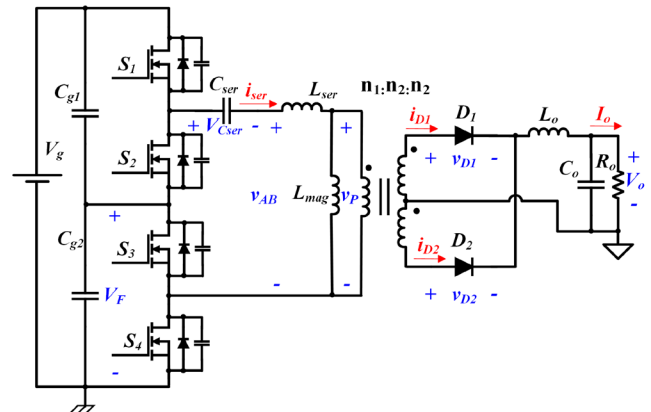


Fig. 1. Convertidor de dos medios puentes apilados.

Los convertidores CC-CC con topología de dos medios puentes apilados surgieron como una opción más adecuada para las aplicaciones de alta tensión debido a que sus transistores soportan la mitad de la tensión de entrada cuando se encuentran apagados, además de lograr ZVS en los cuatro transistores (ver Figura 1). Esta topología, propuesta en [3], se basa en reestructurar el lado primario del puente completo, conectando los dos medios puentes en serie en lugar de en paralelo. Para reducir la tensión soportada por los transistores, se añade un divisor capacitivo a la entrada conectado al punto intermedio de los dos medios puentes. De cara a reducir la tensión soportada por el transformador y evitar su saturación, se añade un condensador en serie con el devanado primario del transformador.

Para lograr el correcto funcionamiento del medio puente de cuatro transistores, la premisa fundamental es la de mantener equilibradas la tensión del nodo intermedio y la tensión del condensador en serie a la mitad de la tensión de entrada. Diferentes estudios asumen que dicho equilibrado se produce de forma natural sin aportar una explicación teórica que lo fundamente [3], [4]. Por otra parte, otros trabajos aportan soluciones de equilibrado activo, argumentando que, debido a las asimetrías del circuito, resulta imposible garantizar su equilibrado [5-7].

Con el objetivo de aclarar este aspecto, en este artículo se presenta una explicación teórica y una posterior validación experimental de como la inductancia magnetizante del transformador es la responsable principal del equilibrado natural de la tensión del condensador en serie y de como la inductancia de dispersión del transformador lo es del equilibrado natural de la tensión del nodo intermedio.

La estructura del artículo es la siguiente. En la Sección II se presenta el convertidor de medio puente de cuatro transistores propuesto en [3], describiendo el funcionamiento de la topología con sus estados de operación y sus principales formas de onda y realizando el análisis en profundidad de diversos aspectos del convertidor (ganancia, pérdida de ciclo de trabajo por efecto de la inductancia de dispersión, y condiciones de ZVS) que son fundamentales para, tal y como se desarrolla en la Sección III, modelar el equilibrado natural de las tensiones en los condensadores del convertidor. Este aspecto es fundamental pues permitirá justificar la necesidad o no de controlar activamente dichas tensiones. En la Sección IV se demuestra de forma experimental el funcionamiento del convertidor y su capacidad de equilibrado natural de las tensiones de sus condensadores mediante un prototipo de 230W que realiza una conversión de 600V de entrada a 36V de salida, todo ello a frecuencia de conmutación de 50kHz. Finalmente, en la Sección V se recogen las principales conclusiones extraídas de la realización de este trabajo.

## II. ANÁLISIS DEL CONVERTIDOR

### A. Descripción del Circuito

Como muestra la Figura 1, el lado primario de la topología se compone de cuatro transistores agrupados en dos medios puentes conectados en serie cuyo nodo común se conecta a un divisor capacitivo formado por los condensadores  $C_{g1}$  y  $C_{g2}$ . El medio puente superior se conforma de los MOSFETs  $S_1$  y  $S_2$ , mientras que el inferior, de los MOSFETs  $S_3$  y  $S_4$ . El devanado primario del transformador se conecta a los nodos de conmutación de cada medio puente a través del condensador en serie,  $C_{ser}$ , el cual se encarga de eliminar el nivel de continua de la tensión aplicada al devanado y evitar su saturación.

Mediante los condensadores  $C_{g1}$  y  $C_{g2}$  se establece una tensión en el nodo común de los dos medios puentes,  $V_F$ , de valor  $V_g/2$ . Esto permite a los transistores soportar una tensión de  $V_g/2$  cuando se encuentran apagados. Asimismo, el condensador en serie con el primario del transformador,  $C_{ser}$ , también soporta una tensión de  $V_g/2$ .

Los transistores  $S_1$  y  $S_3$  son controlados por una señal de ciclo de trabajo  $d$ , (que debe de ser menor a 0,5). La señal de control de  $S_3$  se desfasa  $180^\circ$  respecto a la de  $S_1$ . La señal de control de  $S_2$  es complementaria a la de  $S_1$ , mientras que la de  $S_4$  es complementaria a la de  $S_3$ .

Se utiliza un transformador de toma media en el que se considera tanto su inductancia magnetizante,  $L_{mag}$ , como su inductancia de dispersión,  $L_{dis}$ . Asimismo, como se explica en la Sección III, la energía almacenada en su inductancia de dispersión permite obtener conmutación a tensión cero (ZVS) en los 4 transistores del lado primario.

El lado secundario de la etapa de potencia se compone de los dos devanados secundarios del transformador, los diodos rectificadores  $D_1$  y  $D_2$  y el filtro de salida compuesto por la bobina  $L_o$  y el condensador  $C_o$ .

El desfase de  $180^\circ$  entre ambas etapas provoca que la frecuencia de la señal rectificadora sea el doble de la frecuencia de conmutación.

### B. Principio de operación

Para realizar el análisis del convertidor bajo estudio, se tienen en cuenta las siguientes consideraciones:

- Todos los componentes se consideran ideales, excepto los MOSFETs, representados junto a su diodo en antiparalelo y condensador de salida parásitos.
- La inductancia magnetizante,  $L_{mag}$ , del transformador se considera infinita. Por tanto, la corriente por ella se considera nula.
- De cara al análisis se considera una inductancia serie,  $L_{ser}$ , que modela la inductancia de dispersión,  $L_{dis}$ , junto a una inductancia adicional.
- La corriente por la inductancia del filtro de salida,  $i_L$  puede aproximarse por una fuente de corriente constante de valor  $I_o$ .
- Las capacidades de  $C_{g1}$ ,  $C_{g2}$ ,  $C_{ser}$  y  $C_o$  se consideran lo suficientemente grandes como para que el rizado de la tensión que soportan sea nulo.

Se distinguen seis estados a lo largo de un periodo de conmutación, los cuales se muestran en la Figura 2. Por otro lado, las principales formas de onda del circuito en cada uno de estos seis estados durante dos periodos de conmutación completos se muestran en la Figura 3. Se debe resaltar que, por simplicidad, pese a que todos los transistores logran ZVS, los intervalos temporales de carga y descarga de los condensadores de salida se han omitido.

El estado I ( $0 < t < d_{pér} \cdot T_s$ ) comienza con el apagado de  $S_2$  y el encendido de  $S_1$  (ver Figura 3(a)). Dado que la corriente por la inductancia serie,  $i_{ser}$ , es negativa al comienzo del estado, se logra ZVS en el encendido de  $S_1$ . Durante este estado, la inductancia serie retrasa el cambio de tensión en el devanado primario (tensión  $V_p$ , que coincide con la tensión de la inductancia magnetizante,  $V_{Lmag}$ ) con respecto al cambio que se ha impuesto en  $V_{AB}$ . De esta forma, la inductancia serie absorbe todo el cambio de tensión, quedando los devanados del transformador cortocircuitados. Este fenómeno se conoce como pérdida del ciclo de trabajo efectivo y será estudiado con detalle en el apartado D de la presente sección. Durante este estado, la corriente por la bobina  $L_o$ , que en el estado previo circulaba completamente por el diodo  $D_2$ , comienza a redireccionarse por el diodo  $D_1$ .

El estado II ( $d_{pér} \cdot T_s < t < d \cdot T_s$ ) comienza con  $S_1$  y  $S_4$  encendidos (ver Figura 3(b)), cuando la tensión que soportaba  $L_{ser}$  en el estado anterior ya ha sido transferida al devanado primario. El devanado del primario soporta  $V_g - V_{Cser}$ , lo que polariza directamente el diodo  $D_1$  y permite la transferencia de potencia de la fuente hacia la carga a través de  $S_1$ ,  $S_4$ ,  $C_{ser}$  y el propio  $D_1$ .

El estado III ( $d \cdot T_s < t < T_s/2$ ) comienza con el apagado de  $S_1$  y el encendido de  $S_2$  (ver Figura 3(c)). Dado que  $i_{ser}$  es positiva en este estado (la corriente en el primario mantiene la polaridad del estado anterior debido al efecto de la inductancia de dispersión), se logra ZVS en el encendido de  $S_2$ . Durante este estado, la tensión soportada por el devanado primario es  $V_F - V_{Cser}$  durante este estado, por lo que el circuito opera en libre circulación con ambos diodos del secundario polarizados directamente.

El estado IV ( $T_s/2 < t < (1/2+d_{p\acute{e}r})\cdot T_s$ ) comienza con el apagado de  $S_4$  y el encendido de  $S_3$  (ver Figura 3(d)). Como  $i_{ser}$  es positiva al comienzo del estado, se logra ZVS en el encendido de  $S_3$ . De manera análoga al estado I, la inductancia de dispersión retrasa el cambio de tensión en  $V_p$  respecto a lo impuesto en  $V_{AB}$ , produciéndose pérdida del ciclo de trabajo efectivo. Durante este estado, la corriente por la bobina  $L_o$ , que en el estado previo circulaba completamente por el diodo  $D_1$ , comienza a redireccionarse por el diodo  $D_2$ .

El estado V ( $(1/2+d_{p\acute{e}r})\cdot T_s < t < (1/2+d)\cdot T_s$ ) comienza con  $S_2$  y  $S_3$  encendidos (ver Figura 3(e)) cuando la tensión que soportaba  $L_{ser}$  en el estado anterior ya ha sido transferida al devanado primario. El devanado del primario soporta  $-V_{Cser}$ , lo que polariza directamente el diodo  $D_2$  y permite la

transferencia de potencia del condensador en serie hacia la carga a través de  $S_2$ ,  $S_3$  y el propio  $D_2$ .

El estado VI ( $(1/2+d)\cdot T_s < t < T_s$ ) comienza con  $S_2$  y  $S_4$  encendidos (ver Figura 3(f)). Dado que  $i_{ser}$  es negativa durante este estado debido al efecto de la inductancia de dispersión, se logra ZVS en el encendido de  $S_4$ . Durante este estado, la tensión soportada por el devanado primario es  $V_F - V_{Cser}$  durante este estado, por lo que, de manera análoga al estado III, el circuito opera en libre circulación.

Habiéndose llevado a cabo el análisis de los estados anteriores, se puede figurar la necesidad de mantener la tensión  $V_F$  equilibrada a  $V_g/2$  para tener simetría entre estados que deben ser análogos (estado I respecto a IV, II respecto a V y III respecto a VI), tema tratado en la Sección III.

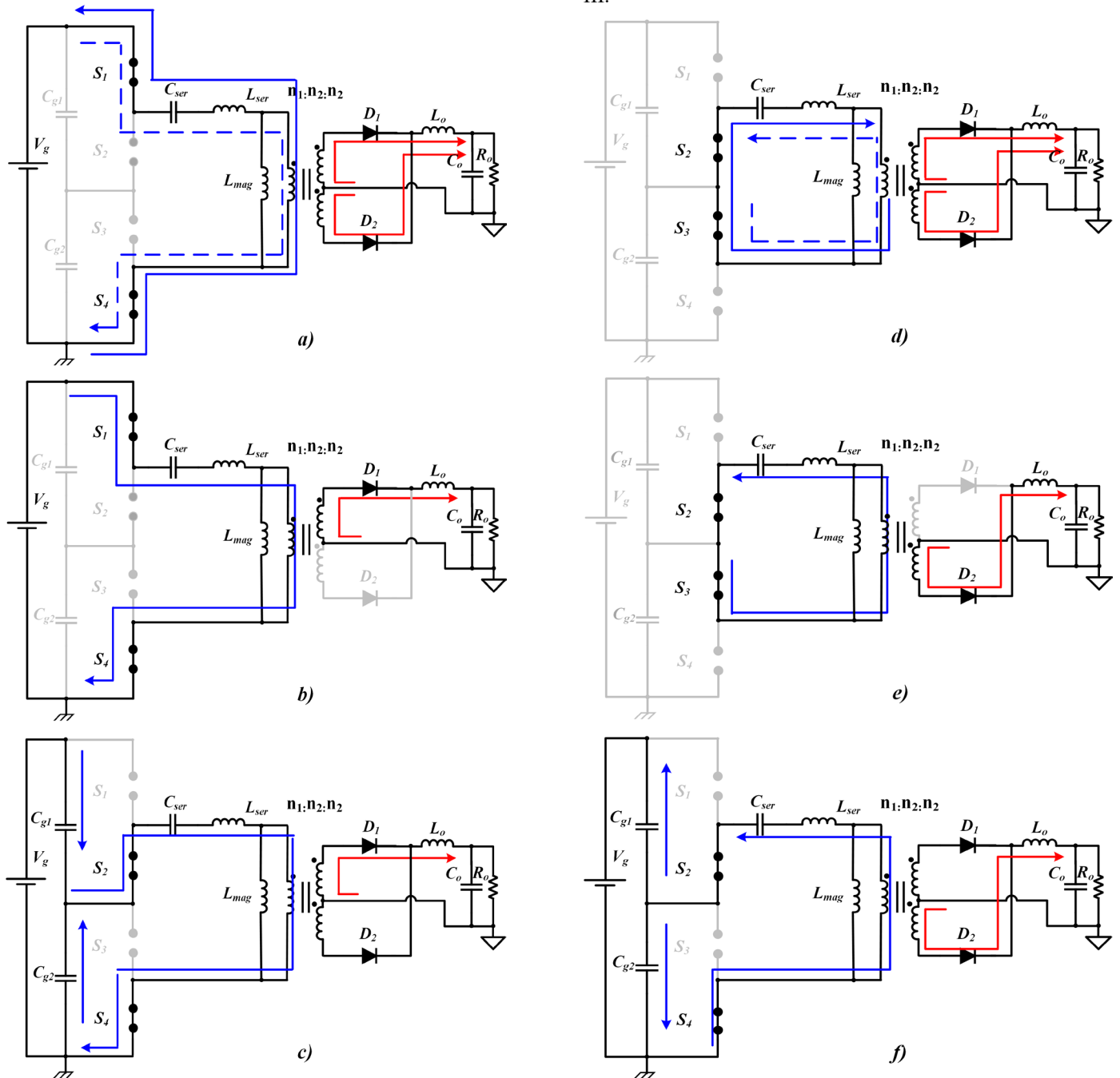


Fig. 2. Circuitos equivalentes en cada uno de los estados. a) Estado I (Línea continua: Principio del estado. Línea discontinua: Final del estado). b) Estado II. c) Estado III. d) Estado IV (Línea continua: Principio del estado. Línea discontinua: Final del estado). e) Estado V y f) Estado VI.

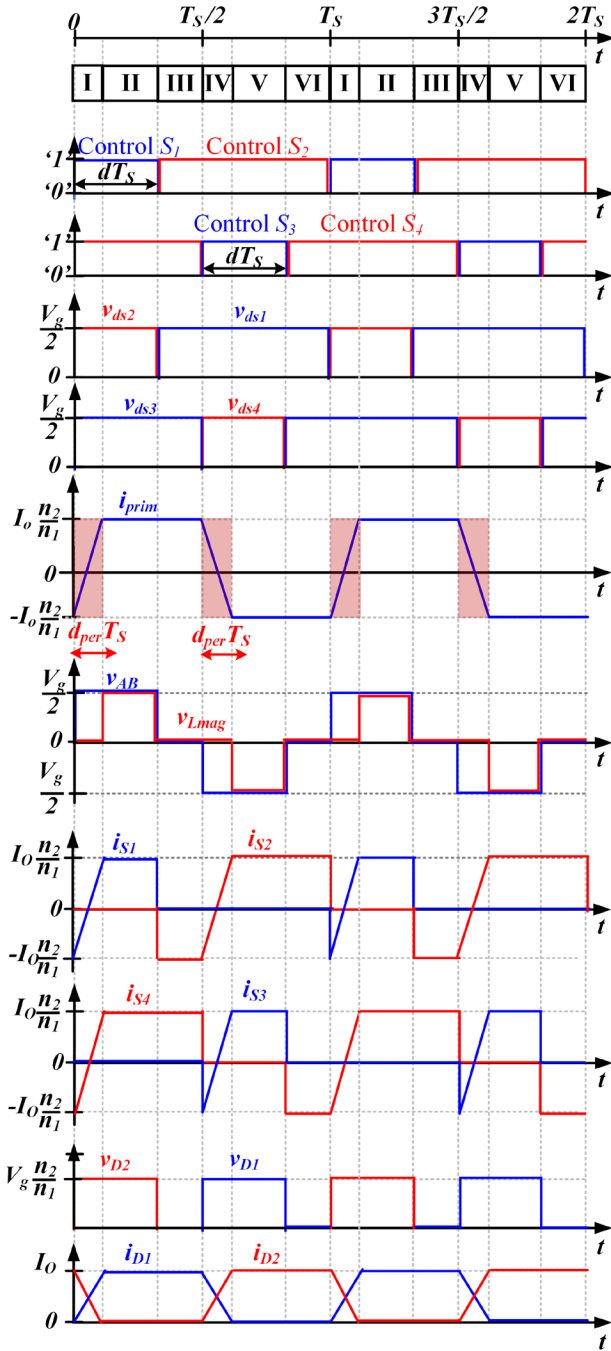


Fig. 3. Principales formas de onda del convertidor.

### C. Ganancia del convertidor

Aplicando el balance Voltios·Segundo sobre  $L_o$  y despreciando la pérdida de ciclo de trabajo efectivo (estados I y IV), se tiene que la tensión de salida es

$$V_o = 2 \cdot (V_g - V_{C_{ser}}) \cdot \frac{n_2}{n_1} \cdot d, \quad (1)$$

donde  $V_g$  es la tensión de entrada,  $V_{C_{ser}}$  es la tensión del condensador en serie,  $n_2/n_1$  la relación de vueltas entre secundario y primario del transformador y  $d$  el ciclo de trabajo del convertidor.

### D. Pérdida del ciclo de trabajo efectivo

Al igual que sucede en otras topologías aisladas como el puente completo [2], [8], se produce una reducción del ciclo de trabajo efectivo debido a la inductancia de dispersión, la cual introduce un efecto de retraso entre lo que se impone entre los nodos de conmutación de los dos medios puentes (tensión  $V_{AB}$ ) y lo que se refleja en los devanados del transformador. Durante este intervalo de retraso, no se produce transferencia de potencia desde el lado primario hacia la carga, lo que se traduce en la ya mencionada pérdida de ciclo de trabajo efectivo.

Tal y como se observa en la gráfica de la  $i_{ser}$  de la Figura 2 (veáanse las zonas sombreadas en color rojo), la pérdida de ciclo de trabajo es equivalente al tiempo que la corriente del primario necesita para cambiar completamente de polaridad.

Durante los estados de pérdida de ciclo de trabajo efectivo, la tensión soportada por la inductancia serie es

$$V_{L_{ser}} = \pm \frac{V_g}{2}, \quad (2)$$

siendo positiva en el estado I y negativa en el IV.

Asimismo, sabiendo que, al final de los estados de libre circulación, la corriente  $i_{ser}$  debe transicionar de  $I_o \cdot n_2/n_1$  a  $-I_o \cdot n_2/n_1$  o viceversa, el valor de la pérdida de ciclo de trabajo efectivo se puede calcular como

$$d_{pér} = \frac{4 \cdot I_o \cdot \frac{n_2}{n_1} \cdot L_{ser}}{V_g \cdot T_s}. \quad (3)$$

Teniendo en cuenta este efecto, el ciclo de trabajo efectivo,  $d_{ef}$ , se puede expresar como el ciclo de trabajo nominal del convertidor menos la pérdida de ciclo de trabajo expresada en (3)

$$d_{ef} = d - d_{pér}. \quad (4)$$

Considerando la pérdida del ciclo de trabajo mostrada en (3), la ganancia del convertidor puede expresarse finalmente como

$$V_o = V_g \cdot \frac{n_2}{n_1} \cdot (d - d_{pér}). \quad (5)$$

### E. Condición de ZVS

La energía almacenada en la inductancia serie permite obtener ZVS durante el encendido en los cuatro transistores. No obstante, debe tenerse en consideración que el valor de la inductancia serie está limitado por la pérdida de ciclo de trabajo expresada en (3) y cuyo valor máximo dependerá de las especificaciones de diseño establecidas.

Considerando que tanto la corriente magnetizante,  $i_{mag}$ , como la corriente de la inductancia del filtro de salida,  $i_L$ , carecen de rizado ( $i_{mag}=0$ ;  $I_L=I_o$ ), la condición de inductancia de dispersión mínima requerida para lograr ZVS en cada uno de los transistores es

$$L_{ser} > 2 \cdot C_{oss} \cdot \left( \frac{V_g}{2 \cdot I_o \cdot \frac{n_2}{n_1}} \right)^2, \quad (6)$$

siendo  $C_{oss}$  la capacidad de salida parásita de cada uno de los transistores ( $C_{oss}=C_{oss1}=C_{oss2}=C_{oss3}=C_{oss4}$ ).

### III. EQUILIBRADO NATURAL DE LAS TENSIONES EN LOS CONDENSADORES

Pese a que multitud de artículos describen multitud de mecanismos de equilibrado activo de la tensión del punto medio [5-7] y a que otros hacen referencia a que, empleando la modulación adecuada, puede lograrse el equilibrado de manera natural [3], [4], hasta el momento no existe una explicación de por qué se logra dicho equilibrado de la tensión en los condensadores del convertidor de dos medios puentes apilados. La demostración se basa en aplicar el balance voltios por segundo en cada una de las inductancias. Esto es la inductancia del filtro de salida, la inductancia magnetizante y la inductancia serie.

La tensión soportada por la magnetizante en cada uno de los estados es

$$V_{L_{mag}} = \begin{cases} 0 & , 0 < t < d_{pér} \cdot T_s \\ V_g - V_{C_{ser}} & , d_{pér} \cdot T_s < t < d \cdot T_s \\ 0 & , d \cdot T_s < t < \frac{T_s}{2} \\ 0 & , \frac{T_s}{2} < t < \left(\frac{1}{2} + d_{pér}\right) \cdot T_s \\ -V_{C_{ser}} & , \left(\frac{1}{2} + d_{pér}\right) \cdot T_s < t < \left(\frac{1}{2} + d\right) \cdot T_s \\ 0 & , \left(\frac{1}{2} + d\right) \cdot T_s < t < T_s \end{cases} \quad (7)$$

Realizando el balance voltios por segundo sobre  $L_{mag}$  se obtiene

$$V_{C_{ser}} = \frac{V_g}{2}. \quad (8)$$

En el caso de la inductancia de dispersión, la tensión soportada en cada estado es

$$V_{L_{dis}} = \begin{cases} V_g - V_{C_{ser}} & , 0 < t < d_{pér} \cdot T_s \\ 0 & , d_{pér} \cdot T_s < t < d \cdot T_s \\ V_F - V_{C_{ser}} & , d \cdot T_s < t < \frac{T_s}{2} \\ -V_{C_{ser}} & , \frac{T_s}{2} < t < \left(\frac{1}{2} + d_{pér}\right) \cdot T_s \\ 0 & , \left(\frac{1}{2} + d_{pér}\right) \cdot T_s < t < \left(\frac{1}{2} + d\right) \cdot T_s \\ V_F - V_{C_{ser}} & , \left(\frac{1}{2} + d\right) \cdot T_s < t < T_s \end{cases} \quad (9)$$

El balance voltios por segundo en la inductancia serie establece el valor que debe de tener la tensión del punto medio de los condensadores de entrada

$$V_F = \frac{V_{C_{ser}} \cdot (1 - 2d + 2d_{pér}) - V_g \cdot d_{pér}}{1 - 2d}. \quad (10)$$

Teniendo en cuenta (8), la expresión (11) se expresa finalmente como

$$V_F = \frac{\frac{V_g}{2} \cdot (1 + 2d_{pér} - 2d) - V_g \cdot d_{pér}}{1 - 2d} = V_g \cdot \frac{\frac{1}{2} - d}{1 - 2d} = \frac{V_g}{2}. \quad (11)$$

Mediante (8) y (11) queda demostrado que la tensión en los condensadores tiende a un valor fijo y que, además, se estabiliza al valor deseado para que el convertidor opere de manera correcta, de acuerdo con las asunciones llevadas a cabo en la Sección II. De esta forma, la ganancia del convertidor vista en (1) se expresa como

$$V_o = V_g \cdot \frac{n_2}{n_1} \cdot d. \quad (12)$$

### IV. RESULTADOS EXPERIMENTALES

Para evaluar el comportamiento del convertidor de dos medios puentes apilados se ha diseñado un prototipo que opera bajo las siguientes especificaciones:

- Tensión de entrada:  $V_g=600V$
- Tensión de salida:  $V_o=36V$
- Ciclo de trabajo:  $d=0,3$
- Potencia de salida máxima:  $P_o=230W$
- Frecuencia de conmutación:  $f=50kHz$
- Ratio de vueltas del transformador:  $n_1/n_2=15:3$

TABLA I. COMPONENTES DEL PROTOTIPO EXPERIMENTAL.

Elemento	Modelo
MOSFETs primario	IPP65R125C7
Diodos secundario	MBRB20300S
Condensadores entrada y condensador serie	C4AQOBU5100M12J (10uF)
Condensador salida	B32562H1106 (10uF)
Inductancia serie	MSS1210H-103MED (30uF)
Inductancia salida	AGM2222-103ME (50uF)
Drivers MOSFETs	ADUM3123CRZ

Las principales formas de onda que reflejan la operación del convertidor bajo las especificaciones de diseño mencionadas se muestran en la Figura 4. Se incluyen la tensión entre los dos nodos de conmutación a la derecha del condensador en serie,  $V_{AB}$ , la corriente a través de la inductancia serie,  $i_{ser}$ , y las corrientes por el diodo  $D_1$ ,  $i_{D1}$ , y la inductancia del filtro de salida,  $i_L$ , respectivamente. A diferencia del caso teórico mostrado en la Figura 3, en el cual  $L_{mag}$  y  $L_o$  se consideraban infinitas, en este caso se observa como las corrientes poseen cierto rizado. La tensión  $V_{AB}$  varía entre  $V_g/2$ , 0 y  $-V_g/2$ , tal y como se observa en la Figura 3, lo que demuestra el equilibrado natural de las tensiones en los condensadores a la mitad de la tensión de entrada. Este efecto también se muestra en la Figura 5, en la que se representa el valor de la tensión en el nodo intermedio  $V_F$  normalizada respecto a  $V_g/2$  al variar la corriente de salida para diferentes valores de la inductancia serie. Tal y como se aprecia en dicha figura, la variación respecto a  $V_g/2$  es mínima en todos los casos.

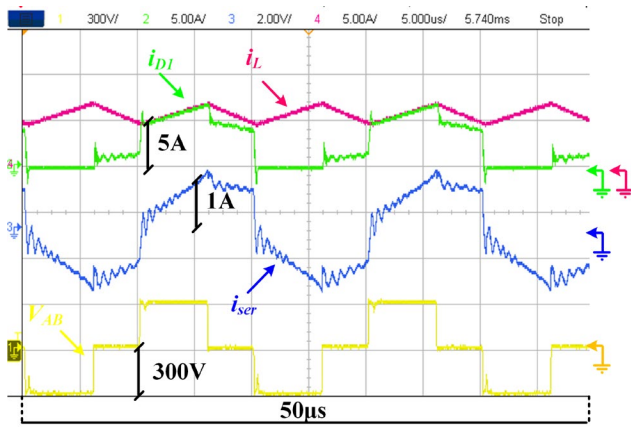


Fig. 4. Principales formas de onda en el prototipo experimental.

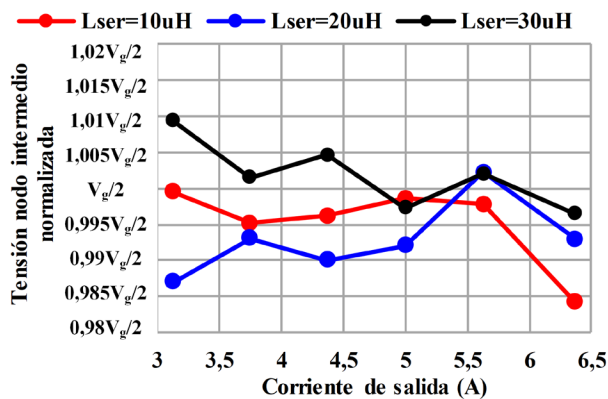


Fig. 5. Tensión en el nodo intermedio,  $V_{F_s}$ , normalizada respecto a  $V_g/2$  para diferentes valores de corriente de salida en el prototipo experimental.

## V. CONCLUSIONES

En este trabajo se ha propuesto evaluar el comportamiento del convertidor CC-CC de dos medios puentes apilados, así como de demostrar teórica y experimentalmente como las inductancias magnetizante y de dispersión del transformador imponen un equilibrado de forma natural de las tensiones en el nodo intermedio y en el condensador serie. En consecuencia, mantener equilibradas estas tensiones permite a los transistores del primario del convertidor soportar la mitad de la tensión de entrada, lo que convierte a este convertidor en una opción más favorable que el convertidor de puente completo para trabajar en aplicaciones de alta tensión. Demostrar que el equilibrado se produce de forma natural simplifica significativamente el diseño del convertidor, pues no se requiere de la implementación de circuitería auxiliar para realizar un control activo de las tensiones de los condensadores. Estas premisas han sido verificadas mediante la construcción de un prototipo capaz de operar a 600V de entrada y reducir la tensión hasta los 36V de salida manteniendo las tensiones en los condensadores del primario equilibradas de forma natural a la mitad de la tensión de entrada.

## AGRADECIMIENTOS

Este trabajo ha sido financiado por el Ministerio de Ciencia, Innovación y Universidades a través del proyecto PID2022-136969OB-I00 y la beca predoctoral con referencia PRE2022-000348.

## REFERENCIAS

- [1] M. Saeedifard, M. Graovac, R. F. Dias and R. Irvani, "DC power systems: Challenges and opportunities," *IEEE PES General Meeting*, Minneapolis, MN, USA, 2010, pp. 1-7, doi: 10.1109/PES.2010.5589736.
- [2] J. A. Sabate, V. Vlatkovic, R. B. Ridley, F. C. Lee and B. H. Cho, "Design considerations for high-voltage high-power full-bridge zero-voltage-switched PWM converter," *Fifth Annual Proceedings on Applied Power Electronics Conference and Exposition (APEC)*, Los Angeles, CA, USA, 1990, pp. 275-284, doi: 10.1109/APEC.1990.66420.
- [3] I. Barbi, R. Gules, R. Redl and N. O. Sokal, "DC-DC converter: four switches  $V_{\text{sub pk}}=V_{\text{sub in}}/2$ , capacitive turn-off snubbing, ZV turn-on," in *IEEE Transactions on Power Electronics*, vol. 19, no. 4, pp. 918-927, July 2004, doi: 10.1109/TPEL.2004.830092.
- [4] T. T. Vu and G. Young, "Stack multiphase asymmetrical half-bridge topology offering advance performance and efficiency," *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Long Beach, CA, USA, 2016, pp. 2485-2490, doi: 10.1109/APEC.2016.7468214.
- [5] D. Liu, F. Deng, Q. Zhang and Z. Chen, "Periodically Swapping Modulation (PSM) Strategy for Three-Level (TL) DC/DC Converters With Balanced Switch Currents," in *IEEE Transactions on Industrial Electronics*, vol. 65, no. 1, pp. 412-423, Jan. 2018, doi: 10.1109/TIE.2017.2714125.
- [6] W. Liu, H. Jin, W. Yao and Z. Lu, "An Interleaved PWM Method With Better Voltage-Balancing Ability for Half-Bridge Three-Level DC/DC Converter," in *IEEE Transactions on Power Electronics*, vol. 33, no. 6, pp. 4594-4598, June 2018, doi: 10.1109/TPEL.2017.2772900.
- [7] J. L. S. Geraldis, C. B. Nascimento and E. Agostini, "Improved Isolated Four-Switch Three-Level Soft-Switching Half-Bridge DC-DC Converter," in *IEEE Transactions on Power Electronics*, vol. 39, no. 4, pp. 4301-4312, April 2024, doi: 10.1109/TPEL.2023.3348095.
- [8] Jung-Goo Cho, J. A. Sabate, Guichao Hua and F. C. Lee, "Zero-voltage and zero-current-switching full bridge PWM converter for high-power applications," in *IEEE Transactions on Power Electronics*, vol. 11, no. 4, pp. 622-628, July 1996, doi: 10.1109/63.506128.
- [9] J. A. Sabate, V. Vlatkovic, R. B. Ridley, F. C. Lee and B. H. Cho, "Design considerations for high-voltage high-power full-bridge zero-voltage-switched PWM converter," *Fifth Annual Proceedings on Applied Power Electronics Conference and Exposition*, Los Angeles, CA, USA, 1990, pp. 275-284, doi: 10.1109/APEC.1990.66420.