

Análisis y diseño de un limitador de corriente de enclavamiento basado en un MOSFET tipo N de SiC

Abraham López¹, Pablo F. Miaja¹, Manuel Arias¹ y Arturo Fernández²

¹Universidad de Oviedo, Grupo de Sistemas Electrónicos de Alimentación (e-mail: lopezabraham@uniovi.es)
Edificio Departamental Oeste, N.º 3. Campus Universitario de Viesques. 33204 Gijón, España

²Electrical Power Management Section, European Space Agency (ESA), Noordwijk, Países Bajos

Resumen: Los limitadores de corriente de enclavamiento (LCLs) son circuitos empleados habitualmente en el control de cargas de naves espaciales, con el objetivo de proteger el bus de potencia frente a sobrecargas. Los esquemas clásicos de los LCLs están basados en el uso de un MOSFET tipo P como dispositivo limitador. Sin embargo, el desarrollo de nuevos materiales semiconductores de banda prohibida ancha (WBG) abre la posibilidad de poder llegar a operar a tensiones y temperaturas cada vez mayores. Ya se encuentran trabajos recientes donde se plantea el uso de un MOSFET tipo N de carburo de silicio (SiC) como dispositivo limitador de corriente. Siguiendo en esta línea, este artículo presenta el análisis y diseño de una arquitectura de LCL basada en el uso de un MOSFET tipo N de SiC. Se presentan las distintas partes que forman la arquitectura del LCL propuesto junto con las líneas básicas de diseño para su implementación. Finalmente, se muestran algunos resultados experimentales de un LCL clase 10, siguiendo la arquitectura propuesta, para tensiones de bus de 100 V.

Palabras clave: LCL, SiC, dispositivos WBG.

I. INTRODUCCIÓN

Los interruptores limitadores de corriente de estado sólido (“*Solid-state Current Limiting Switches*”) se utilizan en satélites con el objetivo de distribuir la potencia eléctrica de una manera segura. En el contexto europeo, estos interruptores se denominan limitadores de corriente de enclavamiento (“*Latching Current Limiters*”, LCLs), y su función es la de proteger al bus de potencia en las naves espaciales contra sobrecorrientes. Dentro del esquema de un satélite, los LCL se encuentran en lo que se llama el sistema de distribución, situado entre el bus de potencia principal y el bus de potencia secundario (Fig. 1).

Los LCLs se pueden entender bajo el concepto de “fusibles inteligentes rearmables”. En operación normal el LCL deja pasar toda la corriente demandada por una carga por debajo de un límite preestablecido. Si la demanda de corriente supera dicho límite, el LCL regula la corriente a este valor durante un tiempo prefijado. Si en este tiempo la corriente no cae por debajo del límite, el LCL aislará la carga que demanda el exceso de corriente. Además, los LCLs funcionan también como interruptores permitiendo conectar y desconectar cargas mediante telecomando.

En los esquemas tradicionales se usan MOSFETs tipo P como dispositivos limitadores de corriente, debido a su facilidad para controlarlos. Si se conecta el terminal de fuente al bus, se puede controlar la corriente fijando en su puerta una tensión menor que la del propio bus. Los rangos de tensiones para estos buses de alta potencia se sitúan entre 100 V_{CC} y 120 V_{CC}. No obstante, a medida que la potencia demandada por las cargas aumenta, las pérdidas de conducción en estos dispositivos se incrementan, existiendo un interés por reemplazarlos por dispositivos tipo N, que en general ofrecen una menor resistencia de canal. En un LCL basado en un MOSFET tipo N el

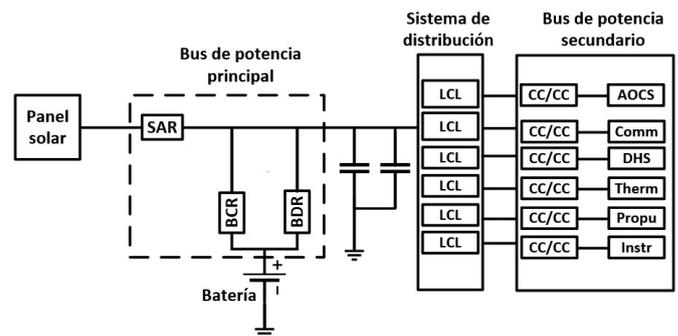


Fig. 1. Esquema del bus de potencia regulado de un satélite

drenador del MOSFET se conectaría al bus y la fuente en el lado de la carga. El problema de usar MOSFETs tipo N radica en que para controlarlos es necesario que la tensión en la puerta sea mayor que en la fuente. De esto modo, es necesario algún medio para trasladar esta señal de control referida a la fuente del dispositivo. Con el desarrollo de los materiales WBG, especialmente Carburo de Silicio (SiC) y Nitruro de Galio (GaN), se abre la posibilidad de emplear transistores basados en este tipo de materiales como dispositivos limitadores de corrientes. Estos dispositivos semiconductores están diseñados para trabajar a tensiones y temperaturas más altas. De este modo, se reducirá el riesgo de fallo asociado a las altas temperaturas en la unión del dispositivo. En este sentido, ya se han planteado en [1] y [2] topologías de LCLs empleando MOSFETs tipo N de SiC, donde se presentan algunos aspectos a tener en cuenta en relación con el control del dispositivo, la selección de semiconductores, la alimentación auxiliar, etc. Continuando con esta línea de investigación, el objetivo de este trabajo se basa en presentar una arquitectura de un LCL basado en un MOSFET tipo N de SiC. El diseño incluye la fuente de alimentación auxiliar, la implementación del lazo de control de corriente y una etapa denotada como aislador analógico (DCX) que será la encargada de proporcionar la señal de control aislada entre puerta y fuente del MOSFET tipo N. De la misma manera, la arquitectura de LCL propuesta cuenta con una sección de temporización encargada de mantener al LCL limitando el valor de la corriente durante un tiempo preestablecido, y una sección de “*undervoltage*” (UVLO).

Este artículo se organiza de la siguiente manera. En el apartado II se describe el procedimiento utilizado para la selección de los dispositivos semiconductores de SiC. En el apartado III se describe la topología de LCL propuesta, junto con todos los bloques que la integran. El apartado IV se centra en presentar las pruebas y algunos resultados experimentales a partir del prototipo de LCL implementado. Finalmente, en el apartado V se recogen las principales conclusiones de este trabajo.

II. SELECCIÓN DE SEMICONDUCTORES

El objetivo de esta sección es el de seleccionar los transistores, MOSFET o JFET, de SiC capaces de funcionar como dispositivo limitador de corriente en un LCL. Estos semiconductores han de cumplir con los requisitos de espacio descritos en [3] y [4]. Se han seleccionado un conjunto de dispositivos de SiC y evaluado a través de modelos teóricos. El análisis efectuado se basa en verificar que la temperatura de la unión del dispositivo, trabajando en un LCL, permanece dentro de los límites y márgenes de seguridad indicados en [4] y para las distintas clases de LCLs indicadas en [3]. Los LCLs se dividen en clases de acuerdo con la máxima corriente nominal que pueden conducir.

De esta forma, un LCL clase 10 puede conducir 10 A de corriente nominal. El nivel de corriente de limitación se establece en cada LCL entre un 10% y un 40% más de la corriente nominal [5]. La

Fig. 2 muestra el perfil de corriente de un LCL usado para obtener la potencia disipada ante una sobrecarga. Inicialmente, el LCL conduce la corriente nominal definida en cada clase. Ante una sobrecarga se produce una sobrecorriente de 50 A [3] independientemente de la clase. Esta sobrecorriente se mantiene durante un tiempo llamado “*maximum overshoot recovery time*” de 300 μ s [3]. Finalmente, la máxima limitación de corriente se mantiene durante el tiempo llamado “*maximum trip-off time*”. El “*maximum trip-off time*” depende de la clase de LCL, siendo de 20 ms en un LCL clase 1 y de 3 ms en un LCL clase 10. La selección de los semiconductores se ha realizado en términos de disponibilidad de los dispositivos, y de la potencia disipada. Y no se han hecho mayores consideraciones en cuanto a la robustez frente a radiación. Los transistores SiC más comunes están pensados para tensiones de 1200 V y corrientes de decenas de amperios. Estos rangos de tensiones y corrientes sobrepasan los rangos de operación normal en las aplicaciones espaciales. En los LCLs el dispositivo limitador debe soportar potencia en modo lineal durante varios milisegundos, por lo tanto, se han seleccionado los semiconductores que permiten la mayor disipación de potencia. Debido al breve tiempo (i.e. “*trip-off time*”) en el que el dispositivo está limitando corriente, no se plantea la necesidad de emplear disipadores térmicos.

En relación con la máxima temperatura alcanzada por la unión del semiconductor, la mayor parte de los dispositivos están indicados para 150°C, pero también se presentan excepciones con dispositivos indicados para temperaturas de 175°C y 200°C. Dentro de los semiconductores seleccionados hay JFETs que, en principio, podrían ser la mejor opción para ser empleados como dispositivo limitador en un LCL frente a los MOSFETs [6]. Esto se debe a la gran capacidad de este tipo de semiconductores para operar en zona lineal. Sin embargo, los JFETs son dispositivos normalmente cerrados, lo que significa que, sin ningún tipo de tensión de polarización aplicada en su puerta, el dispositivo conduce corriente. Este aspecto en los JFETs hace que se comprometa la capacidad de operación del LCL como interruptor. Sin ningún tipo de potencia en la puerta del dispositivo, la carga del LCL estaría conectada directamente al bus, de tal manera que, durante el proceso de encendido todas las cargas protegidas por el LCL estarán demandando potencia. La selección entre los semiconductores se ha realizado en base a dos criterios. En primer lugar, la máxima temperatura de la unión cuando el dispositivo está limitando corriente. El segundo criterio está basado en la disipación en operación nominal, es decir cuando el LCL no está limitando la corriente.

Por lo tanto, el mejor dispositivo será aquel que presente las menores pérdidas durante la operación nominal del LCL, y que al mismo tiempo no alcance su límite de temperatura en la unión mientras está limitando la corriente. Estos límites de temperatura deben cumplir con los requisitos indicados para aplicaciones espaciales en [4]. El peor caso de disipación se dará ante un cortocircuito a la salida del LCL. En este momento, el dispositivo limitador de corriente estará soportando toda la tensión de bus. La temperatura de la unión será estimada bajo este supuesto siguiendo el perfil de corriente mostrado en la Fig. 2.

Prueba de temperatura en la unión y potencia disipada:

Esta prueba deriva de la respuesta en corriente transitoria especificada en [3]. El análisis se lleva a cabo en base al perfil de corriente mostrado en la Fig. 2. Con esta prueba es posible evaluar la temperatura alcanzada en la unión del semiconductor:

1. Antes de que se produzca el cortocircuito y la sobrecarga de corriente, el MOSFET está en modo óhmico conduciendo la corriente nominal. En este punto, el transistor está disipando la potencia determinada por (1), donde R_{ON} es la resistencia en conducción del transistor de SiC, definida en la hoja de características, e I_N denota la corriente nominal. Esta disipación, junto con la impedancia térmica del dispositivo, se usa para determinar la temperatura inicial de la unión T_{j_start} .

$$P_{dis_nom} = R_{ON} \cdot I_N^2 \quad (1)$$
2. Durante el “*maximum overshoot recovery time*” el interruptor está conduciendo 50 A y el dispositivo está en modo óhmico, por lo tanto, la potencia disipada estará determinada por (2).

$$P_{dis_overshoot} = R_{ON} \cdot 50^2 \quad (2)$$
3. Durante el “*maximum trip-off time*”, el MOSFET está en modo activo soportando toda la tensión de bus, y haciendo que la potencia disipada por el transistor siga la expresión (3), donde I_{lim} es la máxima corriente de limitación.

$$P_{dis_linear} = V_{bus} \cdot I_{lim} \quad (3)$$
4. En este punto, es posible determinar el aumento de temperatura T_{j_rise} , usando el transitorio de la impedancia térmica del dispositivo y el perfil de potencia representado en la Fig. 3 con los valores indicados en (2) y (3). Con T_{j_start} y T_{j_rise} es posible obtener el valor de la máxima temperatura alcanzada en la unión (T_{j_max}) de acuerdo con (4).

$$T_{j_max} = T_{j_start} + T_{j_rise} \quad (4)$$

De acuerdo con las distintas clases de LCLs definidas en [3], los peores casos, desde el punto de vista de la disipación térmica, serán las clases 10 y 8, ya que son las que presentan los mayores valores de corriente nominal (8 A y 10 A respectivamente) y los mayores valores de máxima corriente de limitación (11,2 A y 14 A respectivamente). Con este análisis es posible establecer un perfil de la potencia disipada en el dispositivo limitador como el mostrado en la Fig. 3 (no representada a escala). La máxima temperatura permitida en un transistor utilizado en aplicaciones espaciales está definida en [4]. Se establece que la máxima temperatura en la unión sea de 110°C o la temperatura máxima del dispositivo menos 40°C, seleccionando aquella que sea menor. Sin embargo, se asume que un LCL solo limitará la corriente una vez en toda su vida útil ya que después de una sobrecorriente la carga se desconecta permanentemente. Por tanto, se permite llegar a alcanzar el límite de temperatura del dispositivo. Esto ayuda a explotar las ventajas de los dispositivos seleccionados de 175°C y 200°C.

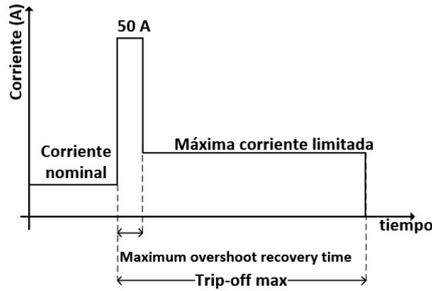


Fig. 2. Perfil de corriente en el LCL ante cortocircuito

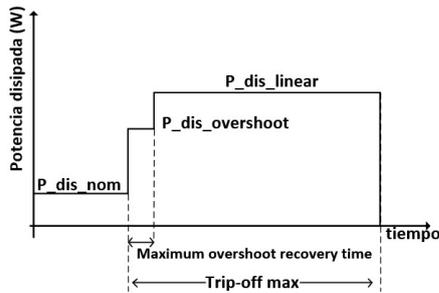


Fig. 3. Perfil de disipación de potencia ante cortocircuito

Por lo tanto, para este estudio se ha tomado como límite de seguridad, la temperatura del dispositivo menos 40°C. Para evaluar cual es el mejor semiconductor, se ha analizado la disipación ante circulación de corriente nominal para todos los semiconductores de SiC seleccionados. Este análisis muestra que los dispositivos que presentan una menor disipación en estas condiciones son el SCT3022AL, el SCTLW90N65G2V el C2M0040120D y el C2M0045170P. Estos dispositivos disipan 2,2W, 2,4W, 4W y 4,5W respectivamente, cuando conducen una corriente de 10 A en un LCL clase 10. La Fig. 4a) muestra los semiconductores SiC escogidos con una temperatura de unión de 150°C para una tensión de bus de 100 V en un LCL clase 10. Aquellos con una temperatura de unión de 175°C se muestran en Fig. 4b) y finalmente, Fig. 4c) representa aquellos con una temperatura de unión de 200°C. El límite de seguridad (dispositivo - 40°C) está representado en todos los casos. En relación con este análisis, es importante destacar que el límite de temperatura no debe ser excedido en el “trip-off time”, especificado para cada clase. De esta forma, para un LCL clase 10, el “trip-off time” mínimo es de 1,5ms y el máximo es de 3ms. Con este análisis solo el SCTLW90N65G2V cumple con este límite en los 3ms. Sin embargo, en el momento de realizar este trabajo, dicho semiconductor no estaba disponible. De esta forma, el dispositivo seleccionado en este trabajo ha sido el SCT3022AL [7]. Este dispositivo presenta la menor disipación en operación normal y además es compatible con el límite de seguridad establecido en el “trip-off time” mínimo de 1,5ms.

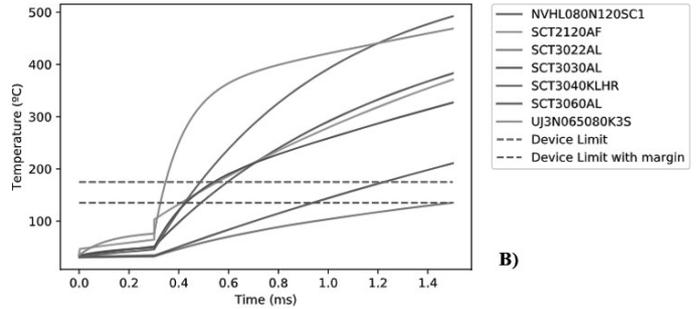


Fig. 4. Respuesta térmica a) 150°C, b) 175°C y c) 200°C

III. ARQUITECTURA DEL LCL

La arquitectura del LCL propuesta en este trabajo se muestra en la Fig. 5, indicando los distintos bloques que la forman. Al tratarse de una aplicación de espacio, todos los bloques que forman el LCL se implementan de manera analógica usando elementos discretos equivalentes a los calificados para espacio. Toda la circuitería que compone el LCL (sensor de corriente, lazo de control de corriente, DCX, sección de temporización y de “undervoltage”) está alimentada con un nivel de tensión a partir de la propia tensión de bus y un nivel de tensión auxiliar generado por la fuente auxiliar (V_{supply}). La razón de trabajar así tiene que ver con el funcionamiento del sensor de corriente [8]. Esta alimentación (V_{supply}) permite cumplir con la máxima tensión permitida entre los terminales de alimentación y medida de corriente del sensor, en relación con la tensión de bus. De esta forma, el diseño del LCL se ha fijado para tensiones de bus entre 100 V y 150 V. El diseño está basado en [2] y [9]. La principal desventaja, desde el punto de vista de la alimentación, es que la referencia de tensión para toda la circuitería no es la propia del bus de potencia del satélite, sino el terminal de fuente del MOSFET tipo P de la fuente auxiliar (masa de control).

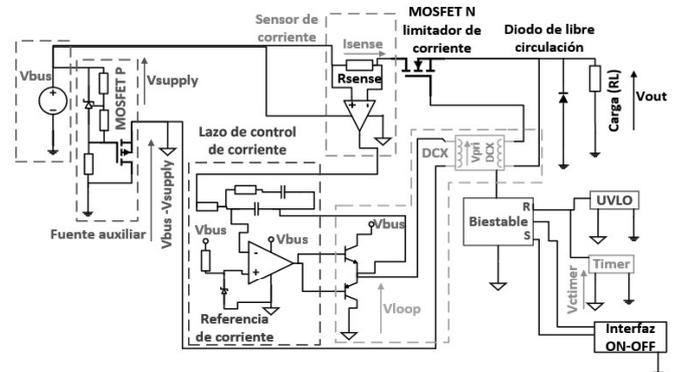
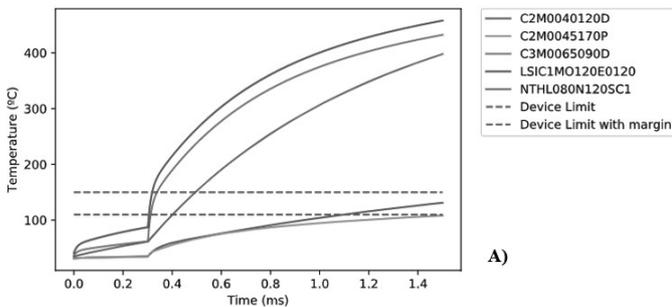


Fig. 5. Arquitectura del LCL



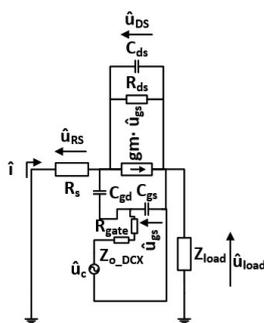


Fig. 7. Modelo de pequeña señal de la salida del DCX y el MOSFET-N

D. Sección de “undervoltage” (UVLO)

La sección de “undervoltage” se encarga de evitar que el LCL se encienda cuando la V_{bus} está por debajo de un determinado nivel. Siguiendo las recomendaciones en [3] se implementa un sistema de histéresis. El problema planteado viene de que la medida se toma directamente sobre la V_{bus} , sin embargo, esta información ha de pasarse referenciada a la masa de control. La solución implementada se muestra en la Fig. 8, y se basa en el uso de un espejo de corriente. El transistor PNP I está conectado entre la V_{bus} y la propia referencia del bus a través de R_{mirror_UVLO} , dando lugar a la corriente $I_{ref_mirror_UVLO}$. Esta corriente, proporcional a la V_{bus} , será reflejada a la corriente de colector del transistor PNP II, dando lugar a la corriente I_{UVLO} . Como se mostraba en Fig. 5 tanto la sección de UVLO como el temporizador están conectados a un biestable RS. De esta forma, en función del estado del transistor NPN_{ref}, la corriente I_{UVLO} circulará a través de R_2 ó del paralelo entre R_1 y R_2 llegando a un comparador implementado a través del integrado TL431 [13]. Esta implementación permite realizar la histéresis deseada. Cuando la tensión a la entrada del TL431 es mayor que su tensión de referencia (2,5V), su tensión de salida satura a nivel bajo apagando el transistor NPN_{set} conectado al terminal SET del biestable. Si, por el contrario, la tensión cae por debajo de 2,5 V dicho transistor se activa llevando el terminal SET a la masa de control. La señal SET es la encargada de activar el funcionamiento del DCX en el LCL. De esta forma, cuando esta señal está a nivel bajo, el DCX estará apagado, al igual que el MOSFET limitador de corriente.

E. Sección de temporización (“Timer”)

Una de las principales características que determinan el funcionamiento del LCL es que cuando se produce el paso de zona óhmica a zona activa para limitar corriente, debe empezar una temporización. De esta forma cuando se alcanza un tiempo prefijado (“trip-off time”) el LCL debe apagarse. Mientras que el dispositivo limitador está en modo de limitación de corriente, está disipando una gran cantidad de potencia, de tal forma que este “trip-off time” se encarga de evitar que la temperatura del dispositivo alcance su límite máximo permitido. Los LCLs tradicionales cuentan con tiempos fijos independientes de la tensión drenador-fuente (V_{diff}) en el dispositivo limitador, y por tanto de la potencia disipada en el mismo. En esta ocasión se ha optado por implementar una temporización dependiente de la tensión V_{diff} . La Fig. 9 muestra el esquema del temporizador planteado. Su funcionamiento se basa en el uso de un espejo de corriente. El transistor PNP_{tempI} está conectado al bus a través de la resistencia R_{g1} y a la fuente del MOSFET tipo N a través de la resistencia R_{mirror} . Cuando V_{diff} es mayor que la caída de tensión base emisor, el transistor conduce la corriente denotada como I_{ref_mirror} , que será proporcional a V_{diff} .

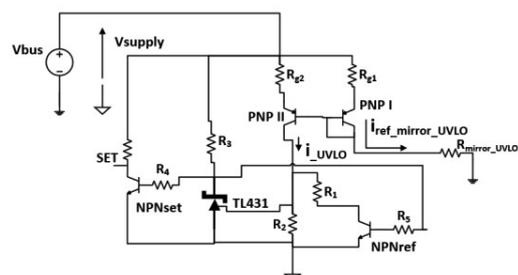


Fig. 8. Implementación del circuito de “undervoltage”

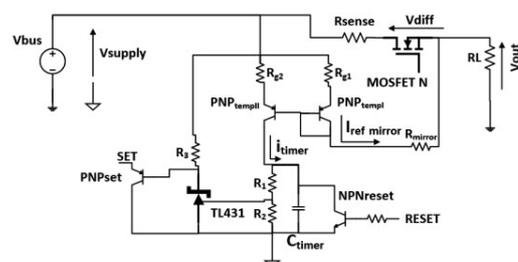


Fig. 9. Implementación del circuito de temporización

Esta corriente será reflejada en el transistor PNP_{tempII} generando la corriente I_{timer} . Esta corriente será integrada a través de la red RC formada por C_{timer} , y el divisor resistivo formado por R_1 y R_2 . Este divisor resistivo está conectado al terminal de referencia de un TL431 configurado como comparador. Una vez que la tensión en este divisor resistivo sea mayor que la tensión de referencia del TL431 (2,5V) este integrado saturará a nivel bajo activando el transistor PNP_{set} que llevará la señal SET del biestable a la masa de control. La puesta a nivel bajo de la señal de SET hará que se apague el DCX y por lo tanto el LCL. Mientras el LCL está apagado la tensión V_{diff} será igual a la V_{bus} . Esto hace que la corriente I_{timer} tienda a llegar a cargar C_{timer} , lo que evitaría que el LCL pudiera reconectar la carga. Para asegurarse de que esto no ocurre, y que la tensión en C_{timer} permanece a 0V, se conecta un transistor (NPN_{reset}) en paralelo con C_{timer} que se activa cuando el LCL se apaga y se encarga de cortocircuitar dicho condensador hasta que el LCL vuelva a encenderse. Como I_{ref_mirror} , que será proporcional a V_{diff} , el tiempo de carga del condensador (y por tanto el “trip-off time”) es proporcional a V_{diff} . El peor caso se da cuando el LCL tiene un cortocircuito puro a su salida y por tanto $V_{diff} = V_{bus}$. El condensador C_{timer} se dimensiona para que el LCL se abra en el tiempo dentro del rango especificado en [3] que garantiza que el dispositivo no llega a su límite de temperatura. En caso de $V_{diff} < V_{bus}$ este tiempo se alarga.

IV. RESULTADOS EXPERIMENTALES

Se ha desarrollado un prototipo de LCL clase 10 siguiendo la arquitectura planteada en la Fig. 5. La Fig. 10 muestra las principales formas de onda del prototipo de LCL clase 10 limitando corriente tras una sobrecarga para una V_{bus} de 100 V. Se puede ver cómo el LCL lleva la corriente de nominal de 10 A (I_N). Mientras esto ocurre, la salida del lazo de control (V_{loop}) está saturada a positivo. El DCX traslada esta tensión a los terminales puerta-fuente (V_{gs}) del MOSFET tipo N. La tensión a la salida del medio puente del DCX se representa como V_{priDCX} . Se puede ver cómo esta tensión, V_{priDCX} , sigue a la tensión V_{loop} . Tras la sobrecarga, se produce una sobrecorriente de 37 A y posteriormente el LCL reacciona limitando la corriente a 12 A (I_{lim}). Esto se consigue a través del lazo de control ajustando su tensión, de tal manera que el valor de corriente acaba siendo regulado. La tensión V_{priDCX} y, por lo tanto, la tensión V_{gs} del

MOSFET tipo N, sigue el comportamiento de V_{loop} . Después del cortocircuito, la sección de temporización (V_{Ctimer}) realiza su tarea apagando el LCL transcurrido el “trip-off min” de 1,5 ms. Esto se consigue con el temporizador apagando el DCX. Se puede ver cómo V_{priDCX} y, por lo tanto, la V_{gs} pasan a valer 0V, apagando el MOSFET tipo N. Consecuentemente, la corriente medida (I_{sense}) llega a 0 A y el lazo de control se satura a positivo.

Otra prueba realizada tiene por objetivo comprobar el funcionamiento del LCL en un contexto más desfavorable. La Fig. 11 muestra el funcionamiento del prototipo de LCL diseñado activándose directamente desde un cortocircuito. Se puede ver cómo tras producirse la sobrecorriente, la etapa DCX empieza a funcionar, el lazo de control reacciona disminuyendo el valor de V_{loop} y de la V_{gs} del MOSFET tipo N, y la corriente se regula al valor fijado (I_{lim}) de 12 A. Posteriormente, el temporizador apaga el LCL en el “trip-off min” de 1,5 ms. Finalmente, la última prueba mostrada pasa por conectar un condensador en paralelo entre la salida del LCL y la carga R_L . El objetivo es verificar el tiempo que tarda en cargarse este condensador a través de la corriente del LCL. Esto a su vez emula el proceso de encendido de un equipo alimentado a través del propio LCL. La Fig. 12 muestra dicho proceso de carga (V_C) para un condensador de 470 μF con una carga en paralelo, R_L , de 44 Ω y una V_{bus} de 100V. El tiempo de carga se sitúa alrededor de los 5 ms. En este caso, hay un primer momento en el que el LCL todavía no está limitando corriente, donde la carga del condensador se realiza de manera abrupta. Sin embargo, cuando el LCL empieza a limitar la corriente, el proceso de carga se realiza con pendiente constante. En todas las pruebas realizadas se ha mantenido el valor de la resistencia de medida del sensor de corriente (R_{sense}) en 0,02 Ω . Otro factor determinante del LCL planteado en este trabajo, tiene que ver con las bajas pérdidas obtenidas en comparación con los esquemas tradicionales de LCLs basados en MOSFETs tipo P. Se han realizado medidas de las pérdidas obtenidas para el prototipo de LCL clase 10 trabajando a V_{bus} de 100 V. El total de las pérdidas, considerando la disipación del MOSFET tipo N, las pérdidas en la fuente auxiliar, etapa DCX y etapa de medida de corriente, están alrededor de los 5 W. En una arquitectura tradicional, sólo la disipación en el MOSFET tipo P calificado para espacio, está alrededor de los 10 W.

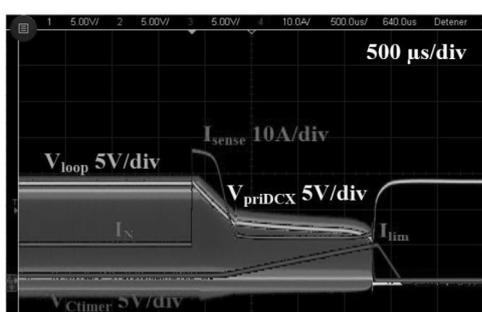


Fig. 10. Operación del LCL clase 10 tras cortocircuito con V_{bus} de 100 V

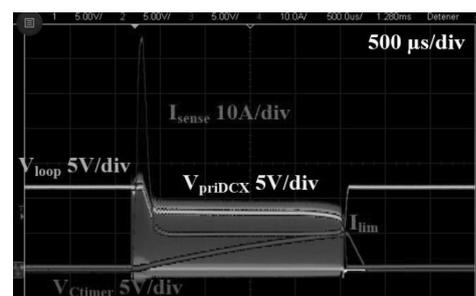


Fig. 11. Operación del LCL activándose desde cortocircuito con V_{bus} de 100 V

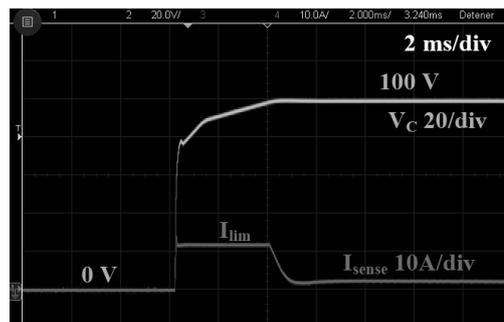


Fig. 12. Corriente medida (I_{sense}) y tensión (V_C) en el condensador

V. CONCLUSIONES

Este trabajo presenta una arquitectura de LCL basada en un MOSFET tipo N de SiC como dispositivo limitador. El proceso de diseño y funcionamiento se ha verificado tanto a nivel de simulación como experimental. Se ha desarrollado un prototipo de LCL clase 10, siguiendo la arquitectura propuesta, para tensiones de bus de 100 V. Se ha verificado de manera experimental que el LCL propuesto limita la corriente en caso de fallo, apagándose en el tiempo fijado por el temporizador. La implementación se ha realizado con componentes discretos y equivalentes a aquellos calificados para espacio. Este diseño es lo suficientemente flexible como para ser adaptado a mayores tensiones de bus, en el rango de 120 V - 150 V. Con esta arquitectura se consigue una menor disipación frente a las arquitecturas tradicionales de LCLs basadas en MOSFETs tipo P. Los satélites pueden llegar a tener alrededor de 100 LCLs, de modo que la arquitectura de LCL propuesta, puede suponer una disminución de pérdidas, en el sistema de distribución, muy significativa.

AGRADECIMIENTOS

Trabajo realizado mediante la financiación del Ministerio de Ciencia e Innovación a través del proyecto RTI2018-099682-A-I00, la financiación de la Agencia Espacial Europea mediante el contrato “SiC Latching Current Limiter Study” y la beca predoctoral con referencia PRE2019-088425.

REFERENCIAS

- [1] D. Marroqui, A. Garrigos, J.M. Blanes, R. Gutiérrez and E. Maset, ‘Circuit proposals for high-voltage latching current limiters’, in European Space Power Conference (ESPC), Oct. 2019
- [2] D. Marroqui, J. M. Blanes, A. Garrigós, and R. Gutiérrez, ‘Self-Powered 380 V DC SiC Solid-State Circuit Breaker and Fault Current Limiter’, *IEEE Trans. Power Electron.*, vol. 34, no. 10, pp. 9600–9608, Oct. 2019
- [3] “Space engineering - Electrical design and interface requirements for power supply, ECSS-E-ST-20-20C”. ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands, 15 April 2016.
- [4] ‘Space product assurance - Derating - EEE components. ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands.
- [5] ‘Space engineering - Guidelines for electrical design and interface requirements for power supply’. ECSS Secretariat ESA-ESTEC Requirements & Standards Division Noordwijk, The Netherlands, 15-Apr-2016.
- [6] W. Konrad, K. Leong, K. Krischan, and A. Muetze, ‘A simple SiC JFET based AC variable current limiter’, in 16th EPE, Finland, 2014, pp. 1–7.
- [7] SCT3022AL, N-Channel SiC power MOSFET, ROHM Semi, datasheet
- [8] LT6105, “Precision, Current Sense Amplifier”, Linear technology datasheet
- [9] ‘High-voltage, high-side floating current sensing circuit using current output, current sense amplifier’, Texas instruments Application note, 2018.
- [10] Pablo F. Miaja, Abraham Lopez and Manuel Arias, “An analog magnetic isolator for space power applications”, *Energies* 2020, 13, 4504
- [11] Abraham López, Manuel Arias, Pablo Miaja y Arturo Fernández, ‘Análisis y diseño de un aislador analógico para el control de un MOSFET de canal N en un limitador de corriente de enclavamiento’, en SAAEI, septiembre, 2020
- [12] Frequency Response Analyzer, Model 6320, Venable Instruments, datasheet
- [13] TL431, Precision Programmable Reference, Texas Instruments datasheet