Universidad de Oviedo

Departamento de Ingeniería Eléctrica, Electrónica, de Computadores y Sistemas

Programa de doctorado: "Energía y Control de Procesos"

PROPUESTAS DE DISEÑO MODULAR Y AGRUPACIÓN EN PARALELO DEL CONVERTIDOR ELEVADOR SÍNCRONO PARA SISTEMAS DE ALIMENTACIÓN BIDIRECCIONALES

TESIS DOCTORAL

POR

Aitor Vázquez Ardura

ENERO 2016

Universidad de Oviedo

Departamento de Ingeniería Eléctrica, Electrónica, de Computadores y Sistemas

Programa de doctorado: "Energía y Control de Procesos"

PROPUESTAS DE DISEÑO MODULAR Y AGRUPACIÓN EN PARALELO DEL CONVERTIDOR ELEVADOR SÍNCRONO PARA SISTEMAS DE ALIMENTACIÓN BIDIRECCIONALES

TESIS DOCTORAL

POR

Aitor Vázquez Ardura

ENERO 2016

University of Oviedo

Electrical and Electronic Engineering, Computer and Systems Department

MODULAR DESIGN PROPOSALS AND PARALLEL ARRANGEMENT OF SYNCHRONOUS BOOST CONVERTER FOR BIDIRECTIONAL POWER SYSTEMS

PHD THESIS

BY

Aitor Vázquez Ardura

JANUARY 2016

Tesis Doctoral

PROPUESTAS DE DISEÑO MODULAR Y AGRUPACIÓN EN PARALELO DEL CONVERTIDOR ELEVADOR SÍNCRONO PARA SISTEMAS DE ALIMENTACIÓN BIDIRECCIONALES

por

Aitor Vázquez Ardura

Presentada en el

Departamento de Ingeniería Eléctrica, Electrónica, de Computadores y Sistemas

de la

Universidad de Oviedo

Para la obtención del Grado de Doctor Ingeniero de Telecomunicación

GIJÓN, ENERO 2016

Tesis Doctoral

PROPUESTAS DE DISEÑO MODULAR Y AGRUPACIÓN EN PARALELO DEL CONVERTIDOR ELEVADOR SÍNCRONO PARA SISTEMAS DE ALIMENTACIÓN BIDIRECCIONALES

por

Aitor Vázquez Ardura

Directores de Tesis

Marta María Hernando Álvarez

Diego González Lamar

GIJÓN, ENERO 2016

Mira a la derecha y a la izquierda del tiempo
y que tu corazón aprenda a estar tranquilo

AGRADECIMIENTOS

En primer lugar, deseo agradecer de corazón la ayuda, dedicación, consejos y motivación de mis directores de tesis, Marta M. Hernando y Diego G. Lamar. Todas las ideas y aportaciones de esta tesis han sido, en mayor o en menor medida, fruto de su guía y de su experiencia. No sólo eso, sino que mi aprendizaje a raíz de este trabajo se debe en buena parte a ellos. Sin su labor constante esta tesis no hubiera existido. Gracias a los dos.

En segundo lugar, debo agradecer a Javier Sebastián por todo lo que me ha enseñado durante estos años, tanto como alumno, como ingeniero, como investigador y, lo que es más importante, como persona. Gracias por todo Javier.

En tercer lugar, quiero reservar un agradecimiento especial a todos mis compañeros de trabajo y de laboratorio: a los “viejos” (Miguel, Manu, Alberto, PF Miaja y Marcos) y a los “nuevos” (Nacho, Kevin, Juan y María). Tanto en los buenos momentos como en los malos han estado ahí para apoyarme, ayudarme y guiarme. Gracias.

Quisiera también agradecer la labor del profesor Dragan Maksimović por su ayuda y consejos durante mi estancia en Boulder. Buena parte de las ideas relacionadas con el estudio de las pérdidas de conmutación debidas a la recuperación inversa se deben a él. Debo extender el agradecimiento a los profesores Robert W. Erickson y Regan Zane y al resto de miembros del CoPEC que tanto me ayudaron allá: Kamal Sabi, Jackie, Tadakazu, Josh, Yoash y Danny Costinett.

A mis amigos: Rocío (gracias bixo), Alexia, Elías, Tomás, Leti y Uría.

A Teté, Aída, Su y Patri por los buenos ratos en Jarandilla de la Vera.

A mis amigos de Boulder: Jérôme, Yves-Marie, Cassidy, Jessica, Jeff, Ignacio, Sean, Mike, Nicole, Ahad, Saroj y Hanz y a todos los miembros de la Table Francophone.

A los peones, donde quiera que estéis: Gustavo Sutil, Berto Secades, Berto Reñón (Fabas), Pablo Eugenio, Jorge Norniella y Patry.

Al resto de compañeros de la tercera promoción de Teleco. A mis compañeros y amigos del colegio Lastra y del San Ignacio. A todos con los que compartí calle y corchera en el equipo de natación Manuel Llaneza. Y a todos aquellos de los que me he olvidado.

A todos los profesores que me han enseñado algo más: Fernando, Isabel, Barrera, Cristóbal, Luis Ordóñez, Ángel Vicente, Marcelino, Mari Carmen y Matilla.

Mi último agradecimiento está reservado a mi familia.

A mi cuñada Vanesa Menéndez Suárez (Vane), por ser como eres. Por compartir conmigo los (infinitos) bailes, cervezas, wasaps, risas y lágrimas juntos (y los que nos quedan). En definitiva, por haberte convertido en mi hermana.

A mis abuelos (Romay, Maruja, Eliseo “Cuestina” y Marina). Os tengo siempre presentes en mi memoria.

A mis padres, Manuel y Ángela. Sin vosotros, no estaría aquí. No tengo que decir nada más. GRACIAS.

Y para acabar, a mi hermano Carlos (Nupi). Por tu música. Por tus discos. Por tu habitación con 8 años. Por enseñarme a jugar al baloncesto. Por los veranos en el R18. Por bailar conmigo Los Ronaldos y los Rolling. Por tu paciencia. Por enseñarme a andar en bici. Por tu guitarra. Por llevarme a las competiciones de natación. Por la Buraka. Por los domingos por la tarde lluviosos jugando al parchís. Por llevarme al cine. Por grabar Cerca de las Estrellas. Por tus cintas de VHS con los conciertos de Dire Straits y de Michael Jordan. Por tus collejas (bien dadas). Por mostrarme el lado dulce y el lado oscuro de la vida. Por ser el ejemplo en el que siempre me he fijado y del que nunca dejaré de estar orgulloso ni dejar de aprender. A ti, te debo esta tesis. Gracias Bro!

0 RESUMEN, OBJETIVOS Y ESTRUCTURA

En esta tesis se desarrolla el concepto de módulo de potencia y, por extensión, de un convertidor modular, definido como aquél que está formado por dos o más módulos de potencia. Esta premisa de agrupación modular se desarrolla en el marco particular de las aplicaciones bidireccionales, en las que se imponen unos márgenes de funcionamiento amplios a las etapas de potencia. Tras presentar el concepto básico de agrupación modular, se desarrollan las posibles alternativas que existen para la agrupación de dos o más módulos, analizando las ventajas, los inconvenientes y las características que debe cumplir el módulo de potencia en cada caso. Tras esto, se plantea el análisis de una topología en concreto para validar el concepto de agrupación modular. Concretamente, se analiza el convertidor elevador síncrono trabajando en modo QSW-ZVS. Posteriormente, se desarrolla sobre este módulo la agrupación en paralelo y se promueven varias técnicas de optimización del rendimiento del convertidor modular resultante. Por último, se analiza la optimización del módulo de potencia mediante la adopción de dispositivos semiconductores de banda prohibida ancha, y las potenciales mejoras que estos dispositivos brindarían al convertidor modular.

Los recursos energéticos han sido explotados de una forma directa por los seres humanos desde la edad de los metales. Como consecuencia de la revolución industrial, la demanda de los recursos energéticos se incrementó notablemente, a medida que la sociedad reclamaba un consumo cada vez mayor de energía. La diversificación de las fuentes energéticas basadas en combustibles fósiles permitió una rápida evolución tecnológica de la sociedad hasta el momento actual. Sin embargo, las reservas de estas fuentes de energía son cada vez menores y el uso de combustibles fósiles ha llevado a una situación de peligro medioambiental grave, debido a las emisiones de efecto invernadero causadas por la explotación de estas fuentes de energía. Por lo tanto, la sociedad actual se enfrenta a un importante reto de búsqueda y explotación de otras fuentes de energía (típicamente, las llamadas energías renovables) así como a un uso más eficiente (o más inteligente) de la energía.

Ligado a esta búsqueda de nuevas fuentes de energía, en los años más recientes han proliferado el estudio y análisis de los convertidores bidireccionales, es decir, sistemas electrónicos capaces de transformar el formato de la energía eléctrica y de manejar un flujo de potencia en, al menos, dos sentidos. Estos convertidores están ligados a los sistemas de almacenamiento de energía, que, por extensión, aparecen de una manera muy habitual en las aplicaciones de gestión eficiente (o gestión sostenible) de la energía. Un ejemplo sencillo del funcionamiento de estos convertidores puede verse en el caso en el que las condiciones de funcionamiento de un sistema permitan generar más energía de la que se está consumiendo. En ese instante, el convertidor bidireccional permite trasladar esa energía al sistema de almacenamiento. Posteriormente, si se reclama un mayor consumo de energía y la fuente principal es incapaz de acometer esa demanda, el convertidor bidireccional descargará el sistema de almacenamiento. De esta forma, la energía está siendo usada de una manera más eficiente. En el primer capítulo de esta tesis se recoge un estado del arte de las principales topologías bidireccionales, tanto sin aislamiento galvánico como con aislamiento galvánico. Se analizan las ventajas y desventajas de cada una, poniendo especial énfasis en su uso futuro dentro de las aplicaciones de gestión de energía. El capítulo se finaliza con una breve comparativa de todas las topologías analizadas.

La idea fundamental que se desarrolla en esta tesis es el concepto de convertidor modular, la agrupación modular y los módulos de potencia. Como ya se ha citado anteriormente, el convertidor bidireccional ha de tener un rendimiento muy elevado si se persigue que el rendimiento global del sistema de gestión de energía sea netamente eficiente (o, en otras palabras, que sea más eficiente almacenar energía que desperdiciarla). La pregunta inherente que subyace a esta reflexión es cómo mejorar el rendimiento de un convertidor bidireccional (y, en general, de cualquier convertidor). En esta tesis se desarrolla una posible solución, que pasa por sustituir un único convertidor por la agrupación de varios convertidores más sencillos, capaces

de lograr un funcionamiento similar (en prestaciones) al primero, pero logrando un rendimiento mejor. Este es el concepto básico de agrupación modular. Se entiende, por lo tanto, que un módulo de potencia es un convertidor que ya no es posible escalarlo más en términos de potencia, o que no resulta viable dividirlo más. La agrupación de varios módulos de potencia, su control y su funcionamiento conjunto dan lugar al concepto de convertidor modular, entendido éste como el formado por varios módulos de potencia. La mejora fundamental del rendimiento que puede obtenerse como consecuencia de una agrupación modular, se debe a las leyes de escala que se aplican cuando se divide el problema original (un único convertidor) en varios problemas más sencillos (módulos de potencia). Al escalar la potencia, se está escalando o bien la corriente, o bien la tensión, o bien ambas. Con unas solicitaciones menores de tensión y corriente es posible utilizar dispositivos semiconductores, inductancias y condensadores de mejores prestaciones, lo que conlleva un rendimiento mejor del módulo de potencia y, por extensión, del convertidor modular resultante. Así pues, en el segundo capítulo de esta tesis se analiza este concepto de agrupación modular y las distintas alternativas existentes (en cascada, agrupación en serie a la entrada y a la salida, agrupación en paralelo a la entrada y a la salida, agrupación en paralelo-serie o en serie-paralelo y agrupación mixta). Para cada caso se desarrollan las leyes de escala impuestas y las principales ventajas e inconvenientes de cada agrupación. Posteriormente, se enfatiza sobre la estrategia de control del convertidor modular (es decir, cómo han de gestionarse los módulos para que l convertidor modular sea viable). Por último, se cierra el capítulo con un posible algoritmo de diseño que ha de seguirse si se quiere implementar un convertidor modular a partir de una especificaciones de partida.

Los capítulos tres y cuatro de esta tesis recogen un posible ejemplo y validación de una agrupación modular particularizada en un módulo concreto (el convertidor elevador bidireccional operando en modo crítico con transición resonante, que se llamará en adelante QSW-ZVS) y una agrupación concreta (la agrupación en paralelo, que se llamará en adelante IPOP). Concretamente, en el capítulo tres se presenta tanto el análisis estático como dinámico del convertidor elevador síncrono bidireccional operando en modo QSW-ZVS. Este convertidor es el más sencillo de todos los convertidores bidireccionales sin aislamiento galvánico, lo que le hace ser un buen candidato para ser utilizado como módulo de potencia. Además, el modo de operación QSW-ZVS permite reducir drásticamente las pérdidas de conmutación de este convertidor, consiguiendo, así, un rendimiento elevado. Cabe destacar que este modo de operación particular ha sido analizado anteriormente en funcionamiento a frecuencia constante. En esta tesis, sin embargo, se plantea su análisis bajo la premisa de un funcionamiento a frecuencia variable, tanto el análisis estático como dinámico. Posteriormente, se plantea un algoritmo de diseño del convertidor para el modo QSW-ZVS. El capítulo se cierra con la

presentación de una estrategia de control sencilla basada en eventos (llamada simplemente control directo) para lograr la operación a frecuencia variable.

Como ya se ha citado, en el capítulo cuatro se exponen distintas estrategias de diseño y de control basadas en la agrupación IPOP del convertidor anterior, que se utiliza aquí como módulo de potencia. Con este capítulo se pretende ilustrar la capacidad de adoptar distintas técnicas de control para un convertidor modular, pudiendo llegar a mejorar el rendimiento global del convertidor modular exclusivamente encendiendo, apagando o combinando determinados módulos. Se comparan cuatro estrategias de control posibles, desde el punto de vista del rendimiento: un control equilibrado o entrelazado, un control de encendido secuencial, un control maestro-esclavo no equilibrado y un control por histéresis. Las dos primeras técnicas ya han sido estudiadas anteriormente con profundidad en distintos convertidores. Sin embargo, en esta tesis se plantea una estrategia de control basada en una arquitectura maestro-esclavo para lograr un control entrelazado de cada módulo operando a frecuencia variable. La técnica maestro-esclavo no equilibrada explora la capacidad de combinar módulos que manejen distintas potencias para lograr una curva de rendimiento más optimizada, encendiendo o apagando módulos de una manera similar al encendido secuencial. Esta estrategia de control puede llevarse al límite desencadenando la estrategia de control por histéresis presentada al final de este capítulo.

Por último, el capítulo quinto de esta tesis se ha dedicado al análisis de dispositivos semiconductores de banda prohibida ancha, concretamente a los dispositivos de carburo de silicio (SiC) y de nitruro de galio (GaN) y las posibles mejoras que supondría su uso en el módulo de potencia. Estos dispositivos semiconductores poseen unas características potenciales muy interesantes desde el punto de vista de la electrónica de potencia, puesto que podrían operar con tensiones, temperaturas y frecuencias de conmutación superiores a los dispositivos basados en silicio utilizados hasta ahora. Con la finalidad de explorar estas ventajas teóricas, en este capítulo se estudian tres posibles usos de distintos dispositivos de banda prohibida ancha. En primer lugar, se explora el uso de este tipo de dispositivos con algún montaje utilizado como protección en la conexión del convertidor modular IPOP. Concretamente, se presenta el concepto de rectificador en cascodo basado en un transistor JFET de SiC normalmente cerrado, para su uso como puerta OR para la conexión de los módulos. El rectificador en cascodo se analiza a baja frecuencia y se enfatizan las principales propiedades de esta estructura desde el punto de vista de las pérdidas. En segundo lugar, se plantea la utilización de diodos tanto de SiC como de GaN para paliar la recuperación inversa del diodo parásito del transistor MOSFET de super-unión y mejorar, así, el rendimiento del módulo de potencia. También se plantea el análisis de estos dispositivos si el módulo operase de manera unidireccional. Se realiza una comparación en términos de rendimiento para varias frecuencias de conmutación y se analizan las pérdidas ligadas a la recuperación inversa. Por último, se presentan una serie de resultados obtenidos con el uso de

transistores MOSFET de SiC y transistores HEMT de GaN en el módulo de potencia analizado en detalle en el capítulo tres de la tesis y se compara en términos de rendimiento y funcionamiento general con los obtenidos en aquél capítulo para distintas frecuencias de conmutación.

Como cierre final de la tesis se recogen las principales conclusiones obtenidas en este trabajo de investigación y las posibles líneas futuras de trabajo relacionadas con esta tesis.

0 SUMMARY

The power module concept and, by extension, modular converters (or composite converters), defined as those formed by two or more power modules, are studied in this thesis. This modular concept is developed via bidirectional applications, in which wide voltage and power operational ranges are imposed on the power converters. After a detailed explanation of the modular concept applied to power converters, different modular strategies are presented and analyzed highlighting the advantages and drawbacks of each of them. Once these concepts have been examined, a particular modular converter and a particular power module are analyzed. Specifically, a synchronous boost converter working in quasi-square wave zero voltage switching (QSW-ZVS) mode has been chosen as the power module, and the input parallel, output parallel (IPOP) modular converter has been selected as the study case. Several control strategies are also presented and applied to this IPOP modular converter aimed at improving the overall efficiency of the converter. Finally, an optimization of the power module via the adoption of wide-bandgap (WBG) semiconductor devices is presented, taking into consideration all the potential improvements that these devices might bring to the power stage.

Natural energy resources have been exploited by human beings since the discovery of fire. As a result of the industrial revolution, the increase in electric and electronic devices and demand for these energy resources have grown considerably. The diversification of energy resources based on fossil fuels has nowadays allowed an upsurge in technology and science. However, fossil fuel reserves are decreasing day by day and their use has increased greenhouse gas (GHG) emissions drastically. Accordingly, global warming is increasing year by year, endangering the natural environment of the planet. Modern society has to face this challenge by searching for new energy resources (such as renewable energies), as well as more efficient, smarter use of energy.

Linked to this search for and use of new energy resources, the study and analysis of bidirectional power converters have grown in recent years in the state of the art. These converters are capable of transforming the energy format and managing energy in two different power fluxes. They are directly related with energy storage systems, often included in smart and sustainable energy systems. As an example of use of these power converters, consider a renewable energy system in which the energy has to be stored during the periods of low demand yet high generation, and in which, this energy might subsequently be extracted in order to fulfill high energy peak demands. Hence, energy is being used more efficiently in comparison to traditional energy systems in which it was wasted instead of being stored during high generation and low demand periods.

The first chapter of this thesis presents the state of the art of bidirectional dc/dc power converters. Topologies with and without galvanic isolation are included and analyzed in terms of efficiency, flexibility, cost and reliability. The main advantages and drawbacks of each topology are also discussed. The chapter ends with a brief comparison of all the analyzed topologies.

The main concepts addressed in this thesis are those of modular design, modular converters and power modules. As stated previously, if the energy system is considered more efficient, then the power converters involved in this system should have high efficiency, in order to keep the overall energy losses very low. The inherent issue underlying the previous statement is how to increase the bidirectional power converter efficiency. The modular approach is adopted in this thesis, as a possible solution to this problem. Instead of using only one power converter, several basic converters are used. These converters are capable of working together and performing similarly when compared with the way a stand-alone converter behaves, but they are able to achieve an improvement in overall efficiency. A power module is thus defined as a power converter which cannot be divided in other power converters or which is not worth dividing in terms of power. The combination of several power modules (or simply, modules), their control strategy and their connection is called a modular converter. The improvement in efficiency that can be obtained in a modular converter is based on the scale rules which are applied when the original complex problem (a power converter) is divided into several simpler problems (power modules). In the

modular converter approach, the power is scaled by the number of modules used. Hence, either current or voltage stresses (or both) can be divided in a power module. Less voltage or current stress means that better devices, in terms of losses and performance, can be used in these power modules (e.g. better transistors, better inductors and better capacitors). A power module can thus be designed with very low losses and, by extension, the modular converter can improve its overall efficiency in comparison to a single converter. In the second chapter of this thesis, the modular concept is studied in depth and six different modular group are analyzed: cascade, input series output series (ISOS), input parallel output parallel (IPOP), input series output parallel (ISOP) or input parallel output series (IPOS) and mixed grouping (i.e. any combination of the previous ones). The theoretical scale rules are presented for each grouping and, once again, the pros and cons are also detailed. Subsequently, a basic control strategy is presented for each power converter (i.e. how the power modules should be controlled in order to obtain a valid modular converter). Finally, a procedure or algorithm for the proper design of a modular converter is presented, taking into account the specifications that must be fulfilled in the final application.

Chapters 3 through to 4 present an example of a modular converter, choosing a particular power module (synchronous boost converter working in QSW-ZVS) and a particular modular grouping (IPOP). The static and dynamic behavior of a synchronous boost converter working in QSW-ZVS is explained in chapter 3. This power converter has the simplest bidirectional dc-dc non-isolated topology which fits with the power module concept and requirements. Furthermore, QSW-ZVS operation allows this converter to work under soft-switching conditions, which increases overall efficiency. It should be noted that QSW-ZVS mode has already been analyzed in the literature at constant switching frequency. However, QSW-ZVS with variable switching frequency is adopted in this thesis and is taken into account in the steady state and dynamic behavior analysis. Following the theoretical study, an algorithm to design this particular mode is also presented. Chapter 3 ends with the presentation of a very simple closed-loop control based on events (called direct variable frequency control here) which can be applied to this power converter.

Chapter 4 presents the study of an IPOP modular converter formed by the previously analyzed power converter, which plays the role of a power module. Different control strategies are presented in this chapter, the main goal of which is to illustrate the flexibility of a modular converter, and how, by changing only the control strategy, it is possible to improve the efficiency and overall performance of the converter. Four different control strategies are compared in this chapter from the point of view of efficiency: a balanced control, a phase-shedding control (sequential turn-on), an asymmetrical control (also called asymmetrical master-slave control) and a hysteretic control (or intermittent turn-on control). The first two techniques (balanced and phase shedding) have already been studied in the state of the art, and both are very well known. However, a new method

to achieve a balanced control applied to an IPOP converter is presented in this thesis. This method is called the master-slave technique and can be used to obtain a balanced modular converter with synchronous boost converters working in QSW-ZVS with variable switching frequency. The phase-shedding control strategy enables improving overall converter efficiency, especially under light load and medium load conditions, by adapting the number of active modules (i.e. modules that are processing power) to the power demand. The asymmetrical master-slave technique is an improvement on the previous technique. This technique combines different modules with different maximum power ratios to improve the efficiency of the modular converter under light load conditions. If this technique is pushed to the limit, then the hysteretic control strategy (or intermittent turn-on) is found to be the optimal control strategy from the point of view of efficiency. The four control strategies are compared in terms of their pros and cons at the end of this chapter.

Chapter 5 of this thesis addresses WBG devices, in particular Silicon Carbide (SiC) and Gallium Nitride (GaN) and the potential improvements that these devices might bring to the power module should they be adopted. These devices have a higher breakdown voltage, higher thermal capabilities and a lower channel resistance than silicon (Si) devices. They can hence operate at larger voltage ratios, higher switching frequencies or within a higher temperature range. The main goal of chapter 5 is to explore these potentials. Therefore, three different uses of these devices are studied. First, a cascode rectifier based on a normally-on (n-on) SiC JFET combined with a Si Schottky diode is explored. This cascode rectifier has lower conduction losses than a Si rectifier with the same characteristics (voltage and current ratios). This structure is proposed as a OR stage as security circuit for connecting the modules. Both a static and dynamic characterization of the proposed cascode rectifier are also presented in this chapter in terms of forward voltage, on-resistance, reverse recovery behavior and high frequency operation. The second case studied is the use of SiC and GaN diodes in the power module, to minimize the reverse recovery losses of the super-junction MOSFET body diode used in the converter. These diodes are compared in terms of efficiency at several switching frequencies, taking in consideration the reverse recovery behavior of each of them. Finally, SiC MOSFET transistors and GaN HEMT transistors are used in the power module as a replacement for the Si devices used in chapters 3 and 4. The results obtained here are compared with those obtained in chapters 3 and 4 in terms of efficiency and switching frequency.

Finally, the main conclusions, contributions of this research activity and possible future work are summarized in the last chapter of this thesis.

MEMORIA

ÍNDICE

1 Introduction and state of the art 1

1.1. Bidirectional power supply systems 2

1.2. Bidirectional DC/DC power converters 6

1.2.1. Bidirectional DC/DC power converters without galvanic isolation 8

1.2.1.1. Step-up and step-down family (buck and boost) 9

1.2.1.2. Bidirectional buck-boost power converters 11

1.2.1.3. Bidirectional quasi-resonant power converters 14

1.2.2. Bidirectional power converters with galvanic isolation 15

1.2.2.1. Bidirectional isolated buck-boost power converters 16

1.2.2.2. Bidirectional power converters based on bridges 17

1.2.2.3. Bidirectional dual active bridge power converters 19

1.2.2.4. Bidirectional isolated resonant power converters 24

1.3. Summary and comparison 26

1.4. References 35

2 El diseño modular aplicado a las fuentes de alimentación 41

2.1. Introducción 42

2.1.1. Ventajas y desventajas de un convertidor modular 43

2.2. Agrupaciones modulares de convertidores 51

2.2.1. Agrupación modular en cascada 51

2.2.2. Agrupación modular en paralelo (IPOP) 53

2.2.3. Agrupación modular en serie (ISOS) 61

2.2.4. Agrupación modular serie-paralelo o paralelo-serie (ISOP o IPOS) 66

2.2.5. Agrupación modular mixta 70

2.3. Estrategia de diseño de un convertidor modular 74

2.3.1. Selección de la agrupación óptima 74

2.3.2. Selección del módulo de potencia y del número óptimo de módulos 77
2.3.3. Selección del control 78
2.4. Referencias 80
3 El convertidor elevador síncrono como módulo de potencia... 85
3.1. Justificación 86
3.2. El modo QSW-ZVS aplicado al convertidor elevador síncrono 89
3.2.1. Análisis estático del modo QSW-ZVS 91
3.2.1.1. Formas de onda y relaciones importantes 91
3.2.1.2. Variaciones de la frecuencia de conmutación y del ratio de conversión 106
3.2.1.3. Proceso de diseño del modo QSW-ZVS 118
3.2.2. Análisis dinámico del modo QSW-ZVS 125
3.2.2.1. Deducción teórica del modelo dinámico 125
3.2.2.2. Interpretación del modelo dinámico 135
3.2.3. Control directo de frecuencia variable 143
3.2.3.1. Diseño del regulador 152
3.2.3.2. Resultados experimentales 156
3.2.3.3. Ventajas y desventajas del control directo de frecuencia variable 163
3.3. Referencias 166
4 Técnicas de optimización para la agrupación IPOP 171
4.1. Introducción 172
4.2. Número de módulos óptimo 174
4.2.1. Rendimiento 174
4.2.1.1. Desglose de pérdidas 180
4.2.2. Volumen 187
4.2.3. Coste 192
4.2.4. Rizado de la corriente de entrada 196
4.3. La agrupación en paralelo del convertidor elevador síncrono QSW-ZVS 201
4.3.1. Descripción del problema 202

4.3.2. Solución propuesta: control maestro-esclavo 204
4.3.3. Resultados experimentales 210
4.4. Técnicas de control para la mejora del rendimiento en la agrupación IPOP 214
4.4.1. Técnica de encendido secuencial 216
4.4.1.1. Descripción e implementación 216
4.4.1.2. Resultados experimentales 226
4.4.1.3. Ventajas y desventajas 227
4.4.2. Técnica de maestro-esclavo asimétrica 229
4.4.2.1. Descripción e implementación 229
4.4.2.2. Resultados experimentales 236
4.4.2.3. Ventajas y desventajas 239
4.4.3. Técnica de encendido intermitente o por histéresis 242
4.4.3.1. Descripción e implementación 242
4.4.3.2. Resultados experimentales 246
4.4.3.3. Ventajas y desventajas 247
4.4.4. Resumen y comparativa de las técnicas de control propuestas 249
4.5. Referencias 253
5 Optimización del módulo de potencia basada en el uso de dispositivos de banda prohibida ancha 257
5.1. Introducción 258
5.1.1. Dispositivos semiconductores de banda prohibida ancha 258
5.1.1.1. Propiedades particulares del carburo de silicio (SiC) 261
5.1.1.2. Propiedades particulares del nitruro de galio (GaN) 263
5.1.2. Incorporación de dispositivos de banda prohibida ancha en el módulo de potencia 264
5.2. El rectificador en cascodo 266
5.2.1. Planteamiento: la puerta *or* 266
5.2.2. Descripción del rectificador en cascodo 268

5.2.2.1. Estructura del rectificador en cascodo basado en un JFET n-on de SiC ... 268
5.2.2.2. Descripción del funcionamiento ... 269
5.2.2.3. Estructura del rectificador en cascodo basado en un MOSFET de Si ... 272
5.2.2.4. Caracterización en baja frecuencia ... 275
5.2.3. Funcionamiento en alta frecuencia ... 280
5.3. Diodos para conmutación en alta frecuencia ... 282
5.3.1. El problema de la recuperación inversa del diodo parásito en los transistores de super-unión ... 282
5.3.2. Comparativa de diodos de Si, SiC y GaN ... 284
5.4. El módulo de potencia con transistores de SiC ... 299
5.4.1. El transistor MOSFET de SiC ... 299
5.4.2. Drivers para MOSFET de SiC ... 302
5.4.3. Resultados experimentales ... 304
5.4.3.1. Comparativa con transistores HEMT de GaN ... 308
5.4.4. Conclusiones ... 312
5.5. Conclusiones del uso de dispositivos de WBG en el módulo de potencia ... 314
5.6. Referencias ... 316
6 Conclusions, contributions and future work ... 321
6.1. Conclusions ... 322
6.2. Contributions and publications ... 323
6.2.1. Contributions ... 323
6.2.2. Publications ... 323
6.3. Future work ... 325
6.4. Financial support ... 325
7 Conclusiones, aportaciones y trabajo futuro ... 327
7.1. Conclusiones ... 328
7.2. Aportaciones y difusión de los resultados ... 329
7.2.1. Aportaciones ... 329

7.2.2. Difusión de los resultados 330

7.3. Líneas de trabajo futuras 331

7.4. Financiación 332

ÍNDICE DE FIGURAS

Figure 1.1. Traditional DC/DC power converter. 2

Figure 1.2. Bidirectional DC/DC power converter. 3

Figure 1.3. General diagram for a bidirectional power supply system for renewable energy applications. 4

Figure 1.4. Multi-port power supply system based on several power converters, including a bidirectional power stage. 5

Figure 1.5. Bidirectional power supply converter based on two unidirectional power converters. 8

Figure 1.6. Bidirectional synchronous boost converter. 9

Figure 1.7. Bidirectional buck-boost converter. 12

Figure 1.8. Other bidirectional buck-boost topologies. (a) Sepic-ZETA converter. (b) Ćuk-Ćuk converter. 12

Figure 1.9. Cascaded buck-boost converter, also known as four switch buck-boost converter or non-inverting buck-boost converter. 13

Figure 1.10. Cascaded buck-boost converter operating under ZVS. (a) Topology. (b) Theoretical operating waveforms. 14

Figure 1.11. Bidirectional multi-resonant ZVS-ZCS converter. 15

Figure 1.12. Bidirectional flyback converter with active clamp. 16

Figure 1.13. General diagram for bidirectional converters based on bridges. 17

Figure 1.14. Possible options and combinations for bidirectional power converters based on bridges. 17

Figure 1.15. Bidirectional push-pull and full bridge power converter. 18

Figure 1.16. General diagram for the dual active bridge family. The bridges plotted as a squared transistor might be any of the possible combinations shown in Figure 1.10. 20

Figure 1.17. Dual Half Bridge (DHB) power converter. 20

Figure 1.18. Dual Active Bridge (DAB) power converter. (a) Topology. (b) Theoretical operating waveforms and equivalent circuit. 21

Figure 1.19. Two examples of asymmetrical active bridge power converters. (a) Active Half-Bridge Full-Bridge (AHBFB) converter. (b) Active Push-Pull Full-Bridge (APPFB) converter. 22

Figure 1.20. Three-phase Dual Active Bridge converter (DAB3)..... 22

Figure 1.21. Dual Active Bridge Series Resonant Converter (DABSRC). 23

Figure 1.22. Series-Parallel Resonant Converter based on a CLLC tank (SPRC-CLLC). 25

Figure 1.23. A brief comparison of different bidirectional topologies in terms of voltage ratio and power level. 26

Figura 2.1. Ejemplo del control entrelazado para dos convertidores. Se muestran las señales de control y la corriente por la inductancia. (a) Un único convertidor sin control entrelazado. (b) Dos convertidores con control entrelazado para un desfase $\varphi = 180º$. 44

Figura 2.2. Comparativa de los transistores MOSFET del catálogo de Infineon ordenados según su tensión drenador-fuente. (a) Parámetro QRC. (b) Precio por cada mil unidades. 47

Figura 2.3. Comparativa de transistores MOSFET del catálogo de Infineon ordenados según su corriente de drenador. (a) Parámetro QRC. (b) Precio por cada mil unidades..... 48

Figura 2.4. Esquema general de la agrupación modular en cascada. 52

Figura 2.5. Esquema general de la agrupación modular IPOP. 54

Figura 2.6. Esquema básico de la estrategia de control para la agrupación modular IPOP. 56

Figura 2.7. Comparativa de los parámetros de transistores MOSFET del catálogo de Infineon para la agrupación modular IPOP en función de la corriente de drenador manteniendo la tensión drenador-fuente (600V) y el encapsulado (TO-220). 58

Figura 2.8. Evolución de la tensión drenador-fuente y de la corriente de drenador en el transistor MOSFET durante su encendido. (a) Para un único convertidor. (b) Para el módulo n-ésimo de un convertidor modular formado por N módulos en agrupacion IPOP. 59

Figura 2.9. Pérdidas estimadas de conducción, de conmutación y totales normalizadas en función del número de módulos N utilizados en la agrupación modular IPOP. 60

Figura 2.10. Esquema general de la agrupación modular ISOS. 62

Figura 2.11. Esquema general de la estrategia de control para la agrupación modular ISOS. .. 63

Figura 2.12. Comparativa de los parámetros de transistores MOSFET del catálogo de Infineon para la agrupación modular ISOS para distintas tensiones drenador-fuente manteniendo la corriente de drenador (11A). 64

Figura 2.13. Evolución de la tensión drenador-fuente y de la corriente de drenador en el transistor MOSFET durante su encendido. (a) Para un único convertidor. (b) Para el módulo n-ésimo de un convertidor modular formado por N módulos en agrupacion ISOS. 65

Figura 2.14. Pérdidas estimadas de conducción, de conmutación y totales en función de la tensión máxima drenador-fuente del transistor, normalizadas al valor máximo. Entre paréntesis, figura el número de módulos mínimo no entero (N) para la agrupación ISOS necesario para poder utilizar el transistor. 66

Figura 2.15. Esquema general de la agrupación modular IPOS. 67

Figura 2.16. Estrategia de control para la agrupación modular IPOS. 69

Figura 2.17. Esquema para el ejemplo propuesto con tres módulos de una agrupación modular mixta. 71

Figura 2.18. Mapa de funcionamiento en función del rango de tensiones para la agrupación modular mixta. 73

Figura 2.19. Algoritmo de selección del tipo de agrupación modular. 75

Figura 2.20. Algoritmo de optimización del número de módulos N. 78

Figura 3.1. Esquema genérico del convertidor modular a diseñar. 86

Figura 3.2. Esquema ideal del convertidor elevador unidireccional. (a) En su topología clásica. (b) Para el modo QSW-ZVS. (c) Para el modo QSW-ZCS. 90

Figura 3.3. Esquema eléctrico del convertidor elevador bidireccional para el modo QSW-ZVS. 91

Figura 3.4. El convertidor elevador síncrono QSW-ZVS. (a) Esquema genérico. (b) En modo elevador. (c) En modo reductor. 92

Figura 3.5. Señales de control para el convertidor elevador síncrono y corriente por la inductancia en el modo QSW-ZVS. 93

Figura 3.6. Circuitos equivalentes durante los intervalos de magnetización y desmagnetización del convertidor elevador. (a) Durante la magnetización (ton). (b) Durante la desmagnetización ($toff$). 94

Figura 3.7. Circuito equivalente durante la primera transición resonante ($td1$). 95

Figura 3.8. Circuito equivalente durante la segunda transición resonante ($td2$). 95

Figura 3.9. Formas de onda básicas del convertidor elevador síncrono operando en QSW-ZVS asumiendo una única transición resonante (a) Corriente y tensión de la inductancia. (b) Tensiones drenador-fuente que soportan cada uno de los transistores. 96

Figura 3.10. Corriente por la bobina bajo el supuesto de dos corrientes medias distintas. (a) QSW-ZVS a frecuencia constante. (b) QSW-ZVS a frecuencia variable. (c) Comparativa con MCC. (d) Comparativa con MCD. 97

Figura 3.11. Trayectoria del punto de trabajo en para el convertidor elevador síncrono QSW-ZVS en el plano iL, vC. (a) Suponiendo dos transiciones resonantes. (b) Asumiendo una única transición resonante. 99

Figura 3.12. Trayectoria del punto de trabajo en para el convertidor elevador síncrono QSW-ZVS en el plano iL, vL. 99

Figura 3.13. Variación del ciclo de trabajo para el convertidor elevador en QSW-ZVS para diferentes valores de la frecuencia de conmutación nominal fS con una frecuencia de resonancia (fo) de 1,6MHz. (a) Frente a variaciones de la tensión de salida. (b) Frente a variaciones de la tensión de entrada. 107

Figura 3.14. Variación del ciclo de trabajo para el convertidor elevador en QSW-ZVS para diferentes valores de la frecuencia de resonancia (fo) a frecuencia de conmutación nominal fS de 100kHz. (a) Frente a variaciones de la tensión de salida. (b) Frente a variaciones de la tensión de entrada. 108

Figura 3.15. Variación de los intervalos de conmutación en función de la tensión de entrada para distintos valores de la frecuencia de conmutación (fs) cuando la frecuencia de resonancia fo es 1,6MHz.(a) Variación de ton. (b) Variación de $toff$. (c) Variación de td. (d) Variación de T… 110

Figura 3.16. Variación de los intervalos de conmutación en función de la tensión de entrada para distintos valores de la frecuencia de resonancia (fo) cuando la frecuencia de conmutación nominal fs es 100kHz.(a) Variación de ton. (b) Variación de $toff$. (c) Variación de td. (d) Variación de T. 111

Figura 3.17. Variación de los intervalos de conmutación en función de la tensión de salida para distintos valores de la frecuencia de conmutación (fs) cuando la frecuencia de resonancia fo es 1,6MHz.(a) Variación de ton. (b) Variación de $toff$. (c) Variación de td. (d) Variación de T… 111

Figura 3.18. Variación de los intervalos de conmutación en función de la tensión de salida para distintos valores de la frecuencia de resonancia (fo) cuando la frecuencia de conmutación nominal fs es 100kHz.(a) Variación de ton. (b) Variación de $toff$. (c) Variación de td. (d) Variación de T. 112

Figura 3.19. Variaciones en la frecuencia de conmutación (normalizada al valor nominal) para distintos valores de la frecuencia de conmutación (fs) cuando la frecuencia de resonancia fo es 1,6MHz. (a) En función de la tensión de entrada. (b) En función de la tensión de salida. 113

Figura 3.20. Variaciones en la frecuencia de conmutación (normalizada al valor nominal) para distintos valores de la frecuencia de resonancia (fo) cuando la frecuencia de conmutación nominal fs es 100kHz.. (a) En función de la tensión de salida. (b) En función de la tensión de entrada. 114

Figura 3.21. Variación de los intervalos de conmutación en función de la potencia procesada para distintos valores de la frecuencia de conmutación (fs) cuando la frecuencia de resonancia fo es 1,6MHz. .(a) Variación de ton. (b) Variación de $toff$. 115

Figura 3.22. Variación de los intervalos de tiempo en función de la potencia procesada de magnetización ton en función de la potencia procesada para distintos valores de la frecuencia de resonancia (fo) cuando la frecuencia de conmutación nominal fs es 100kHz. (a) Variación de ton. (b) Variación de $toff$. 116

Figura 3.23. Variación de la frecuencia de conmutación fs en función de la potencia procesada. (a) Para distintos valores de la frecuencia de conmutación (fs) cuando la frecuencia de resonancia fo es 1,6MHz. (b) Para distintos valores de la frecuencia de resonancia (fo) cuando la frecuencia de conmutación nominal fs es 100kHz 117

Figura 3.24. Variación de la ganancia estática entre la tensión de salida y la tensión de entrada en función de la frecuencia normalizada F según la expresión propuesta en [3.21]. 120

Figura 3.25. Variación de las capacidades parásitas del transistor IPW60R160C6 de Infineon en función de la tensión drenador-fuente, obtenidas a una frecuencia de conmutación de 1MHz. Gráfica extraída de la hoja de características [3.32]. 124

Figura 3.26. Esquema de bloques genérico para el modelado dinámico del convertidor. 126

Figura 3.27. Esquema de bloques para el modelado dinámico del convertidor elevador síncrono QSW-ZVS controlado en modo tensión. 126

Figura 3.28. Aplicación del método de la corriente inyecta al convertidor elevador síncrono. (a) Modelado respecto a la salida. (b) Circuito promediado equivalente respecto a la salida. (c) Modelado respecto a la entrada. (d) Circuito promediado equivalente respeto a la entrada. ... 128

Figura 3.29. Corrientes de entrada y de salida del convertidor elevador síncrono QSW-ZVS para el modelo de la corriente inyectada. 128

Figura 3.30. Circuito equivalente basado en dos fuentes de corriente dependientes según el método de la corriente inyectada. 129

Figura 3.31. Circuito canónico equivalente para el convertidor elevador síncrono QSW-ZVS. 129

Figura 3.32. Diagrama de Bode teórico de $Gvton(s)$ para el modo QSW-ZVS y MCL. 136

Figura 3.33. Comparativa de la variación del parámetro $j2$ en función de la tensión de salida para QSW-ZVS y MCL. 137

Figura 3.34. Comparativa de la variación del parámetro $g2$ en función de la tensión de salida para QSW-ZVS y MCL. 138

Figura 3.35. Comparativa de la variación del parámetro $r2$ en función de la tensión de salida para QSW-ZVS y MCL. 138

Figura 3.36. Diagrama de Bode teórico de $Gvton(s)$ para el modo QSW-ZVS y MCL cuando $F \approx 1$..... 140

Figura 3.37. Diagrama de Bode teórico de $Gvton(s)$ para el modo QSW-ZVS y MCL cuando $F = 0{,}4$. 140

Figura 3.38. Diagrama de Bode teórico de $Gvton(s)$ para el modo QSW-ZVS y MCL cuando $F = 2$..... 141

Figura 3.39. Diagrama de Bode teórico de $Gvton(s)$ para el modo QSW-ZVS y MCL cuando $F = 5$..... 142

Figura 3.40. Diagrama de Bode teórico de $Gvton(s)$ para el modo QSW-ZVS y MCL a un quinto de carga. 142

Figura 3.41. Detalle de las formas de onda del convertidor elevador síncrono QSW-ZVS. Se han destacado los dos eventos que se utilizarán en el control directo. 145

Figura 3.42. Esquema de bloques del control directo de frecuencia variable. 146

Figura 3.43. Etapa de potencia con los sensores necesarios para el control directo de frecuencia variable. 147

Figura 3.44. Esquema eléctrico del sensor de corriente para generar la señal ZCD. 148

Figura 3.45. Esquema eléctrico del sensor de corriente para generar la señal ZVD..... 148

Figura 3.46. Flujograma del algoritmo del control directo de frecuencia variable..... 151

Figura 3.47. Esquema de bloques del regulador PID analógico. VE representa la tensión del error y VA la tensión de salida del regulador..... 152

Figura 3.48. Diagrama de bloques del regulador digital PID según la ecuación en diferencias obtenida. 154

Figura 3.49. Respuesta en frecuencia del regulador PID diseñado. 155

Figura 3.50. Captura de un cronograma obtenido con ModelSim para validar la secuencia de control operando en lazo abierto. Se han resaltado las señales ZVD y ZCD que controlan los eventos de conmutación así como las señales de puerta..... 156

Figura 3.51. Diagrama de bloques de la etapa de adaptación para las señales de puerta. 158

Figura 3.52. Diagrama de bloques del *driver* de control en la etapa de potencia..... 158

Figura 3.53. Fotografía del convertidor fabricado en el laboratorio. Etapa de potencia, inductancia y etapa de adaptación. 159

Figura 3.54. PCB de la etapa de potencia con sus dimensiones. 159

Figura 3.55. PCB de la etapa de potencia con sus componentes destacados. 160

Figura 3.56. PCB de la etapa de adaptación con sus dimensiones. 160

Figura 3.57. Formas de onda del convertidor operando a plena carga. 161

Figura 3.58. Detalle de las formas de onda del convertidor operando a plena carga. 161

Figura 3.59. Detalle de las formas de onda de operación del convertidor operando a plena carga. Se han resaltado los eventos ZCD y ZVD, así como el tiempo muerto $td2$. 162

Figura 3.60. Detalle de las formas de onda de operación del convertidor operando a mitad de carga. Se han incluido la señal ZCD generada. 162

Figura 3.61. Rendimiento medido del convertidor. 163

Figura 3.62. Captura del osciloscopio en la que se muestra la tensión de la salida y la corriente por la inductancia frente a dos saltos de carga: el primero de plena carga a media carga y el segundo de media carga a plena carga. 163

Figura 4.1. Ejemplo de la selección del modelo óptimo de transistor MOSFET para el cálculo del rendimiento del convertidor modular IPOP. (a) Desglose de pérdidas de conmutación y de conducción según cada modelo. (b) Pérdidas totales para cada modelo. 176

Figura 4.2. Rendimiento del convertidor modular IPOP en función de la potencia para distintos valores de N para el modo de operación QSW-ZVS. 177

Figura 4.3. Incremento del rendimiento a plena potencia en función del número de módulos. 178

Figura 4.4. Rendimiento obtenido para con el convertidor modular IPOP en función de la potencia procesada para distinto número de módulos. (a) Operando en MCC. (b) Operando en MCD. 179

Figura 4.5. Incremento porcentual del rendimiento en función del número de módulos. (a) Para MCC. (b) Para MCD. 180

Figura 4.6. Evolución de las pérdidas totales del convertidor modular en el rango de potencia en función del número de módulos utilizados para el modo QSW-ZVS. 181

Figura 4.7. Desglose de pérdidas en función del número de módulos para el modo QSW-ZVS. (a) Pérdidas para cada módulo. (b) Pérdidas totales del convertidor modular IPOP. 182

Figura 4.8. Evolución de las pérdidas totales del convertidor modular en el rango de potencia en función del número de módulos utilizados. (a) Para MCC. (b) Para MCD. 183

Figura 4.9. Desglose de pérdidas para cada módulo en función del número de módulos. (a) Para MCC. (b) Para MCD. 184

Figura 4.10. Desglose de pérdidas totales del convertidor modular IPOP en función del número de módulos. (a) Para MCC. (b) Para MCD. 186

Figura 4.11. Volumen total normalizado al valor máximo para el convertidor modular IPOP en función del número de módulos para el modo QSW-ZVS. 188

Figura 4.12. Desglose del volumen total del convertidor modular IPOP normalizado al valor máximo en función del número de módulos para el modo QSW-ZVS. 189

Figura 4.13. Volumen total del convertidor IPOP normalizado al valor máximo en función del número de módulos. (a) Para MCC. (b) Para MCD. 190

Figura 4.14. Desglose del volumen total del convertidor modular IPOP normalizado al valor máximo en función del número de módulos. (a) Para MCC. (b) Para MCD. 191

Figura 4.15. Coste normalizado al valor máximo del convertidor modular IPOP en función del número de módulos para el modo QSW-ZVS. 194

Figura 4.16. Desglose del coste normalizado al valor máximo del convertidor modular IPOP en función del número de módulos para el modo QSW-ZVS. 194

Figura 4.17. Coste normalizado al valor máximo del convertidor modular IPOP en función del número de módulos. (a) Para MCC. (b) Para MCD. 195

Figura 4.18. Desglose del coste normalizado al valor máximo del convertidor modular IPOP en función del número de módulos. (a) Para MCC. (b) Para MCD. 196

Figura 4.19. Rizado de la corriente de entrada en función del número de módulos. 197

Figura 4.20. Corriente por la inductancia de cada módulo y corriente total de entrada del convertidor modular IPOP en modo QSW-ZVS. (a) Para dos módulos. (b) Para tres módulos. 198

Figura 4.21. Variación del rizado de la corriente por la inductancia en función del ciclo de trabajo para distintos valores de N en MCC. 199

Figura 4.22. Valor eficaz de la corriente de salida para el modo QSW-ZVS en función del número de módulos. 200

Figura 4.23. Ejemplo de dos módulos equilibrados y desfasados óptimamente. (a) Señales de control. (b) Corriente de entrada de cada módulo. (c) Corriente total de entrada del convertidor modular. 202

Figura 4.24. Ejemplo de dos módulos desequilibrados. 203

Figura 4.25. Esquema básico de la técnica maestro esclavo donde se detalla la información que comparte el maestro con un esclavo. 205

Figura 4.26. Formas de onda teóricas del maestro y de un esclavo utilizando la técnica maestro-esclavo. 206

Figura 4.27. Esquema de bloques interno de la etapa de control para el módulo maestro. 207

Figura 4.28. Esquema de bloques interno de la etapa de control para los módulos esclavos. 208

Figura 4.29. Esquema de bloques del conexionado de señales para la técnica de maestro-esclavo. 208

Figura 4.30. Captura del osciloscopio del funcionamiento de tres módulos utilizando el control maestro-esclavo.(a) Corriente por la inductancia del módulo maestro y del módulo esclavo. (b) Corriente por la inductancia de dos módulos esclavos. 211

Figura 4.31. Captura del osciloscopio con las formas de onda de funcionamiento del módulo maestro y del rizado de la corriente de entrada, cuando el convertidor modular IPOP está manejando 1,5kW. 212

Figura 4.32. Rendimiento medido para el convertidor modular IPOP formado por cuatro módulos, con el control balanceado maestro-esclavo. 212

Figura 4.33. Ejemplo de perfil de carga para el convertidor modular IPOP con un control balanceado. 215

Figura 4.34. Ejemplo de perfil de carga para el convertidor modular IPOP con un control de encendido secuencial. 217

Figura 4.35. Ejemplo de perfil de carga para el convertidor modular IPOP con un control de encendido secuencial particularizado para la técnica maestro-esclavo. 219

Figura 4.36. Ejemplo de funcionamiento de activación y desactivación de esclavos. 221

Figura 4.37. Esquema de bloques interno de la etapa de control para el módulo maestro para la estrategia de control de encendido secuencial. 222

Figura 4.38. Esquema de bloques interno de la etapa de control para el módulo esclavo para la estrategia de control de encendido secuencial. 223

Figura 4.39. Ejemplo de generación del desfase óptimo para $nslave$ esclavos activos. 225

Figura 4.40. Esquema de bloques del conexionado de señales para la técnica de maestro-esclavo de encendido secuencial. 226

Figura 4.41. Comparativa del rendimiento medido con la técnica de encendido secuencial y el control balanceado. 227

Figura 4.42. Ejemplo de perfil de carga para el convertidor modular IPOP con un control maestro-esclavo asimétrico..... 230

Figura 4.43. Rendimiento estimado para el módulo maestro..... 233

Figura 4.44. Desglose de pérdidas según el modelo teórico para el módulo maestro. 234

Figura 4.45. Determinación del nivel mínimo de potencia sobre la curva de rendimiento del módulo maestro..... 234

Figura 4.46. Determinación del rendimiento mínimo del módulo esclavo a partir del rendimiento del módulo maestro..... 235

Figura 4.47. Fotografía de la inductancia construida para el módulo esclavo de 300W (a la derecha) en comparación con la inductancia del módulo maestro de 500W (a la izquierda)... 237

Figura 4.48. Captura del osciloscopio con las principales formas de onda de operación del módulo esclavo de 300W. 237

Figura 4.49. Fotografía del convertidor modular IPOP formado por los 6 módulos, 5 módulos esclavos y 1 módulo maestro..... 238

Figura 4.50. Comparativa del rendimiento medido con la técnica de maestro-esclavo asimétrico junto con las técnicas de control de encendido secuencial y control balanceado. 238

Figura 4.51. Captura del osciloscopio en la que se muestra la corriente que maneja el módulo maestro y la corriente del módulo esclavo cuando la potencia demandada es de 500W (el módulo maestro procesa 200W y el módulo esclavo 300W)..... 239

Figura 4.52. Ejemplo de perfil de carga para el convertidor modular IPOP con un control de encendido intermitente..... 243

Figura 4.53. Ejemplo del control por histéresis para el encendido intermitente frente a un salto de carga pequeño..... 244

Figura 4.54. Ejemplo del control por histéresis para el encendido intermitente frente a un salto de carga grande. (a) Transición de menos potencia a más potencia. (b) Transición de más potencia a menos potencia..... 245

Figura 4.55. Comparativa del rendimiento medido con la técnica de control de encendido intermitente junto con el rendimiento obtenido por las anteriores técnicas de control..... 247

Figura 4.56. Comparativa de rendimiento para cada una de las técnicas de control propuestas en este capítulo. (a) Rendimiento teórico. (b) Rendimiento medido. 250

Figura 4.57. Comparativa de las pérdidas totales del convertidor modular IPOP para cada una de las técnicas de control propuestas en este capítulo. No se han incluido las pérdidas en el circuito de mando. (a) Pérdidas teóricas. (b) Pérdidas medidas experimentalmente. 251

Figura 4.58. Rendimientos ponderados del convertidor modular IPOP para cada estrategia de control. 252

Figura 5.1. Diagrama de bandas para dos materiales semiconductores distintos. (a) Semicondutor basado en Si. (b) Semiconductor considerado de banda prohibida ancha. 259

Figura 5.2. Gráfico comparativo de las principales figuras de mérito de los materiales semiconductores para Si, SiC y GaN. Fuente [5.5]. 260

Figura 5.3. Límite teórico de la resistencia en conducción frente a la tensión de ruptura del Si, SiC y GaN. Fuente [5.7]..... 260

Figura 5.4. Esquema del convertidor modular IPOP basado en el convertidor elevador síncrono QSW-ZVS donde se han destacado los posibles elementos para utilizar dispositivos de WBG. 265

Figura 5.5. Ejemplo de utilización de diodos de baja frecuencia como puerta *OR* a la salida de la conexión del convertidor modular IPOP. 267

Figura 5.6. Estructura del rectificador en cascodo basado en un JFET n-on de SiC. 268

Figura 5.7. Circuitos equivalentes del rectificador en cascodo basado en un JFET n-on de SiC cuando se encuentra directamente polarizado. (a) Circuito supuesto a modo de ejemplo. (b). Circuito equivalente incluyendo el modelo completo del diodo Schottky. (c) Circuito equivalente al inicio del semi-ciclo positivo (d) Circuito equivalente durante el resto del semi-ciclo positivo. . 270

Figura 5.8. Ejemplo de formas de onda teóricas de funcionamiento para el rectificador en cascodo basado en un JFET de SiC. (a) Cuando se encuentra directamente polarizado. (b) Cuando se encuentra inversamente polarizado. 271

Figura 5.9. Circuitos equivalentes del rectificador en cascodo basado en un JFET n-on de SiC cuando se encuentra inversamente polarizado. (a) Al comienzo del semi-ciclo negativo de la tensión de entrada. (b) Durante el resto del semi-ciclo negativo de la tensión de entrada..... 272

Figura 5.10. Estructura del rectificador en cascodo basado en un MOSFET de Si. (a) Estructura básica. (b) Con circuito de *bootstrap*. 273

Figura 5.11. Circuitos equivalentes del rectificador en cascodo basado en un MOSFET de Si. (a) Circuito supuesto en el ejemplo. (b) Circuito equivalente al comienzo del semi-ciclo positivo de la tensión de entrada. (c) Circuito equivalente durante el resto del semi-ciclo positivo de la tensión de entrada..... 273

Figura 5.12. Ejemplo de formas de onda teóricas de funcionamiento para el rectificador en cascodo basado en un MOSFET de Si. (a) Cuando se encuentra directamente polarizado. (b) Cuando se encuentra inversamente polarizado. 274

Figura 5.13. Circuitos equivalentes del rectificador en cascodo basado en un MOSFET de Si cuando se encuentra inversamente polarizado. (a) Al comienzo del semi-ciclo negativo de la tensión de entrada. (b) Durante el resto del semi-ciclo negativo de la tensión de entrada. (c) Durante el resto del semi-ciclo negativo de la tensión de entrada si el diodo Zener entra en zona Zener. 275

Figura 5.14. Comparativa de la caída de tensión directa para los dos rectificadores en cascodo y los diodos presentados en la Tabla 5.2. 276

Figura 5.15. Esquema del circuito de test utilizado para comparar la caída de tensión directa. 277

Figura 5.16. Corriente en conducción frente a la caída en tensión directa para el rectificador en cascodo basado en JFET de SiC y dos diodos de Si. (a) Resultados de simulación. (b) Resultados experimentales. 278

Figura 5.17. Banco de pruebas para la medida del rendimiento del rectificador en cascodo operando como puerta OR. 279

Figura 5.18. Pérdidas del diodo utilizado como D.U.T. operando como puerta OR para el escenario de pruebas, en función de la potencia procesada. 279

Figura 5.19. Estructura del rectificador en cascodo con sus capacidades parásitas. 281

Figura 5.20. Estructura básica de un transistor MOSFET de super-unión. Fuente: [5.46]. 283

Figura 5.21. Recuperación inversa del diodo parásito del transistor de super-unión modelo FCH041N60E (600V, 70A) de Fairchild. Fuente [5.53]. 283

Figura 5.22. El convertidor elevador síncrono con diodos rectificadores para anular el diodo parásito del transistor. 284

Figura 5.23. Convertidor elevador QSW-ZVS utilizado como circuito de test para la comparativa de diodos. 285

Figura 5.24. Formas de onda de funcionamiento a 500kHz de frecuencia de conmutación. (a) Diodo de Si. (b) Diodo de SiC. (c) Diodo de GaN. 287

Figura 5.25. Formas de onda de funcionamiento a 1MHz de frecuencia de conmutación. (a) Diodo de Si. (b) Diodo de SiC. (c) Diodo de GaN. 288

Figura 5.26. Formas de onda de funcionamiento a 2MHz de frecuencia de conmutación. (a) Diodo de Si. (b) Diodo de SiC. (c) Diodo de GaN. 289

Figura 5.27. Comparativa de rendimiento medido en función de la frecuencia de conmutación para los tres diodos seleccionados. 291

Figura 5.28. Formas de onda teóricas durante la recuperación inversa del diodo. (a) En condiciones de conmutación dura. (b) En condiciones de conmutación suave..... 292

Figura 5.29. Tiempo ligado a la recuperación inversa ta medido a una frecuencia de conmutación de 2MHz. (a) Para el diodo de Si. (b) Para el diodo de SiC. (c) Para el diodo de GaN..... 293

Figura 5.30. Tiempo ta medido en función de la frecuencia para cada diodo..... 294

Figura 5.31. Comparativa de rendimiento medido experimentalmente, modelo de pérdidas sin incluir la recuperación inversa y modelo de pérdidas incluyendo la recuperación inversa. (a) Para el diodo de Si. (b) Para el diodo de SiC. (c) Para el diodo de GaN..... 295

Figura 5.32. Formas de onda experimentales trabajando en MCC a 1MHz. (a) Para el diodo de Si. (b) Para el diodo de SiC. (c) Para el diodo de GaN. 297

Figura 5.33. Esquema de bloques del *driver* propuesto para el transistor MOSFET de SiC. ... 302

Figura 5.34. Fotografía del *driver* fabricado para el transistor MOSFET de SiC. 303

Figura 5.35. Tensiones puerta-fuente proporcionadas por el *driver* propuesto cuando opera a una frecuencia de conmutación de 2MHz sin procesar potencia. 304

Figura 5.36. Circuito de prueba para el módulo de potencia utilizando transistores de SiC..... 304

Figura 5.37. Formas de onda experimentales para una potencia de 600W utilizando transistores MOSFET de SiC. (a) Para una frecuencia de conmutación de 100kHz. (b) Para una frecuencia de conmutación de 400kHz..... 306

Figura 5.38. Rendimiento obtenido por el módulo de potencia utilizando transistores MOSFET de SiC en función de la frecuencia de conmutación. 307

Figura 5.39. Esquema eléctrico del modelo TPH3006PS e imagen del encapsulado. Fuente: [5.57]..... 308

Figura 5.40. Fotografía de las inductancias utilizadas para cada frecuencia de conmutación para una potencia de 300W. De izquierda a derecha, 100kHz, 400kHz y 1MHz. 309

Figura 5.41. Formas de onda experimentales para una potencia de 300W utilizando transistores HEMT de GaN. (a) Para una frecuencia de conmutación de 100kHz. (b) Para una frecuencia de conmutación de 400kHz. (c) Para una frecuencia de conmutación de 1MHz. 311

Figura 5.42. Comparativa de rendimiento para los transistores HEMT de GaN, MOSFET de SiC y MOSFET de Si en función de la frecuencia de conmutación. 312

ÍNDICE DE TABLAS

Table 1.1. Qualitative comparison of the main topologies studied in this chapter. 31

Tabla 2.1.Listado de transistores MOSFET de Infineon ordenados por su tensión drenador-fuente. 46

Tabla 2.2. Listado de transistores MOSFET de Infineon de tensión drenador-fuente de 650V ordenados por su corriente de drenador. 47

Tabla 2.3. Estado de funcionamiento de cada módulo en función de los rangos de tensión de salida y de entrada para el mapa mostrado en la Figura 2.18. 73

Tabla 3.1. Especificaciones tomadas como las condiciones nominales para ilustrar la variación de los parámetros fundamentales de funcionamiento del convertidor. 106

Tabla 3.2. Especificaciones de diseño para la experimentación del control directo de frecuencia variable. 157

Tabla 4.1. Costes asociados a cada elemento y número de componentes para un único módulo. 193

Tabla 4.2. Especificaciones para el ejemplo de diseño de la estrategia asimétrica 233

Tabla 4.3. Resumen de parámetros de diseño para la técnica maestro-esclavo asimétrica. ... 236

Tabla 4.4. Resumen de los principales parámetros de diseño para cada una de las estrategias de control. 249

Tabla 5.1. Principales propiedades de algunos materiales semiconductores 259

Tabla 5.2. Principales características de algunos diodos como posibles candidatos para la puerta *OR*, ordenados por máxima corriente en conducción. 267

Tabla 5.3. Transistor JFET de SiC y transistor MOSFET de Si utilizados para el rectificador en cascodo. 276

Tabla 5.4. Principales características del transistor HEMT empleado en la comparativa. 285

Tabla 5.5. Diodos utilizados en la comparativa para la recuperación inversa, ordenados por tecnología. 286

Tabla 5.6. Pérdidas y rendimiento estimado, junto con el rendimiento medido y el error cuando el convertidor opera en MCC a 1MHz para los tres modelos de diodo analizados. 298

Tabla 5.7. Principales características de dos transistores MOSFET de SiC. Se incluye como comparativa, el transistor MOSFET de Si utilizado en el módulo de potencia de manera habitual en el presente trabajo. 301

Tabla 5.8. Valores de inductancia, características del núcleo y resistencia de puerta utilizados en función de la frecuencia de conmutación. 305

Tabla 5.9. Principales características del transistor TPH3006PS de GaN. 309

Tabla 5.10. Valor de la inductancia y sus características para las tres frecuencias de conmutación utilizadas en la experimentación de los transistores HEMT de GaN. 309

NOMENCLATURA Y LISTADO DE SÍMBOLOS

Acrónimo o símbolo	Significado
2DEG	*Two-Dimensional Electron Gas*.
α	Parámetro de simplificación para el modo QSW-ZVS. (3.36)
α_H	Parámetro empírico en la ecuación de Steinmetz para el cálculo de las pérdidas debidas a histéresis. (1.5)
α_a	Parámetro dimensional para el cálculo de la reluctancia equivalente. (A2.30)
α_r	Parámetro empírico en la ecuación de Steinmetz para el cálculo de las pérdidas debidas a histéresis ocasionadas por la relajación magnética. (A2.53)
β_H	Parámetro empírico en la ecuación de Steinmetz para el cálculo de las pérdidas debidas a histéresis. (1.5)
β_a	Parámetro dimensional para el cálculo de la reluctancia equivalente. (A2.29)
β_r	Parámetro empírico en la ecuación de Steinmetz para el cálculo de las pérdidas debidas a histéresis ocasionadas por la relajación magnética. (A2.53)
φ	Desfase entre dos señales de gobierno en un convertidor.
Φ	Flujo magnético (A2.23).
η	Rendimiento del convertidor. (2.2)
δ	Profundidad de *skin*. (A2.9)
Δ	Profundidad de capa debida al efecto pelicular. (A2.18)
λ	Parámetro dimensional para el cálculo de la reluctancia equivalente. (A2.31)

η_n	Rendimiento del convertidor n. (2.5)
η_T	Rendimiento del convertidor modular. (2.5)
σ_{cu}	Conductividad del cobre. (1.6)
ω_o	Pulsación de resonancia. (3.2)
AHBFB	*Active Half-Bridge Full-Bridge converter*. Convertidor en medio puente y puente completo doblemente activo.
APPFB	*Active Push-Pull Full-Bridge converter*. Convertidor en *push-pull* y puente completo doblemente activo.
ADC	*Analog to Digital Converter*. Conversor analógico digital. También llamado A/D.
A_e	Área efectiva del núcleo magnético.
A_w	Área de ventana del núcleo magnético. (1.6)
A_1	Coeficiente utilizado en el modelado dinámico. (3.74)
A_2	Coeficiente utilizado en el modelado dinámico. (3.82)
$a\,[n]$	Muestra n-ésima de la señal de salida del regulador digital en lazo cerrado. (3.96). También llamada señal de acción.
$A(z)$	Transformada Z de la señal digital de la salida del regulador. (3.98)
A_s	Área de la sección transversal del núcleo magnético. (A2.22)
a	Dimensión horizontal de la sección del núcleo magnético. (A2.28)
BJT	*Bipolar Junction Transistor*. Transistor bipolar.
B	Densidad de flujo magnético
B_1	Coeficiente utilizado en el modelado dinámico. (3.75)
B_2	Coeficiente utilizado en el modelado dinámico. (3.83)

B_{max}	Densidad de flujo magnético máximo. (A2.1)
B_{sat}	Densidad de flujo magnético de saturación. (A2.2)
B_{ac}, ΔB	Rizado pico a pico de la densidad de flujo magnético. (A2.3)
b	Dimensión vertical de la sección transversal del núcleo magnético. (A2.28)
B_{t+}	Densidad de flujo magnético de en una forma de onda trapezoidal cuando la pendiente es positiva (A2.55)
B_{t-}	Densidad de flujo magnético de en una forma de onda trapezoidal cuando la pendiente es negativa (A2.55)
B_0	Densidad de flujo magnético incial para el cálculo de las corrientes. (3.75)
CC/CC	Corriente continua / corriente continua
CA/CC	Corriente alterna / corriente continua
CA/CA	Corriente alterna / corriente alterna
CC/CA	Corriente continua / corriente alterna
CFP	Corrección del factor de potencia
C_{SW}	Valor de capacidad del condensador parásito equivalente durante el periodo de resonancia en el modo QSW-ZVS. (3.1)
C_S	Valor de capacidad del condensador resonante serie en las topologías SPRC y DABSRC.
C_{OSS}	Capacidad parásita de salida del transistor MOSFET. (1.3)
C_{DS}	Capacidad parásita drenador-fuente del transistor MOSFET. (3.1)
C_1	Coeficiente utilizado en el modelado dinámico. (3.76)
C_2	Coeficiente utilizado en el modelado dinámico. (3.84)

CEC	Rendimiento ponderado conocido como Eficiencia Californiana. (4.2)
DSP	*Digital Signal Processor*. Procesador digital de señales
DHB	*Dual Half Bridge converter*. Convertidor en medio puente doblemente activo
DAB	*Dual Active Bridge converter*. Convertidor en puente completo doblemente activo.
DAB3	*3-phase Dual Active Bridge converter*. Convertidor en puente completo doblemente activo trifásico.
DABSRC	*Dual Active Bridge Series Resonant Converter*. Convertidor en puente completo doblemente activo resonante serie.
d	Ciclo de trabajo, definido como el cociente entre el tiempo de conducción (t_{on}) y el periodo de conmutación (T). (3.37)
D	Ciclo de trabajo para el modo MCL.
D_{off}	Intervalo de desmagnetización para el modo MCL.
d_{sk}	Diámetro mínimo del hilo conductor para evitar el efecto pelicular (también llamado diámetro de *skin*). (A2.10)
d_{hilo}	Diámetro del hilo conductor (conductor individual) (A2.12)
$d[n]$	Señal PWM discreta sintetizada por el bloque DPWM.
$d_c[n]$	Señal PWM discreta sintetizada por el bloque DPWM, complementaria a la anterior.
EMI	*Electromagnetic Interference*. Emisiones electromagnéticas.
ENB	Señal de *enable* (o activación) para el control de los módulos.
E_1	Coeficiente utilizado en el modelado dinámico. (3.77)
E_2	Coeficiente utilizado en el modelado dinámico. (3.85)

$e[n]$	Muestra n-ésima del error en el regulador digital en lazo cerrado. (3.97)
$E(z)$	Transformada Z de la señal digital del error. (3.98)
E_{gap}	Energía del campo magnético en el entrehierro de la inductancia (A2.26)
$EuroEff$	Rendimiento ponderado conocido como Eficiencia Europea. (4.1)
E_g	Energía de la banda prohibida.
FPGA	*Field programmable Gate Array*. Dispositivo lógico programable
f_s	Frecuencia de conmutación
f_o	Frecuencia de resonancia. (3.3)
F	Frecuencia normalizada (3.5)
f_w	Factor de ventana para el núcleo magnético. (1.6)
f_c	Frecuencia de corte. (3.91)
F_R	Factor de resistencia en una inductancia. (A2.19)
Ge	Germanio.
GaAs	Arseniuro de galio.
GaN	Nitruro de galio.
g_1	Ganancia en la corriente de entrada respecto a las perturbaciones en la tensión de salida (v_2). (3.148)
g_2	Ganancia en la corriente de salida respecto a las perturbaciones en la tensión de salida (v_2). (3.149)
G_{vton}	Función de transferencia que relaciona las perturbaciones en la tensión de salida respecto a los cambios en el tiempo de magnetización, cuando se anulan las perturbaciones en la tensión de entrada. (3.86)

G_{v1}	Función de transferencia que relaciona las perturbaciones en la tensión de salida respecto a los cambios en la tensión de entrada, cuando se anulan las perturbaciones en el tiempo de magnetización. (3.89)
G_R	Función de transferencia del regulador para la operación en lazo cerrado. (3.96)
g_m	Transconductancia del transistor MOSFET (A1.4)
HEMT	*High Electron Mobility Transistor*. Transistor de alta movilidad de electrones.
$\vec{H}_1$	Intensidad de campo magnético en el medio 1 (A2.20)
$\vec{H}_2$	Intensidad de campo magnético en el medio 2 (A2.20)
H	Intensidad de campo magnético (A2.23)
H_g	Intensidad de campo magnético nominal en el entrehierro (A2.37)
H_x	Componente x de la intensidad de campo magnético en el entrehierro (A2.37)
H_y	Componente y de la intensidad de campo magnético en el entrehierro (A2.38)
$H_\perp$	Componente normal de la intensidad de campo magnético en el entrehierro (A2.41)
ISOS	*Input Series Output Series*. Conexión en serie en la entrada y serie en la salida
IPOP	*Input Parallel Output Parallel*. Conexión en paralelo en la entrada y en paralelo en la salida
ISOP	*Input Series Output Parallel*. Conexión en serie en la entrada y en paralelo en la salida
IPOS	*Input Parallel Output Series*. Conexión en paralelo en la entrada y en serie en la salida

IGBT	*Insulated-Gate Bipolar Transistor*. Transistor bipolar de puerta aislada.
I_{L0mag}	Valor de la corriente por la bobina con el que se inicia su magnetización. (3.10)
I_{Lv}	Valor de valle de la corriente por la bobina. (3.18)
I_{Lp}	Valor de pico de la corriente por la bobina. (3.10)
i_L	Corriente por la inductancia en función del tiempo. (3.7)
i_{Lmag}	Corriente por la bobina en función del tiempo durante el sub-periodo de magnetización. (3.7)
i_{Ldmag}	Corriente por la bobina en función del tiempo durante el sub-periodo de desmagnetización. (3.7)
i_{Lres}	Corriente por la bobina en función del tiempo durante el sub-periodo de resonancia. (3.7)
$\overline{i_L}$	Valor medio de la corriente por la inductancia. (3.27)
$\overline{i_{Lmag}}$	Valor medio de la corriente por la bobina durante el sub-periodo de magnetización. (3.27)
$\overline{i_{Ldmag}}$	Valor medio de la corriente por la bobina durante el sub-periodo de desmagnetización. (3.27)
$\overline{i_{Lres}}$	Valor medio de la corriente por la bobina durante el sub-periodo de resonancia. (3.27)
$\overline{i_2}$	Valor medio de la corriente de salida (lado de la carga activa). (3.34)
$\overline{i_1}$, i_{1m}	Valor medio de la corriente de entrada (el lado del sistema de almacenamiento). (3.27)
i_S	Corriente de drenador del transistor. (1.2)
i_{Srms}	Valor eficaz de la corriente de drenador del transistor. (1.2)
i_{Sp}	Valor máximo de la corriente de drenador del transistor. (1.3)

i_{Sm}	Valor medio de la corriente de drenador del transistor. (A1.2)
i_{GS}	Corriente de puerta del transistor MOSFET. (1.3)
i_{Lrms}	Valor eficaz de la corriente por la inductancia. (1.6)
I_{On}	Corriente de salida del convertidor n. (2.2)
I_{In}	Corriente de entrada del convertidor n. (2.2)
I_O	Corriente de salida del convertidor modular. (2.3)
I_I	Corriente de entrada del convertidor modular. (2.4)
$\hat{\imath}_{1m}$	Perturbaciones de pequeña señal en la corriente de entrada media linealizada. (2.4)
$\hat{\imath}_{RCm}$	Perturbaciones de pequeña señal en la corriente de salida media linealizada. (2.4)
i_{DRVon}	Corriente del circuito de mando (*driver*) durante el encendido. (A1.5)
i_{DRVoff}	Corriente del circuito de mando (*driver*) durante el apagado. (A1.6)
I_{RRM}	Corriente máxima de recuperación inversa.
JFET	*Junction Field Effect Transistor*. Transistor de efecto de campo de unión.
j_1	Ganancia en la corriente de entrada respecto a las perturbaciones del tiempo de magnetización (t_{on}).
j_2	Ganancia en la corriente de salida respecto a las perturbaciones del tiempo de magnetización (t_{on}).
$\vec{J}_s$	Densidad de corriente superficial en el conductor (A2.21)
K	Parámetro auxiliar para calcular el valor de la inductancia límite o inductancia crítica.
k_H	Parámetro empírico en la ecuación de Steinmetz para el cálculo de las pérdidas debidas a histéresis. (1.5)

K_P	Constante de proporcionalidad en el regulador en lazo cerrado. (3.96)
K_I	Constante de integración en el regulador en lazo cerrado. (3.97)
K_D	Constante diferencial en el regulador en lazo cerrado. (3.97)
k_c	Parámetro dimensional para el cálculo de la reluctancia equivalente (A2.33)
k_f	Parámetro dimensional para el cálculo de la reluctancia equivalente (A2.33)
k_l	Parámetro para ponderar las pérdidas debidas a histéresis según GSE. (A2.48)
k_n	Parámetro para ponderar las pérdidas debidas a histéresis según iGSE. (A2.51)
k_r	Parámetro para ponderar las pérdidas debidas la relajación magnética por histéresis según i2GSE. (A2.53)
k_{eff}	Factor adimensional utilizado como figura de mejora para la técnica maestro-esclavo asimétrica cunado se compara con la técnica de encendido secuencial. (4.6).
L	Valor de la inductancia del convertidor.
L_{LK}	Valor de la inductancia de dispersión.
L_{lim}	Valor de la inductancia límite o inductancia crítica que indica el paso de MCC a MCD.
l_m	Longitud media por vuelta. (A2.6)
l	Longitud equivalente del camino magnético. (A2.22)
l_a	Longitud equivalente del entrehierro según un método basado en reluctancias. (A2.6)
MCC	Modo de Conducción Continuo
MCD	Modo de Conducción Discontinuo

MCL	Modo de Conducción Límite o Frontera
MOSFET	*Metal-Oxide Semiconductor Fiel Effect Transistor*. Transistor de efecto de campo con puerta aislada.
M	Ganancia estática del convertidor entre la tensión de salida y la tensión de entrada. (3.24)
m	Índice entero para el cálculo del campo magnético de dispersión en la inductancia. (3.38)
n-on	*Normally-On*. Dispositivo normalmente cerrado.
n-off	*Normally-Off*. Dispositivo normalmente abierto.
N	Número de módulos totales en el convertidor modular. (2.3)
N_v	Número de vueltas en la inductancia.
n	Índice genérico para indicar el módulo n-ésimo de un convertidor modular. (2.2)
N_{vmin}	Número de vueltas mínimo para evitar saturación en la inductancia. (A2.2)
N_{vopt}	Número de vueltas óptimo para minimizar las pérdidas en la inductancia. (A2.7)
N_{hilos}	Número de hilos en paralelo para el conductor (hilo litz). (A2.12)
$\hat{n}$	Vector unitario normal a la superficie del conductor. (A2.20)
n_{sec}	Número de módulos que procesan su máxima potencia en la técnica de encendido secuencial. (4.3).
n_{slave}	Número de módulos esclavos activos utilizado para el control maestro-esclavo.
n_{en}	Índice para gestionar la activación de esclavos en el control maestro-esclavo.

N_S	Número de módulos esclavos en la técnica maestro-esclavo asimétrica. (4.4).
n_{s-act}	Número de módulos esclavos activos en la técnica de maestro-esclavo asimétrica. (4.5).
n_{s-hist}	Número de módulos esclavos activos en la técnica de encendido intermitente. (4.9).
Q_G	Carga de puerta del transistor MOSFET. (1.3)
Q_{GS}	Carga equivalente puerta-fuente del transistor MOSFET. (1.3)
Q_{GD}	Carga equivalente puerta-drenador del transistor MOSFET. (1.3)
PRC	*Parallel Resonant Converter*. Convertidor resonante en paralelo.
PLL	*Phase-Locked Loop*. Lazo de seguimiento de fase.
P_{nuL}	Pérdidas en el núcleo magnético de la inductancia. (1.5)
P_{condL}	Pérdidas en los devanados conductores de la inductancia. (1.6)
P_{LT}	Pérdidas totales en el convertidor. (1.1)
P_{Ln}	Pérdidas totales en el módulo n. (2.6)
P_S	Pérdidas en el convertidor debidas a los semiconductores. (1.1)
P_L	Pérdidas en el convertidor debidas a los elementos magnéticos.(1.1)
P_{condS}	Pérdidas en los semiconductores debidas a la conducción. (1.2)
P_{diodoS}	Pérdidas en los semiconductores debidas a la conducción del diodo parásito.
P_{swS}	Pérdidas en los semiconductores debidas a la conmutación. (1.3)
P_{CossS}	Pérdidas en los semiconductores debidas al condensador parásito de salida.

P_{rrS}	Pérdidas en los semiconductores debidas a la recuperación inversa.
P_{gate}	Pérdidas en el circuito de gobierno del transistor debidas a la carga de la capacidad parásita de entrada.
P_{drvTon}	Pérdidas en el circuito de gobierno del transistor debidas al encendido.
$P_{drvToff}$	Pérdidas en el circuito de gobierno del transistor debidas al apagado.
P_{DRV}	Pérdidas totales en el circuito de gobierno del transistor.
P_{On}	Potencia de salida del convertidor n. (2.2)
P_{In}	Potencia de entrada del convertidor n. (2.2)
P_O	Potencia de salida del convertidor modular. (2.5)
P_I	Potencia de entrada del convertidor modular. (2.5)
$P_{condIPOP}$	Pérdidas totales de conducción en la agrupación IPOP. (2.13)
P_{swIPOP}	Pérdidas totales de conmutación en la agrupación IPOP. (2.13)
$P_{condISOS}$	Pérdidas totales de conducción en la agrupación ISOS. (2.19)
P_{swISOS}	Pérdidas totales de conmutación en la agrupación ISOS. (2.20)
P_{min}	Nivel de potencia que indica el paso de operación de frecuencia variable a frecuencia constante (3.94)
P_{gate}	Pérdidas debidas a la carga de la puerta del transistor en el circuito de mando (*driver*) (A1.13)
P_{drvTon}	Pérdidas durante el encendido en el circuito de mando (*driver*) (A1.15)
$P_{drvToff}$	Pérdidas durante el apagado en el circuito de mando (*driver*) (A1.16)
P_{DRV}	Pérdidas totales en el circuito de mando (*driver*) (A1.17)
P_C	Pérdidas totales en el condensador de entrada o de salida (A1.21)

P_{condC}	Pérdidas de conducción en el condensador de entrada o de salida (A1.22)
P_{swC}	Pérdidas asociadas a la carga/descarga en el condensador de entrada o de salida (A1.23)
p	Índice para contabilizar el número de capa en el devanado de la inductancia (A2.17)
P_{fringe}	Pérdidas asociadas a la carga/descarga en el condensador de entrada o de salida (A1.23)
P_{rl}	Pérdidas debidas a la relajación magnética asociada a la histéresis del material según i2GSE. (A2.53)
P_{eddyC}	Pérdidas debidas a las corrientes de Foucault (*Eddy currents*). (A2.57)
P_{eddyE}	Pérdidas por exceso debidas a las corrientes de Foucault (*Eddy currents*). (A2.63)
P_T	Potencia total manejada por el convertidor modular.
P_{LT-sec}	Pérdidas totales del convertidor modular IPOP cuando se aplica la técnica de encendido secuencial. (4.3).
P_{Ln-sec}	Pérdidas del módulo n-ésimo en el convertidor modular IPOP cuando se aplica la técnica de encendido secuencial. (4.3).
$P_{Ln-sec@Pmax}$	Pérdidas del módulo n-ésimo en el convertidor modular IPOP a potencia máxima cuando se aplica la técnica de encendido secuencial. (4.3).
P_{slave}	Potencia máxima que maneja el módulo esclavo en la técnica de maestro-esclavo asimétrica. (4.4)
P_{Mmax}	Potencia máxima del módulo maestro en la técnica de maestro-esclavo asimétrica. (4.4)
$P_{LT-asim}$	Pérdidas totales del convertidor modular IPOP cuando se aplica la técnica de maestro-esclavo asimétrica. (4.5).

P_{Lslave}	Pérdidas del módulo esclavo en la técnica de maestro-esclavo asimétrica. (4.5).
P_{LM}	Pérdidas del módulo maestro en la técnica de maestro-esclavo asimétrica. (4.5).
P_{Mmin}	Potencia mínima del módulo maestro en la técnica de maestro-esclavo asimétrica. (4.8).
$P_{LT-hist}$	Pérdidas totales del convertidor modular IPOP cuando se aplica la técnica de encendido intermitente. (4.9).
$P_{Ln@Pmax}$	Pérdidas de un módulo cuando procesa su potencia máxima. (4.9).
QSW-ZVS	*Quasi-Square Wave Zero Voltage Switching mode*. Modo cuasi-resonante para lograr conmutaciones suaves.
Q	Factor de calidad
QRC	Figura de mérito definida para la comparativa de transistores MOSFET. (2.1)
Q_{rl}	Parámetro para las pérdidas por relajación magnética para formas de onda trapezoidales (A2.55)
q_r	Parámetro para ponderar las pérdidas por relajación magnética para formas de onda trapezoidales (A2.55)
Q_{rr}	Carga de recuperación inversa.
RF	Radio-frecuencia.
R	Valor de la resistencia de carga.
R_{DSon}	Resistencia en conducción del transistor MOSFET (1.2)
r_1	Ganancia en la corriente de entrada respecto a las perturbaciones en la tensión de entrada (v_1).
r_2	Ganancia en la corriente de salida respecto a las perturbaciones en la tensión de salida (v_2).

r_m	Radio medio del carrete utilizado para la inductancia. (1.6)
r_d	Resistencia en conducción del diodo parásito del transistor MOSFET. (A1.2)
R_P	Resistencia equivalente para el modelo dinámico (3.88)
R_{P-up}	Resistencia de *pull-up* del circuito de mando (*driver*) (A1.5)
R_{P-down}	Resistencia de *pull-down* del circuito de mando (*driver*) (A1.5)
R_g	Resistencia de puerta del circuito de mando (*driver*) (A1.5)
R_{gate}	Resistencia de puerta total equivalente (A1.14)
R_{DC}	Resistencia de continua que modela las pérdidas debidas a la conducción en el conductor de una inductancia (A2.14)
R_{AC}	Resistencia de alterna que modela las pérdidas debidas a los efectos de alta frecuencia en el conductor de una inductancia (también llamadas pérdidas por proximidad) (A2.15)
$R_{ACintra}$	Resistencia de alterna que modela las pérdidas debidas al efecto proximidad entre conductores adyacentes de una misma capa (A2.15)
$R_{ACextra}$	Resistencia de alterna que modela las pérdidas debidas al efecto proximidad entre conductores adyacentes de distintas capas. (A2.15)
$\Re$	Reluctancia del camino magnético (A2.22)
$R(z)$	Transformada z del regulador para el control en lazo cerrado.
$r[n]$	Señal de la rampa digital necesaria para el DPWM.
r_{d-SH}	Resistencia dinámica del diodo Schottky en la estructura de rectificador en cascodo.
$R_{DSon-JFET}$	Resistencia en conducción del JFET en la estructura de rectificador en cascodo.
SEPIC	*Single-Ended Primary-Inductor Converter*

SRC	*Series Resonant Converter*. Convertidor resonante en serie
SPRC	*Series-Parallel Resonant Converter*. Convertidor serie-paralelo resonante
SPRC-CLLC	*Series-Parallel Resonant CLLC Converter*. Convertidor serie-paralelo resonante con tanque CLLC.
S3R	*Sequential Switching Shunt Regulator*. Regulador conmutado secuencial.
Si	Silicio.
SiC	Carburo de silicio.
S	Superficie equivalente del hilo conductor. (A2.11)
S_{hilos}	Superficie equivalente del conductor formado por varios hilos en paralelo (o hilo litz). (A2.13)
$sync$	Señal de sincronismo utilizada en el control maestro-esclavo.
T	Periodo de conmutación (3.6)
t_{on}	Tiempo de conducción del transistor principal. Tiempo de magnetización de la bobina. (3.6)
t_{off}	Tiempo de conducción del transistor secundario. Tiempo de desmagnetización de la bobina. (3.6)
t_{d1}	Tiempo muerto entre el encendido del transistor secundario y el apagado del transistor principal.
t_{d2}, t_d	Tiempo muerto entre el encendido del transistor principal y el apagado del transistor secundario. También llamado tiempo de resonancia. (3.6)
t_{iLv}	Tiempo en el que la corriente por la bobina alcanza el valor de valle. (3.23)

$\hat{t}_{on}$	Perturbación de pequeña señal del tiempo de conducción del transistor principal. (3.146)
t_{SWon}	Tiempo de encendido del transistor MOSFET. (2.12)
t_{SWoff}	Tiempo de apagado del transistor MOSFET. (2.12)
t_{onmin}	Tiempo de magnetización mínimo. (3.92)
T_{min}	Periodo mínimo. (3.92)
T_D	Constante de tiempo para la respuesta diferencial del regulador en lazo cerrado. (3.96)
T_I	Constante de tiempo para la respuesta integral del regulador en lazo cerrado. (3.96)
T_{prev}	Señal del periodo anterior utilizado por el módulo maestro que sirve de referencia para la generación de las señales de control de los módulos esclavos.
T_{Hist}	Periodo de histéresis para la técnica de encendido intermitente. (4.9).
t_{onHist}	Periodo de tiempo en el que el módulo procesa potencia durante el intervalo de histéresis en la técnica de encendido intermitente. (4.9).
t_{rr}	Tiempo de recuperación inversa.
V_1	Tensión del lado de baja tensión o del sistema de almacenamiento.
V_2	Tensión del lado de alta tensión o de la carga activa.
v_1	Tensión del sistema de almacenamiento en función del tiempo.
v_2	Tensión de la carga activa en función del tiempo.
$\hat{v}_1$	Perturbaciones de pequeña señal en la tensión de entrada o tensión del sistema de almacenamiento. (3.146)
$\hat{v}_2$	Perturbaciones de pequeña señal en la tensión de salida o tensión de la carga activa. (3.146)

v_L	Tensión en la inductancia en función del tiempo. (3.8)
v_{Lmag}	Tensión en la inductancia durante el intervalo de magnetización. (3.8)
v_{Ldmag}	Tensión en la inductancia durante el intervalo de desmagnetización. (3.8)
v_{Lres}	Tensión en la inductancia durante el intervalo de resonancia. (3.8)
$\overline{v_L}$	Tensión media en la bobina. (3.25)
v_{DS}	Tensión drenador-fuente en función del tiempo. (3.15)
v_C	Tensión en el condensador parásito en función del tiempo. (3.15)
V_{GS}	Tensión puerta-fuente del transistor MOSFET. (1.3)
V_{DS}	Tensión drenador-fuente del transistor MOSFET. (1.3)
V_{On}	Tensión de salida del convertidor n. (2.2)
V_{In}	Tensión de entrada del convertidor n. (2.2)
V_O	Tensión de salida del convertidor modular. (2.2)
V_I	Tensión de entrada del convertidor modular. (2.2)
V_γ	Tensión de codo del diodo parásito del transistor MOSFET. (A1.2)
V_{miller}	Tensión Miller del transistor MOSFET. (A1.4)
V_{GSth}	Tensión umbral de puerta del transistor MOSFET. (A1.4)
V_{DRV}	Tensión del *driver*. (A1.5)
V_e	Volumen equivalente del núcleo magnético. (A2.24)
V_{OH-H}	Valor máximo de la ventana de histéresis necesario para el control maestro-esclavo.
V_{OH-L}	Valor mínimo de la ventana de histéresis necesario para el control maestro-esclavo.

$v_O[n]$	Señal discreta de la tensión de salida proporcionada por el ADC.
V_{HH}	Valor alto máximo de la ventana de histéresis necesario para el control de encendido por histéresis.
V_{HL}	Valor bajo mínimo de la ventana de histéresis necesario para el control de encendido por histéresis.
V_{LH}	Valor bajo máximo de la ventana de histéresis necesario para el control de encendido por histéresis.
V_{LL}	Valor bajo mínimo de la ventana de histéresis necesario para el control de encendido por histéresis.
$V_{\gamma-SH}$	Tensión de codo del diodo Schottky en la estructura de rectificador en cascodo.
V_{D-SH}	Tensión directa del diodo Schottky en la estructura de rectificador en cascodo.
$V_{PINCH-OFF\ JFET}$	Tensión de *pinch-off* (o estrangulamiento del canal) del transistor JFET de SiC en la estructura de rectificador en cascodo.
WBG	*Wide band-gap*. Dispositivos semiconductores de banda prohibida ancha.
ZVS	*Zero Voltage Switching*. Conmutación a tensión cero
ZCS	*Zero Current Switching*. Conmutación a corriente cero.
ZCD	*Zero Current Detection*. Detección del paso por cero de la corriente.
ZVD	*Zero Voltage Detection*. Detección del paso por cero de la tensión.
Z_o	Impedancia característica de la red resonante equivalente en el modo QSW-ZVS. (3.4)
$\|\|Z\|\|$	Impedancia normalizada.
ZVS	Parámetro para evaluar las pérdidas de conmutación en condiciones de ZVS. (1.3)

1 INTRODUCTION AND STATE OF THE ART

Nowadays, bidirectional power conversions are very common in those applications in which an energy storage system is used. In these cases, a bidirectional power converter is needed to manage both power fluxes (i.e. from the energy storage system to the load and vice versa). This chapter presents a review of the state of the art of bidirectional power converters, with and without galvanic isolation. The main advantages and drawbacks of each topology will be summarized and the main characteristics of each power stage will be highlighted. Finally, a brief comparison will be made in terms of losses, cost, voltage and current stress, and design key points.

1.1. BIDIRECTIONAL POWER SUPPLY SYSTEMS

A bidirectional power supply system can be defined as a particular power converter with the capability to transform the energy format in two power flow directions. In a traditional power supply system, as shown in Figure 1.1, the power converter should adapt the energy format provided by an energy source to feed a load [1.1]. However, in some specific applications, this scheme is lightly different, as can be seen in Figure 1.2, which shows a bidirectional power supply system. In the former case, the load only demands power, but in the bidirectional case, this load can also generate power. Hence, in a bidirectional power supply system, there are at least two power fluxes: the forward power flux (energy flows from the energy source to the load) and the reverse power flux (energy flows from the load to the source). In this case, the load is known as an active load (due to the capability to generate energy) and the source should have an energy storage capability. Therefore, these two fluxes must be managed by the bidirectional power converter, which also has to deal with the energy conversion to properly feed the load or the energy source.

Global warming, climate change and energy sustainability nowadays suppose social concerns. These social movements have led to the search for new power supply systems, which should be more efficient from the point of view of energy use. Energy storage systems have been developed in parallel with upsurge in power supply systems of this kind, taking into account the evolution of these power supply structures, in which an auxiliary, autonomous energy source is generally needed. In all cases, a bidirectional power converter is present in the power supply structure.

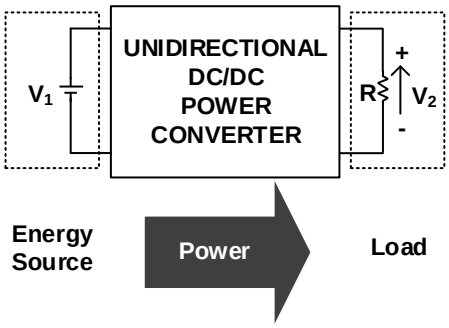


Figure 1.1. Traditional DC/DC power converter.

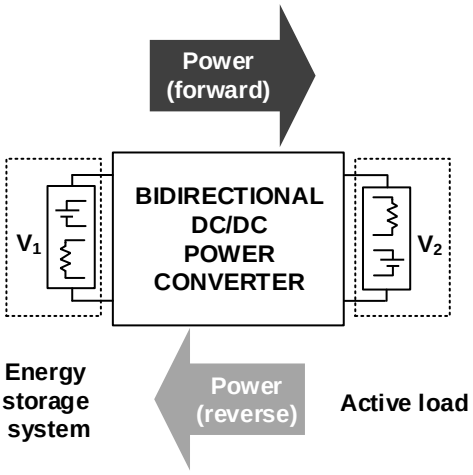


Figure 1.2. Bidirectional DC/DC power converter.

The first group of applications in which this kind of new power supply systems can be found comprises renewable energy systems [1.2] and [1.3]. Due to the random nature of these types of energy (such as wind turbine generation or solar photovoltaic panels), an energy storage system is needed in the power supply architecture, to balance power generation and demand. In this way, energy can be stored during high power generation periods and low demand. This energy will be used in high power demand periods in parallel with renewable energy generation, in order to fulfill the overall power demanded by the load. This application is summarized in a basic diagram shown in Figure 1.3. The power supply system architecture in this kind of applications can be variable and depends on the power and voltage ratios. For instance, the power supply system may only be one bidirectional power converter or it may be several power converters which can manage several power fluxes in a multi-port topology [1.4].

Another sort of application in which power supplies of this kind can be found comprises autonomous energy systems. In these systems, energy generation is provided only by renewable energy systems. Some examples are zero emission buildings and households without a mains connection operating in islanded mode, or aerospace systems such as satellites and probes [1.5].

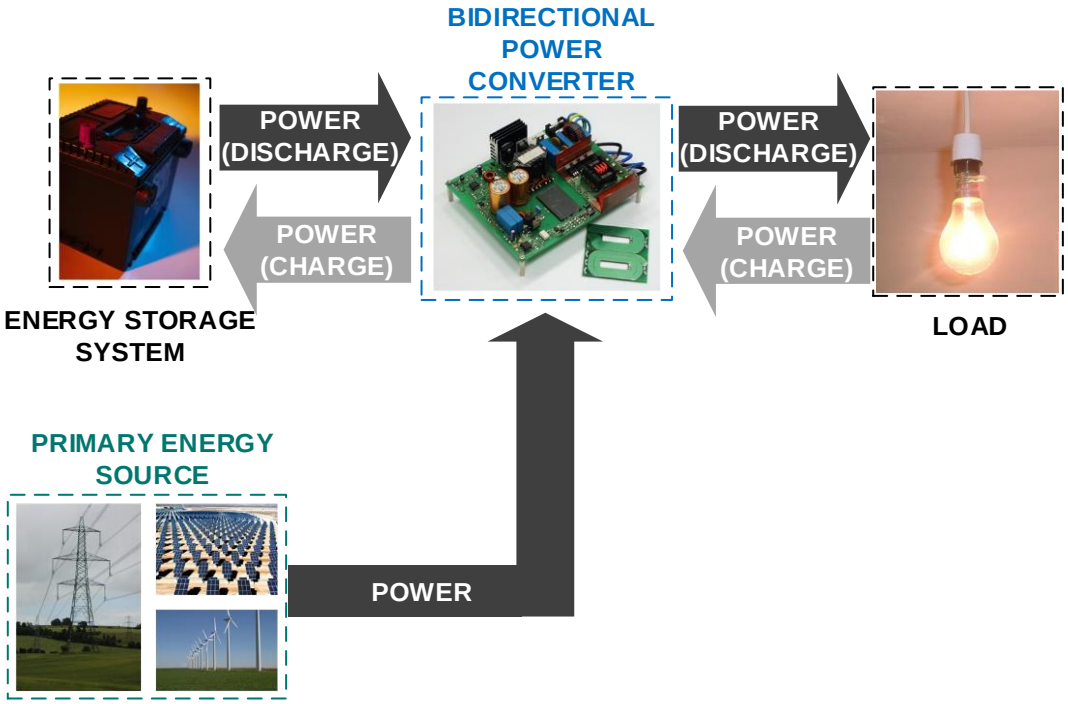


Figure 1.3. General diagram for a bidirectional power supply system for renewable energy applications.

The second group of applications that need a bidirectional power supply system encompasses electric vehicles and electric mobility [1.6]-[1.8]. In this case, the load is an electric motor drive which can demand or generate power depending on circumstances. The power supply system can store the energy generated by the motor drive in an energy storage system (typically, a battery). Then, when the motor drive demands high power, this energy can be reused in order to fulfill this demand. Figure 1.4 shows a general power supply system scheme for this kind of application.

These energy recovery systems are widely studied and applied in elevators and lift systems [1.9]-[1.12]. In these systems, when the lift cabinet is going down, the motor drive generates an amount of energy that can be stored instead of being wasted in a crowbar resistance. Then, when the lift cabinet is going up, this energy can be reused to feed the elevator motor drive once again. Another example of these power supply systems comprises hybrid and electric vehicles (HEV) [1.13]-[1.18]. With the use of kinetic energy recovery systems (KERS) or regenerative brake, the energy generated when the car is braking can be stored and subsequently used to feed the motor drive.

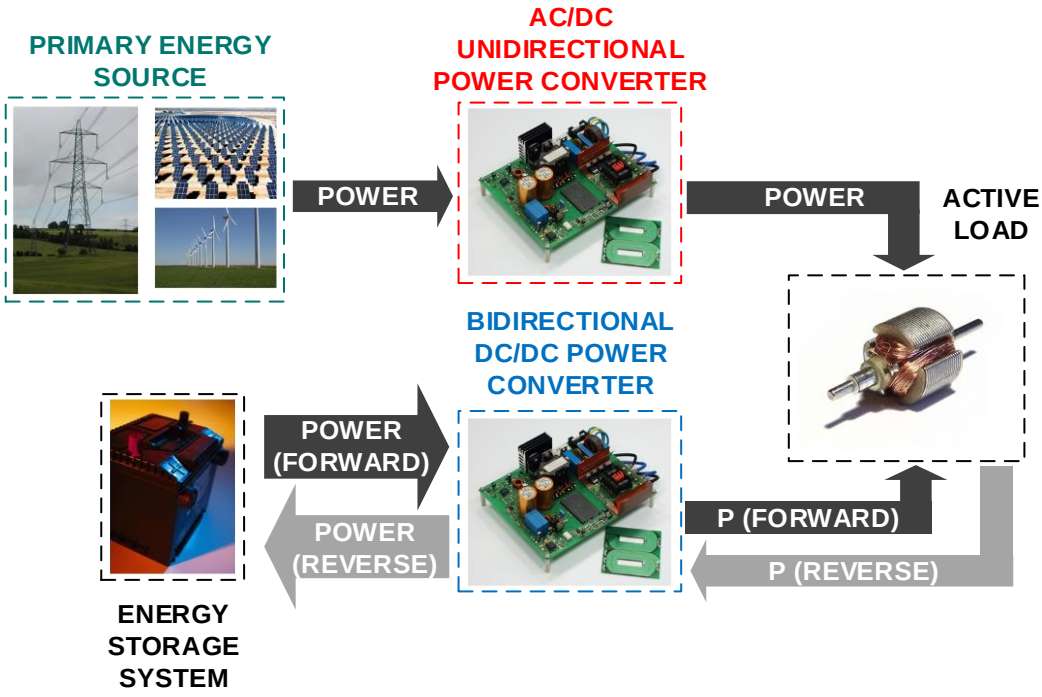


Figure 1.4. Multi-port power supply system based on several power converters, including a bidirectional power stage.

1.2. BIDIRECTIONAL DC/DC POWER CONVERTERS

In spite of the existence of bidirectional AC/DC power converters [1.19], or even AC/AC power converters [1.20], this thesis focuses on bidirectional DC/DC power converters. More precisely, the starting point of this state-of-the-art review is the scheme shown in Figure 1.2. Thus, a bidirectional power supply system is considered, which has an active load (with a V_2 voltage) and an energy storage system (V_1 voltage). Both of them are capable of generating or demanding power. Throughout this thesis, it is assumed that voltage V_1 is always lower than voltage V_2. Therefore, the energy storage system side will sometimes be referred to in the text as the low voltage side, while the term high voltage side will be used to refer to the active load side. Bearing in mind this assumption, the forward power flux will always be a step-up conversion, or boost (i.e. from V_1 to V_2), and the reverse power flux will be always a step-down conversion, or buck (i.e. from V_2 to V_1).

It should be noted that the energy storage systems in the aforementioned systems are usually, DC electric systems. These energy storage systems (such as super-capacitors, flywheels, batteries, etc.) thus work with DC voltage [1.15] and [1.16]. The energy storage voltage and power levels will fix the specifications of the bidirectional DC/DC power converter. As a first approach, these energy storage systems can be classified into two different groups, in terms of their voltage level: low voltage energy storage systems (or safety voltage systems) and high voltage energy storage systems (or non-safety voltage systems). The first group is made up of those energy storage systems with voltage range between 3.3V and 68V [1.21], 48V being a typical value for these systems [1.22] and [1.23]. This kind of energy storage systems are considered as safety systems from the point of view of their use, as a technician can access to these systems and manage them without any additional insulated equipment. The second group comprises energy storage systems with a voltage level above 68V [1.24], 220V being a typical value [1.25]. In this case, these systems are considered non-safety systems, because their maintenance imposes more safety measures compared to the former ones.

The second specifications set will be imposed by the voltage of the active load. For the previously stated applications, it is very common for a high voltage DC bus to be included into the power supply architecture. These DC buses (with voltage levels between 400V and 800V) are used to feed a DC motor drive directly or, equivalently, an AC motor drive with an inverter. On rare occasions, some low voltage DC buses can be found in certain specific applications, with voltage ratios ranging from 12V up to 48V. For instance, the latter can be found in aerospace systems (probes and satellites) and in battery cell balancing circuits.

The third specification to be fulfilled by the bidirectional DC/DC power converter is its dynamic performance. In general, the dynamic response is not very restrictive for the aforementioned applications, because the changes in power demand will be in the order of milliseconds or even seconds. This fact is due to the presence of motor drives as active loads, the dynamic response of which is generally, slow. Therefore, the dynamic response of the bidirectional DC/DC converter should not be very fast.

Finally, two additional interesting parameters for bidirectional power converters, which can be helpful when comparing them, should be highlighted. The first is how the bidirectional converter can change the power flux, and how fast (and easy) it can do so. In some applications, the bidirectional DC/DC power converter needs to change the power flux almost instantly (from forward to reverse or vice versa) and this will constitute an important requirement for the power converter to accomplish (e.g. in HEV applications). In other applications, however, this power flux changing behavior is not so fast, due to the fact that there are some clear-cut periods or stages during which the energy storage system is being charged and others when this storage system will be being discharged (e.g. in renewable energy applications). In these cases, it is hence not necessary for the bidirectional power converter to change the power flux rapidly.

The second interesting parameter to take into account when comparing bidirectional DC/DC power converters is the current ripple through the energy storage system. This current ripple is critical for a huge number of energy storage systems, especially for batteries. Large current ripple values imply a reduction in the lifespan of these systems and an increase in their maintenance cost [1.26]. Although this problem can be reduced by the addition of passive filters (based on inductances and capacitors) to the bidirectional converter, these filters will be less bulky and expensive in those bidirectional topologies that, naturally, have lower current ripple on the low voltage side.

A first approach to obtain a bidirectional power converter is to use two unidirectional power converters connected in anti-parallel [1.27], as can be seen in Figure 1.5. This solution was adopted in the past to manage both power fluxes independently. Hence, the bidirectional power stage could be designed as two independent power converters (one per power flow direction), each with its own control stage. Then, an additional control stage was added to change the power flow direction (or to activate or deactivate each converter). Therefore, if one converter failed, the overall power stage could manage at least one power flow direction (either forward or reverse). This approach was considered more reliable and flexible than a standalone bidirectional power converter. Consequently, this solution was widely used in aerospace applications during the 80's and 90's, and can still be found nowadays. However, this approach is now more expensive than only one bidirectional stage. Moreover, the reliability of components (transistors, capacitors, etc.) has increased in recent decades, so it is not considered a good solution compared with a

standalone bidirectional converter. Therefore, only standalone bidirectional power converters will be studied in this state-of-the-art review.

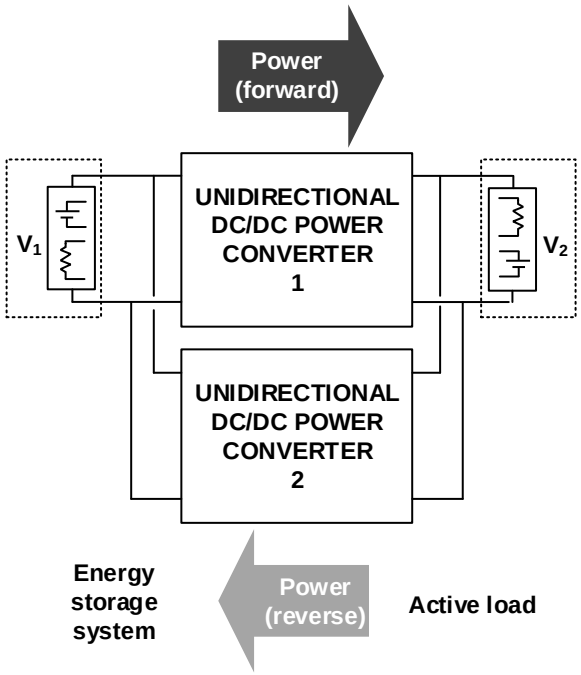


Figure 1.5. Bidirectional power supply converter based on two unidirectional power converters.

1.2.1. BIDIRECTIONAL DC/DC POWER CONVERTERS WITHOUT GALVANIC ISOLATION

This kind of bidirectional DC/DC converters will be used if the voltage ratio is not very large in terms of V_1 and V_2 respectively. These converters without galvanic isolation will be used if V_1 and V_2 voltage levels are considered as safety voltages (i.e. both of them are below 68V) and even if they are non-safety voltages (i.e. both of them are above 100V). In the latter case, the galvanic isolation does not add any safety improvement to the power stage, and the addition of a transformer only would have sense if voltage ratio was large (i.e. $V_2 > 3 \cdot V_1$).

The main group of bidirectional DC/DC power converters is formed by those topologies that can be obtained from classical unidirectional topologies (such as boost, buck or buck-boost). In order to obtain the bidirectional capability, the freewheeling diode of these topologies is replaced by a bidirectional current switch, i.e. by a transistor, in a similar way to the synchronous rectification topologies. Obviously, this replacement implies an increase in the complexity of the power converter, due to the addition of another driving circuitry for the extra transistor, another control pulse width modulator signal (PWM), and the inclusion of certain dead times between the two complementary control signals in order to avoid short-circuits.

There are other bidirectional DC/DC topologies without galvanic isolation which have been proposed as an original contribution (i.e. they are not based in any unidirectional topology). However, topologies of this kind are generally more complex, than the previously mentioned ones. Therefore, these kinds of topologies will not be studied in this thesis.

In the present state of the art, the bidirectional DC/DC power converters without galvanic isolation have been classified in three groups:

1. Bidirectional DC/DC power converters based on boost or buck topologies.
2. Bidirectional DC/DC power converters based on buck-boost topologies.
3. Bidirectional DC/DC multi-resonant and quasi-resonant power converters.

The first group of topologies will be used in those cases in which a step-up or a step-down conversion is needed. In other words, these converters can be implemented in applications in which one voltage (low side voltage or high side voltage) is always lower than the other. Converters from the second group will be used in those applications in which both voltages fall within the same range and the power converter has to buck or boost voltage in both power flow directions. Finally, the third group is made up of those converters based on unidirectional quasi-resonant converters. Nevertheless, it should be noted that the use of converters of this kind is very restricted due to the limitations imposed by these topologies. The main properties of these converter families will be discussed below.

1.2.1.1. Step-up and step-down family (buck and boost)

The simplest bidirectional DC/DC converter is a synchronous boost or buck converter, [1.28], as can be seen in Figure 1.6. This topology allows a step-up voltage conversion in the forward power flow direction or a step-down voltage conversion in the reverse power flow direction. The main advantage of this topology is its simplicity: it only uses two transistors, two capacitors and an inductor. The low number of components needed means that the overall power converter has a low cost, hence this topology is very attractive when no galvanic isolation is required in the application. Moreover, as it is a very simple topology and has been widely used in the past for synchronous rectification applications, advanced control techniques already studied by other authors can be applied, thus increasing the flexibility of this converter.

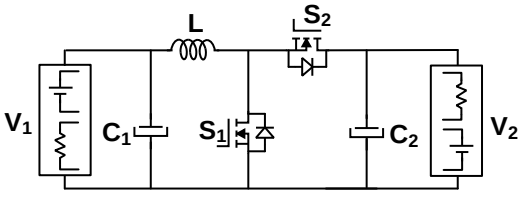


Figure 1.6. Bidirectional synchronous boost converter.

Furthermore, the inductor in this converter is placed on the low voltage side. Therefore, the current ripple through the energy storage system is low in comparison with other topologies.

In spite of the advantages of this converter, it presents a number of drawbacks that should be highlighted. First, the dynamic behavior of this converter varies depending on the power flow direction. On the one hand, it is well known that a boost converter has a right half plane zero (RHPZ). This RHPZ limits the dynamic response of this converter, and it complicates the control stage for this power converter. On the other hand, it is also very well known that a buck converter has a first-order dynamic response, and it is, generally, easier to design a closed loop regulator for this type of converter. Hence, a change in the power flow direction implies a change in the dynamic response of this power converter (from boost to buck and vice versa). Therefore, even if the converter is working in buck mode, the dynamic response of this equivalent buck converter will be limited by the RHPZ of the boost mode. This limitation can be minimized by changing the closed loop regulator for each mode or by adopting a current control mode. In the former case, the regulator switch process makes the change in the power flow direction more complicated. In the latter case, even though a first-order dynamic response in a boost converter can be obtained by adopting a current control mode, it constitutes a more complicated control scheme compared to a traditional voltage control: an inductor current measurement is needed and slope compensation has to be added to the control stage.

The second drawback of this bidirectional power converter is that the power flux change is determined by external conditions. In other words, it is not possible to control the power flow direction directly via a control signal (i.e. the duty cycle). In other bidirectional power converters it is possible to control the power flux directly via a control signal. In this case, the duty cycle is not sufficient to change (or control) the power flow direction. Hence, an additional control is needed in this converter in order to manage the power flow direction.

Thridly, the efficiency of this converter (controlled with a traditional voltage regulation loop) falls within the range of 90% to 94% [1.28]. Other topologies are able to work under soft switching conditions and their efficiencies reach as high as 98% or even higher, as will be studied in the following sections of this thesis. Aiming to work under soft switching condition, several approaches have been proposed in the literature [1.27], [1.29] and [1.30]. These techniques rely on the addition of some kind of resonant circuit to the power stage, and all of them are based on the quasi-resonant converters [1.31]-[1.34]. Thanks to this extra resonant circuit, it is possible to obtain zero voltage switching (ZVS) or zero current switching (ZCS), thus drastically reducing transistors switching losses and increasing overall efficiency. Nevertheless, the use of these techniques increases the cost and complexity of the boost or buck bidirectional converter, which was its main advantage. Moreover, these additional resonant circuits require synchronization with the power stage control, which also increases the complexity of the converter control.

In an attempt to raise the efficiency of this converter by achieving soft switching conditions, in the recent years some authors have considered a particular operational mode already studied in the 80's: the quasi-square wave zero voltage switching mode (QSW-ZVS), originally proposed in [1.35] and analyzed in depth in [1.36]-[1.38]. In this operational mode, the converter works in continuous conduction mode (CCM), though very close to boundary conduction mode (BCM). Hence, during the dead times between the two control signals of both transistors (i.e. turn-on and turn-off respectively), the converter inductor (L in Figure 1.6) resonates with the equivalent output parasitic capacitance of both transistors (S_1 and S_2 in Figure 1.6). For a given inductance value, it is thus possible to find a certain dead time during which the resonance discharges the S_1 transistor output capacitor voltage. Obviously, this resonance is only present when the inductor current crosses the zero value and becomes negative. Hence, the second transistor, S_2, switches with zero current. As can be seen, the main advantage of QSW-ZVS operational mode is that ZVS and ZCS can be reached without any additional circuit. Therefore, the application of this mode in this bidirectional converter is very interesting [1.39].

Nonetheless, QSW-ZVS mode has certain drawbacks. As this particular mode needs low inductance values, the inductor current ripple and rms value are higher than CCM, as occurs in Discontinuous Conduction Mode (DCM). This fact means higher conduction losses and larger peak current stress on the components. Another important drawback to be noted is that QSW-ZVS only achieves ZVS if the input and output voltages fulfill a certain condition. This condition implies that one of them has to be limited to a specific range, and soft switching is not achievable outside this voltage range. Finally, it should be noted that QSW-ZVS can work with fixed switching frequency (though managing high reactive current under light load conditions), or it can work with variable switching frequency, increasing the electromagnetic interference (EMI) of this converter.

Finally, synchronous boost or buck converter are used for power levels below 1kW, although this type of converter can be used with higher power levels by adopting some of the soft switching techniques mentioned previously.

1.2.1.2. Bidirectional buck-boost power converters

If the application imposes a step-up and step-down conversion, then the previously stated power converters are no longer valid for this purpose. In this case, a bidirectional buck-boost converter is needed. The easiest bidirectional buck-boost topology is shown in Figure 1.7. This converter has the same advantages and drawbacks as the unidirectional version: it allows a buck or boost voltage conversion in both power flow directions, but the voltage and current requirements as regards the semiconductors are higher than for a boost or buck topology. The efficiency of this power converter thus ranges between 90% and 92% [1.40]-[1.42]. Another important drawback

bear in mind is that the voltages V_1 and V_2 are inverted in this power converter. Furthermore, the low voltage side current ripple (i.e. the current ripple through the energy storage system) is higher than in the previous synchronous boost or buck converter.

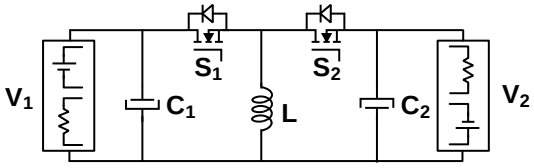
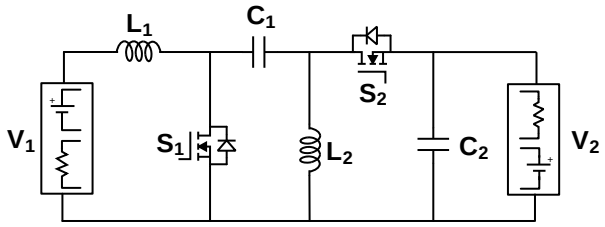
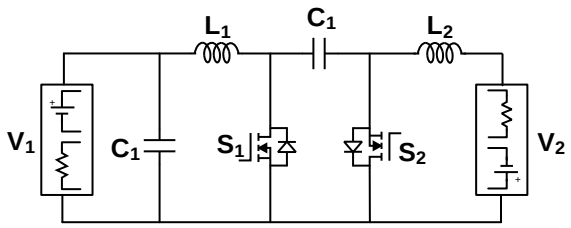


Figure 1.7. Bidirectional buck-boost converter.

There are some variations on this topology that aim to mitigate some of the aforementioned drawbacks. Most of them are based on unidirectional buck-boost family converters: SEPIC, Ćuk and Zeta converters [1.43]-[1.44], for instance, the SEPIC-Zeta bidirectional converter shown in Figure 1.8(a) or Ćuk-Ćuk bidirectional power converter shown in Figure 1.8(b). All these converters have the same advantages as the unidirectional version on which they are based: voltages are not inverted and the current ripple is reduced by the addition of another L-C pair. Even with these advantages, the efficiency of these power converters is still poor (up to 90% in the best case [1.43]).



(a)



(b)

Figure 1.8. Other bidirectional buck-boost topologies. (a) Sepic-ZETA converter. (b) Ćuk-Ćuk converter.

As in the previously studied topologies, it is possible to apply some of the aforementioned techniques to achieve soft switching in these bidirectional buck-boost converters in order to improve their efficiency. However, the obtained improvement is not significant and they are not applied in a practical way due to the complexity of the techniques. As a result of the discussed drawbacks for these topologies, all these converters are used for applications with low power

levels, in the range of 50W up to 200W. Thus, these topologies are widely applied in battery cell equalizers and super-capacitors equalizers, in which voltages are very close to one another and the power level is low [1.45].

Another approach to obtain a bidirectional buck-boost power converter is the cascaded bidirectional buck-boost converter, also known as the four switch buck-boost, non-inverted buck-boost or buck plus boost power converter. This topology is shown in Figure 1.9. As can be seen, the topology is made up of two bidirectional buck-boost converters connected in cascade, both sharing the inductor. This converter was originally proposed in [1.46] and has been analyzed in depth in [1.47]. The main advantage of this power converter is its flexibility. It can work in eight different operational modes: boost mode (transistors S_3 and S_4 are switching, transistor S_1 is always on and transistor S_2 is always off), buck mode (S_1 and S_2 switching, S_3 off and S_4 on), buck-boost mode (S_1 and S_3 switching, S_2 and S_4 off) and buck plus boost mode (the four transistors are switching) in both power flow directions. The theoretical efficiency of this converter is fairly similar to that obtained for a synchronous boost or buck converter. Therefore, this topology solves some of the previously stated buck-boost shortcomings: it has higher efficiency, voltages are not inverted and it can be used for higher power levels. The price to be paid is a large number of components (twice than the basic buck-boost converter) and a lightly more complicated control scheme (due the different operational modes).

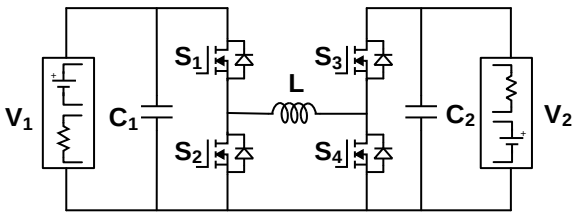


Figure 1.9. Cascaded buck-boost converter, also known as four switch buck-boost converter or non-inverting buck-boost converter.

A new control technique has been proposed in [1.48] for this converter to achieve soft switching without the addition of any extra resonant circuit. Under this control technique, the four transistors are switching with a particular time scheme. Thus, the inductor current becomes negative in a particular time interval. This reactive current can be used to discharge the transistor output parasitic capacitance and achieve ZVS. The theoretical waveforms of this converter working in this particular mode are shown in Figure 1.10. With this particular control, efficiency can be increased up to 96% to 98% for this power converter [1.48]. The main disadvantage of this control technique is its complexity. The control stage has to calculate the time intervals every single switching period for each of the four transistors. This implies a high computational cost for this stage and it is not unusual to find some Digital Signal Processors (DSP) combined with a Field-Programmable Gate Array (FPGA) used to implement this control.

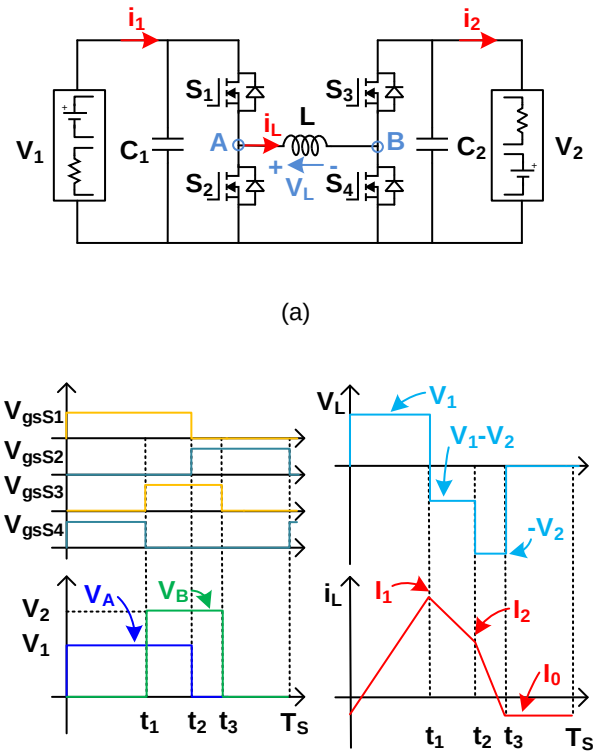


Figure 1.10. Cascaded buck-boost converter operating under ZVS. (a) Topology. (b) Theoretical operating waveforms.

1.2.1.3. Bidirectional quasi-resonant power converters

The last bidirectional power converters without galvanic isolation analyzed in this state-of-the-art review, comprise the quasi-resonant and multi-resonant converters. Quasi-resonant converters *naturally* have the capability to manage a bidirectional current flow, due to the fact that they work with quasi-sinusoidal voltage and current waveforms in order to achieve soft-switching. Therefore, the adoption of this power converters to a bidirectional power stage is practically straightforward, as proposed in [1.49]-[1.51]. Even though of these converters work under soft switching, the efficiency of these topologies is only around 92%. The explanation for this low efficiency lies in the over-voltages and over-currents that all the elements of these power converters have to support. Hence, the overall conduction losses are very high, and all the elements have to be oversized. Due to these voltage and current stresses, these topologies are rarely used for applications with power levels above 80W. Another important drawback of these power converters that should be pointed out is that they are not symmetrical. This means that a bidirectional quasi-resonant converter can achieve different peak power levels for each power flow direction. This fact accordingly limits all these power converters to asymmetrical power applications. Taking into account all these drawbacks, these power converters are of minor interest in comparison with the

previously studied bidirectional converters, and so will not be analyzed in depth in this thesis. In Figure 1.11 shows an example of a bidirectional multi-resonant ZVS-ZCS converter.

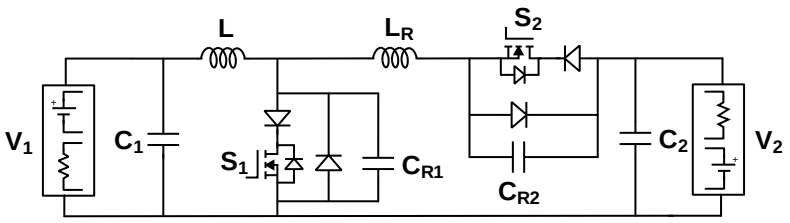


Figure 1.11. Bidirectional multi-resonant ZVS-ZCS converter.

Finally, it should be noted that there are other bidirectional versions for resonant converters based on class E amplifiers [1.52], but in practice their uses are very limited, essentially being implemented in radio frequency (RF) applications [1.53].

1.2.2. BIDIRECTIONAL POWER CONVERTERS WITH GALVANIC ISOLATION

In those applications in which the input and output voltages are very different, or one of them is considered as a safety voltage (i.e. a voltage below 24V), a galvanic isolation is needed in order to provide safety and achieve a high voltage conversion.

In this thesis, galvanic isolated bidirectional DC/DC converters are classified into four families:

1. The isolated bidirectional buck-boost family.
2. Bidirectional converters based on inverters (or passive bridge combinations family).
3. The Dual Active Bridge family (or two active bridges family).
4. Isolated bidirectional resonant converters.

Power converters from the first family are used in applications in which the power level is around 500W and below [1.54]. Moreover, these converters are mainly used where buck and boost voltage conversion is needed and their efficiency is not very high.

The second family is composed of those bidirectional converters based on the classical unidirectional topologies of inverters (i.e. push-pull, half-bridge and full-bridge topologies). These power converters were the main option for isolated bidirectional conversion during the first years, but they have become into a second option due to the advantages of power converters from the third family. Nowadays, these power converters are still a potential approach for isolated bidirectional power conversion (especially for on account of their flexibility). However, converters from the next family are preferred if a very high efficiency is required.

The dual active bridge family or two active bridges family is, currently the main type of bidirectional isolated power converters due to two major advantages: the efficiency of these converters is very high and they are very simple (from the control stage point of view).

Finally, the fourth family considered in this state-of-the-art review comprises isolated bidirectional resonant converters. Power converters belonging to this family are used especially when the power level is relatively high, and switching losses have an important weight in the overall power converter losses.

There are other possible isolated bidirectional power converters, but they are not considered worth reviewing here. All these four families will be analyzed in the following section.

1.2.2.1. Bidirectional isolated buck-boost power converters

The first isolated bidirectional DC/DC converters comprise those based on unidirectional isolated buck-boost topologies: forward, flyback, SEPIC, Ćuk and Zeta converters [1.54] and [1.55]. As the previously studied non-isolated topologies, the freewheeling diode in these converters is replaced by a bidirectional current switch (i.e. a transistor). However, these topologies are lightly more complicated than their unidirectional versions, because of the addition of some extra inductor and capacitor networks.

More precisely, due to including a large number of components, these topologies have a relatively low efficiency, around 90% in most cases [1.55]. Once again, it would be possible to apply different techniques to improve this efficiency, such as soft switching techniques or active clamping, as can be seen in Figure 1.12, which shows a bidirectional flyback converter with double active clamp. Nevertheless, the efficiency improvement achieved with these techniques is lower than two points in terms of overall converter efficiency, whilst the increase in complexity is quite high due to the addition of more components to the topology.

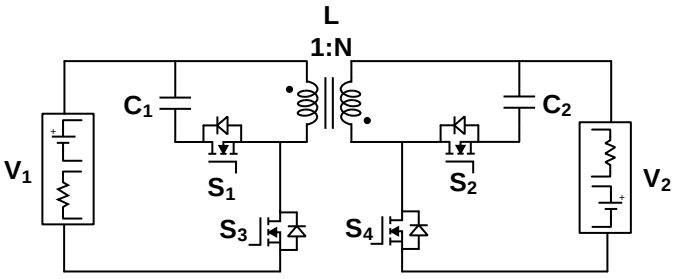


Figure 1.12. Bidirectional flyback converter with active clamp.

Therefore, these converters are not suitable for applications with power levels above 500W or in which voltage ratio is too high (i.e. where the energy storage system voltage is very different from the active load voltage). Hence, these power converters are used for battery cell balancing circuits (as non-isolated bidirectional buck-boost) in which a transformer is needed for safety reasons [1.45].

1.2.2.2. Bidirectional power converters based on bridges

The second group of isolated bidirectional power converters is made up of those topologies based on inverters. Push-pull, half-bridge and full-bridge topologies are the three possible combinations of this group. The bidirectional capability is obtained in these converters by replacing the output rectifier stage by a synchronous rectification stage (once again, diodes are replaced by transistors) [1.56]-[1.59]. In these converters there are two bridges: one of them is active (i.e. it excites the transformer with an AC voltage waveform); the other is passive (i.e. it rectifies the AC voltage coming from the transformer). When the power flow direction is reversed, then both bridges change their roles: the rectifier now becomes the active bridge and the active bridge now plays the role of synchronous rectifier. A basic diagram for this group of power converters can be seen in Figure 1.13.

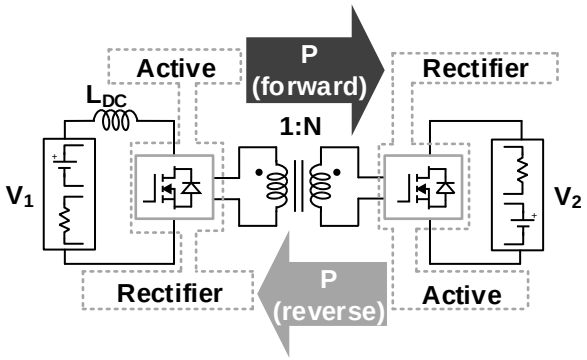


Figure 1.13. General diagram for bidirectional converters based on bridges.

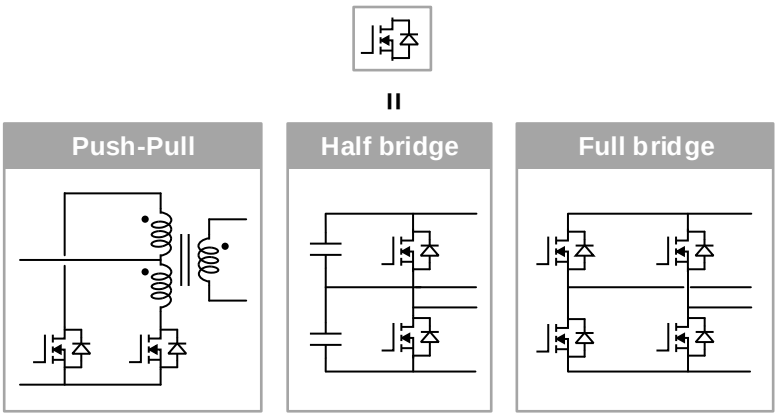


Figure 1.14. Possible options and combinations for bidirectional power converters based on bridges.

Each bridge can be implemented with one inverter structure, such as push-pull, half-bridge or full-bridge, as shown in Figure 1.14. Thus, the number of possible combinations is up to six different power topologies, depending on the inverter chosen to act as the active or passive bridge. Hence, the main advantage of this family is the great flexibility obtained with all these combinations. This means that these power converters can be used for different applications with a wide range of voltages and power levels. The efficiency of these bidirectional power converters

ranges from 92% up to 96% [1.57]-[1.59]. The maximum achievable efficiency can be obtained if one of the aforementioned control techniques already studied for previous topologies is adopted in order to achieve soft-switching. The bidirectional push-pull full-bridge converter is shown in Figure 1.15, as one example of this family.

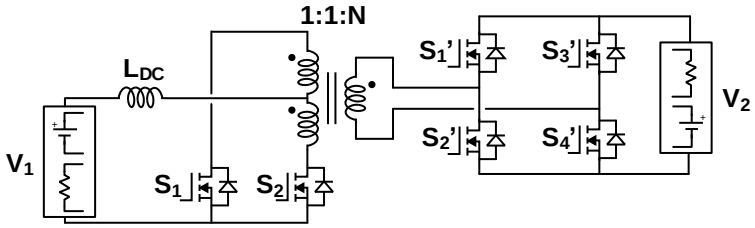


Figure 1.15. Bidirectional push-pull and full bridge power converter.

Even taking into account the great flexibility and adaptability of these power converters, there are two main drawbacks that should be highlighted for this family. The first one is that, in most cases, a current filter is needed on the low voltage side to minimize the current ripple through the energy storage system. In general, this filter is implemented via a simple inductor in the low voltage side (named L_{DC} in Figure 1.13 and Figure 1.15). This kind of converters (with an inductor placed on the input voltage) are known as a current-fed bridges (as in the unidirectional case) [1.60] and [1.61]. This is a high cost solution, due to the fact that this input inductor is (in most cases) a bulky element and its design becomes more difficult when the power level increases. Furthermore, current-fed inverters (and, by extension, these current-fed bidirectional converters) need a different control compared with traditional voltage-fed inverters (i.e. current-fed inverters work with complementary control signals compared to the equivalent voltage-fed inverter). Therefore, the control stage (typically an IC for analog control or an FPGA for digital control) is less common than the voltage-fed versions, which means a more expensive solution.

The second drawback of these bidirectional power converters is that they need a very complex control. This high complexity in the control stage is due to two facts. On the one hand, the synchronous rectification stage needs to be perfectly synchronized with the active bridge control signals, in order for the converter to operate properly. There are some papers in the literature that try to mitigate this effect via different matching techniques, [1.62]-[1.64]. In all the cases, however, the control stage has to measure and supervise the synchronous rectifier control signals. On the other hand, as previously stated, when the power flux changes, then the active and passive bridges have to change their roles (from active to passive and vice versa). This change is not immediately and the control stage needs a time interval to adjust all the parameters and signals involved in this process. Therefore, the power flow direction is not directly controlled by a variable through the control stage, and it is not possible to change it easily or quickly.

These two important shortcomings were the prime reasons for looking for new isolated power converters with an easier control.

1.2.2.3. Bidirectional dual active bridge power converters

This family of isolated bidirectional power converters arose as a result of the search for an easier way to control a combo-bridge bidirectional converter. From a topological point of view, this new group of power converters is very similar to the previously studied converters, the main difference residing in how to control these converters and the transformer leakage inductance, which, in this family, plays an important role.

These converters are known as dual active bridges or two active bridge power converters, and the general diagram for these converters can be seen in Figure 1.16. The transformer leakage inductance (L_{LK}) or an inductor connected in series with the transformer, plays the role of the energy storage element. This inductance is excited by a square-wave voltage waveform as a result of the voltage difference on the primary and secondary side of the transformer due to a certain phase-shift introduced in the control signals of both bridges. This idea was originally proposed in [1.66] and [1.67] for full-bridge with phase-shift control.

The more representative topologies of this family are the Dual Half Bridge (DHB) (see Figure 1.17, proposed and analyzed in [1.68] and [1.69]) and the Dual Active Bridge (DAB) (see Figure 1.18(a), originally proposed in [1.70] and analyzed in depth in [1.71]-[1.75]). The input and output bridges are both active in this case (hence, the name given to this family) and they work with a constant duty cycle (D) equal to 50% (it should be noted that advanced control techniques developed for these converters also changes this duty cycle, although the original control is set with constant D). These control signals are phase-shifted with an angle φ. Hence, L_{LK} supports the difference between the primary and secondary side voltages (which are phase-shifted an angle φ). Therefore, this phase shift controls the total power managed by the converter and the power flow direction. For instance, the theoretical operational waveforms for a DAB are shown in Figure 1.18(b). As can be seen, the design and control for these particular power converters is easier than in the previous cases.

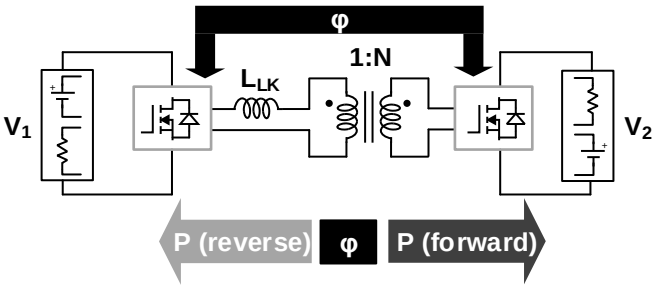


Figure 1.16. General diagram for the dual active bridge family. The bridges plotted as a squared transistor might be any of the possible combinations shown in Figure 1.10.

As was previously stated, converters from this family are controlled directly via a phase shift, φ. The peak power flux managed and the power flow direction are both determined by φ. This gives rise to one the main advantages of these power converters: the power flux change can be achieved immediately without any additional control change.

Two additional features provide the dual active family (and, particularly the DAB converter) with a major advantage over other isolated bidirectional power converters: high reliability and high efficiency. The reliability of these power converters is very high because their simplicity. The power stage is almost symmetrical from the point of view of the transformer (two bridges, two capacitors) and, even taking into account the large number of devices needed, the topology is very robust and can work with power levels from 500W up to 20kW [1.70] and [1.72]. The second advantage (high efficiency) is due to the fact that both bridges work under soft-switching conditions (more precisely, under ZVS). Therefore, switching losses are drastically reduced, and the power stage can be optimized to achieve efficiencies ranging from 96% to 99% [1.74]

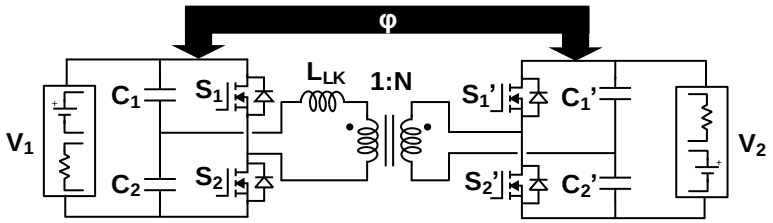


Figure 1.17. Dual Half Bridge (DHB) power converter.

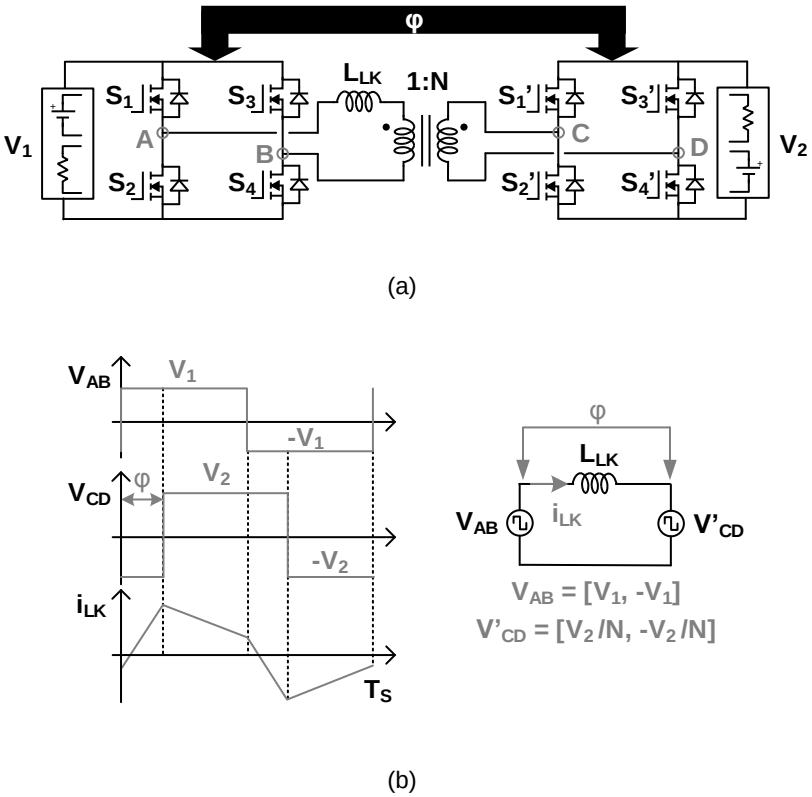


Figure 1.18. Dual Active Bridge (DAB) power converter. (a) Topology. (b) Theoretical operating waveforms and equivalent circuit.

Even though the DHB and DAB are the most popular power converters the more representative topologies in this family (especially the DAB converter), there are other possible options. Some asymmetrical versions of dual active converters can be found [1.76], in which two different bridges are combined in order to achieve improved performance (as happens in the previous family). Some examples are shown in Figure 1.19, where an active push-pull full-bridge and an active half-bridge full-bridge are presented. The advantage of these particular dual active converters is their flexibility (or adaptability). Nevertheless, the design is no longer symmetrical and, hence, there is a loss in terms of simplicity and reliability.

For very high power level applications, there is a Three-Phase Dual Active Bridge converter (known as DAB3). This version, which can be seen in Figure 1.20, was proposed in [1.77] and further studied in [1.78]-[1.80]. In this converter, a three phase leg transformer is used instead of the traditional transformer employed in a DAB. The main advantage of this topology over other dual active converters is its capability to manage very high current levels (i.e. very high power levels). However, the price to be paid is the complexity of the design and implementation of the three-phase transformer, which has to have exactly the same leakage inductances for each phase in order to work in a balanced way.

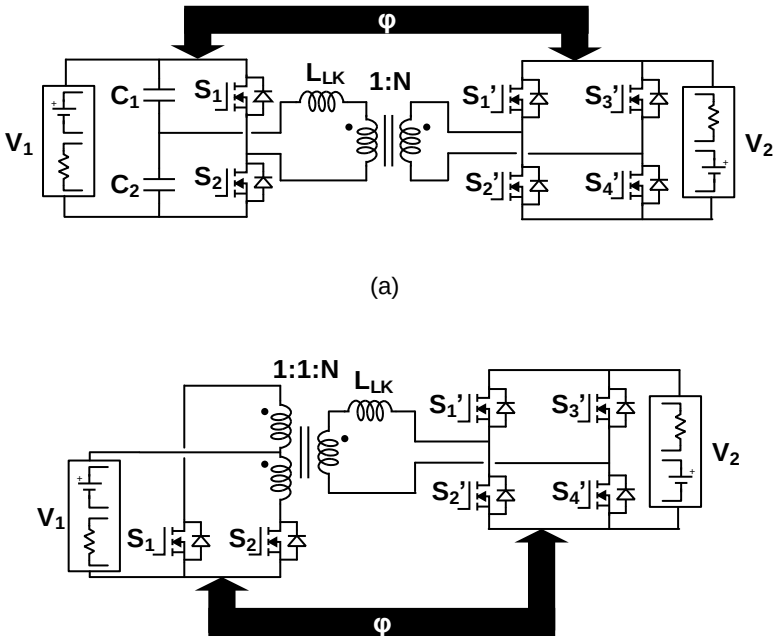


Figure 1.19. Two examples of asymmetrical active bridge power converters. (a) Active Half-Bridge Full-Bridge (AHBFB) converter. (b) Active Push-Pull Full-Bridge (APPFB) converter.

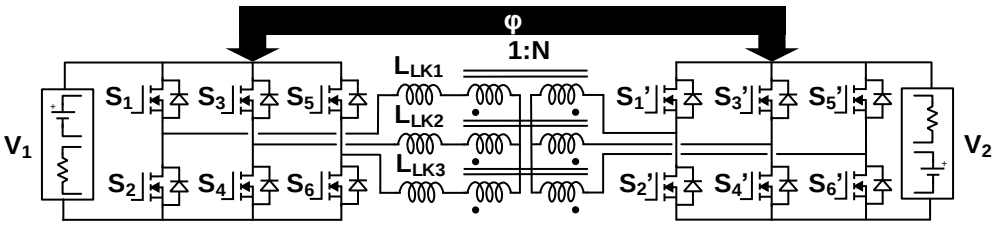


Figure 1.20. Three-phase Dual Active Bridge converter (DAB3).

A second version of a DAB was studied in [1.81]-[1.84]. In this case a series resonant tank is used instead of the leakage inductance. Thus, this converter is known as a Dual Active Bridge Series Resonant Converter (DABSRC), and can be seen in Figure 1.21. The series resonant tank is formed by the leakage inductance (L_{LK}) and a series capacitor (C_S). The operational waveforms of this converter are quasi-sinusoidal instead of triangular or trapezoidal, as they were in the classic non-resonant DAB. This DABSRC has several advantages over the DAB. The first is that the series capacitor, C_S, blocks the DC component of the voltage which the transformer is being excited. Therefore, this capacitor prevents the transformer from being saturated, thereby increasing the reliability of the converter. The second advantage is that currents which are flowing through the transformer are *more* sinusoidal. This fact implies a lower rms value compared to the trapezoidal and triangular current waveforms which are managed by the transformer in a traditional DAB. This accordingly helps achieve a suitable design for the transformer and also reduces the losses associated with this magnetic element with respect to a non-resonant DAB.

Finally, the third advantage of a DABSRC over a DAB is related to the leakage inductance. In a DABSRC, the L_{LK} value is lower than in a DAB with the same voltage and power levels. This is due to the fact that, the energy is stored in two elements in a DABSRC (i.e. in the resonant tank composed of L_{LK} and C_S), instead of being stored only in the leakage inductance (as in the case of a non-resonant DAB). This advantage might help in the design of this power converter at high power levels.

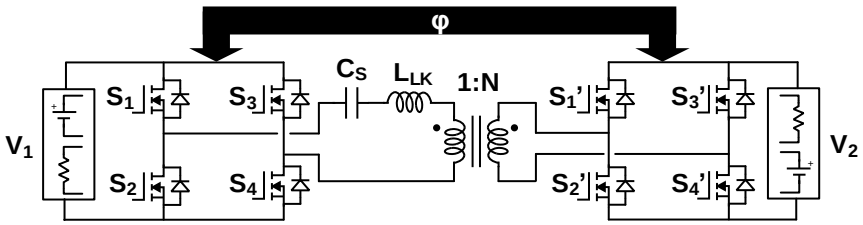


Figure 1.21. Dual Active Bridge Series Resonant Converter (DABSRC).

Nevertheless, the DABSRC also has several drawbacks too. The first one is obviously, the resonant tank, which becomes a critical point in the design process of this converter. For some power levels or voltage ratios, this tank can be bulkier and heavier than a leakage inductance in a DAB. This could constitute a major drawback if volume is a critical factor in the power supply for a given application. Another important shortcoming that should be noted is that the reactive power in a DABSRC is higher than in a DAB for the same power level and voltages, and is almost constant with the load (i.e. it remains at the same value under heavy load or light load operation). This could, therefore, be a problem under light load operation, as the efficiency obtained is directly affected by this amount of reactive power, as is well known for all resonant topologies.

There are some other drawbacks or issues which are common for all the dual active converters family. These converters work naturally under ZVS, but this soft-switching condition strongly depends on the power managed by the converter. Under light load operation, the overall current managed by the dual active converter is low. Hence, the energy stored in the leakage inductance is also low, and may not be sufficient to discharge the transistor output capacitance. This fact is more critical in the high voltage side bridge (i.e. the high voltage transistors), where the current level is even lower. Therefore, ZVS is lost below a certain power level and the converter works in hard-switching. This fact not only means an increase in power losses (and a drastic decrease in the overall efficiency), but it also means that the transistors may fail due to the hard-switching waveforms. This problem has generated a lot of solutions in the literature in order to extend the ZVS region in dual active converters, especially in a DAB [1.85]-[1.88].

Related to this problem, the lost ZVS does not only depend on the converter power level, but also on the input and output voltages. Hence, the ZVS region is defined for a voltage range (low voltage or high voltage) and, sometimes, this voltage range is very narrow. This is a limitation for converters of this kind, if it is assumed that they work with energy storage systems. It should be

noted that voltage range of these energy storage systems is, generally, very broad (e.g. from 200V to 240V for a 220V battery). Therefore, this may cause a loss of ZVS in a dual active converter, even if it is working at full load. A solution to this problem is to use two stages (i.e. two converters connected in cascade) [1.82]. The first converter is connected directly to the energy storage system and it maintains a very constant output voltage for all the possible input voltage range. The second converter is a dual active converter, providing the galvanic insulation and a very high efficiency. Nevertheless, the price to be paid in this case is a higher cost and complexity.

1.2.2.4. Bidirectional isolated resonant power converters

The last family of isolated bidirectional converters analyzed in this review is the full resonant bidirectional converters. As in previous families, these converters are an adaptation of unidirectional series resonant converters (SRC), parallel resonant converters (PRC) or series-parallel resonant converters (SPRC), in which the passive rectifier (formed by diodes) is replaced by a synchronous rectifier (composed of transistors, as in the combo bridge family). These resonant converters have a very high efficiency when they work at high power levels, as they can work under soft-switching condition. Nevertheless, taking into account the pros and cons of each topology, the most widely-used one for bidirectional applications is the SPRC [1.89]-[1.91].

These power converters are interesting when the power to be managed is high (generally, when it is above 5kW [1.89]), an important problem arises when they have to work with a bidirectional power flux. As in the case of non-isolated quasi-resonant converters, these converters achieve different peak powers depending on the power flow direction. This means that the converter is able to manage different power levels for each power flow direction. This fact is due to the asymmetrical behavior of the resonant tank, depending if the current is flowing in forward sense or in reverse sense. For some applications, this is an avoidable problem, but for others, it is an important limitation. Therefore, some solutions can be found in the literature to minimize this problem [1.89], [1.90].

The first set of solutions are based on switching the resonant tank (i.e. changing the resonant tank), either by switching the whole tank or by switching some of the reactive components of this resonant tank. It is thus possible to synthesize an equivalent resonant tank in both power flow directions, and, then, to achieve a symmetrical power converter. However, this switching process in the resonant tank is not easy and it only can be achieved when the converter is not processing any power in order to avoid failures. Hence, the resonant tank switch is implemented with another control protocol and this slows down the change in the direction of the power flow, besides increasing the complexity of the control stage.

The second set of solutions is based on the use of more complex resonant tanks (fourth-order tanks and above), such as a SPRC with a CLLC tank (two capacitors, and two inductors, also known as a SPRC-CLLC [1.91]). This converter can be seen in Figure 1.22. This high-order tank has two different main resonant frequencies. It is thus possible to achieve symmetrical performance simply by changing the switching frequency which depends on the direction of the power flow. Thus, when the power flows forward, the switching frequency is set to excite the resonant tank with the first resonant frequency. When the power has to be reversed, the switching frequency changes to the second resonant frequency. As can be seen, by using this technique it is possible to avoid the switch in the resonant tank, as well as the aforementioned limitations and problems. Nevertheless, when this solution is employed, the converter is works at two different switching frequencies and the design of the resonant tank design is more complex than that of a traditional SPRC.

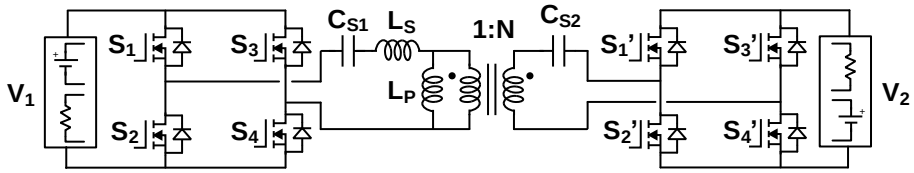


Figure 1.22. Series-Parallel Resonant Converter based on a CLLC tank (SPRC-CLLC).

In addition to the aforementioned problems specific to bidirectional applications, these bidirectional resonant converters have the same advantages and drawbacks as their unidirectional counterparts: soft-switching, high efficiency, quasi-sinusoidal voltage and current waveforms, a bulky resonant tank, oversized transistors and components, variable switching frequency operation and poor efficiency at light load and a complex control stage.

1.3. SUMMARY AND COMPARISON

This section provides a brief comparison of the previously studied bidirectional topologies. This comparison is made taking into account the voltage ratio (V_2/V_1) and the power level. Each topology is placed in a diagram according to the properties already discussed in previous sections, as can be seen in Figure 1.23, in which the isolated converters are plotted in blue and the non-isolated topologies are plotted in yellow. It should be noted that certain acronyms have been used in this plot (such as QR for quasi-resonant converters).

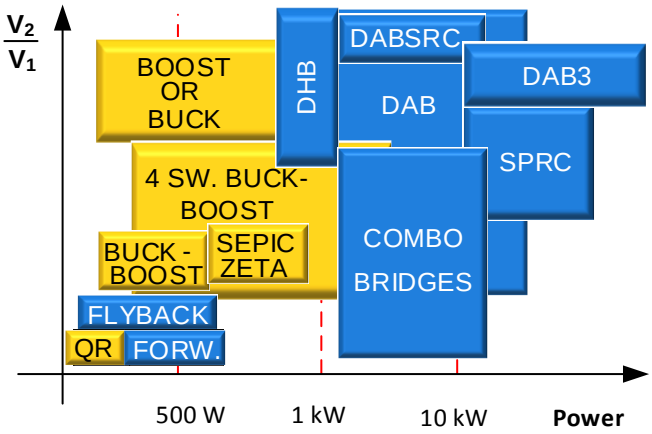


Figure 1.23. A brief comparison of different bidirectional topologies in terms of voltage ratio and power level.

As can be seen in Figure 1.23, those converters used for battery cell equalizers are placed in the left bottom area. In those applications, the power level and voltage ratio are low. Accordingly, buck-boost family converters (with and without galvanic isolation), quasi-resonant converters and forward and flyback converters can be found in this area.

When the voltage ratio and power level increase, the next two topologies are the four switch buck-boost converter and the synchronous boost or buck converter (placed above the previous ones, top left). The former due to its flexibility and adaptability, and the latter one due to its simplicity. These converters can work with power levels of around 1kW if some of the previously stated soft-switching techniques are adopted or some grouping is performed with these converters.

If the voltage ratio is too high, then galvanic isolated bidirectional converters are needed. In this case, the combo bridge family is very interesting, due to its flexibility. However, this family has been replaced by dual active converters, in particular, by the DAB converter (as can be seen once again in Figure 1.23), for a wide power and voltage

ranges, from 1kW up to 20kW. For medium power applications (1kW), the DHB converter is also suitable. With high voltage ratio values and high power, a DABSRC is more suitable than a DAB due to the former's advantage from the point of view of the leakage inductance. When power is above 10kW, then bidirectional SPRC converters might be more suitable than a DAB. Nevertheless, all the previously mentioned drawbacks for this kind of converter should be taken into account. Finally, if the power level is even higher, the DAB3 is the most suitable bidirectional topology with SPRC converters.

Another comparison can also be performed following this qualitative classification. In this case, the comparison is made in terms of the number of elements needed (semiconductors, magnetics and capacitors), magnetics, capacitor and heat sink volume, voltage and current stress and overall loss.

The specifications given for this comparison are the following. The energy storage system voltage, V_1, is set to 150V up to 250V. The active load voltage, V_2 is set to 400V up to 600V. The maximum power level is fixed to 10kW in both power flow directions (forward and reverse). Taking into account these specifications, some topologies can be dismissed immediately, such as quasi-resonant converters, flyback, forward and isolated buck-boost converters. Hence, eight converters have been chosen among the previous studied bidirectional topologies: synchronous boost or buck converter, four switch buck-boost converter, push-pull and half-bridge converter, push-pull and full-bridge converter, half-bridge and full-bridge converter, DAB converter, DABSRC converter and SPRC-CLLC converter.

Average, rms and peak voltage and current values are calculated based on the static behavior of each power converter. The results have been normalized to the maximum value, and have been replaced by quantifying keywords: *very high* is assigned to the maximum value and *low* to the lowest value. The numerical results are summarized in Annex AI of this thesis.

The number of transistors and magnetic elements needed depend only on the converter topology. A lower number of devices is considered a better choice, in terms of complexity and cost.

The design of the magnetic element is another parameter analyzed in this comparison. A qualitative ordering is performed by considering the impact of this magnetic element on operational behavior of the converter. Thus, the more critical the inductance in the converter, the more complex its design.

The output and input capacitors are calculated from the theoretical waveforms obtained in the static characterization of each converter. A maximum 2% voltage ripple

over the nominal output or input voltage is fixed as a criterion for all the converters analyzed here. Once again, the results are normalized to the maximum value obtained and are replaced by the following keywords: *very high* is assigned to the maximum value and *high* is set to the lowest one. As can be seen, even in the best case the keyword *high* is used instead of *low*. This is due to the fact that the capacitor values obtained are high enough to consider them as low values. The numerical results can be seen in Annex AI.

The overall converter loss is also studied in this comparison. These losses are estimated following equations below. The overall loss comprises the semiconductor loss and the inductor loss, as shown in Equation (1.1). The output and input capacitor losses are neglected in this analysis.

$$P_{LT} = P_S + P_L \tag{1.1}$$

Semiconductor losses are calculated chosing a particular MOSFET transistor, which has been used for all the topologies (parallelizing them when current is too high). The conduction and switching losses are calculated using the parameters given by the manufacturer in the datasheet (on-resistance, parasitic capacitances, body diode characteristics, and so on).

The conduction losses are calculated as

$$P_{condS} = R_{DSon} \cdot i_{Drms}^2 \tag{1.2}$$

where R_{DSon} is the on-resistance and i_{Drms} is the rms current value throrugh this transistor. The switching losses are estimated using the following expression

$$P_{swS} = Q_G \cdot V_{GS} \cdot f_s + \left(i_{Dmax} \cdot V_{DS} \cdot \frac{(Q_{GS} + Q_{GD})}{i_{GS}} \right) \cdot ZVS + \frac{1}{2} \cdot C_{OSS} \cdot V_{DS}^2 \cdot f_s \cdot ZVS \tag{1.3}$$

where Q_G is the total gate charge; V_{GS} is the gate to source voltage; f_s is the switching frequency (this frequency is set to 100kHz for all the converters, except for the SPRC-CLLC, where the switching frequency depends on the resonant tank frequencies and the power flow direction); i_{Dp} is the peak current value through the transistor; V_{DS} is the maximum drain to source voltage; Q_{GS} is the gate to source charge; Q_{GD} is the gate to drain charge (also known as the Miller charge); i_{GS} is the injected current through the gate; and, finally, C_{OSS} is the parasitic output capacitor. Parameter ZVS is used to weigh the soft-switching operation. This parameter is zero if soft-switching is achieved, and one otherwise. It should be noted that this switching loss model is only an approximation.

The results given by this model should be used only for the sake of comparison, and should not be considered absolute values.

Therefore, the overall semiconductor loss is the sum of the previous above losses,

$$P_S = P_{condS} + P_{swS} \tag{1.4}$$

The magnetic element losses are calculated as the addition of the core loss (P_{L-core}) and the copper loss (P_{L-copp}). The number of turns, wire section and magnetic material have been chosen for each case following and optimized design which minimizes the overall magnetic loss, avoiding core saturation. Core loss per unit volume are estimated by applying the Steinmetz equation [1.92],

$$P_{nuL} = k_H \cdot f_s^{\alpha_H} \cdot B_{max}^{\beta_H} \tag{1.5}$$

In (1.5), parameters k_H, α_H and β_H depend on the magnetic material used. In this comparison, 3F3 material is chosen for all the topologies. B_{max} is the maximum magnetic flux density through the core. This value is directly proportional to the inductance value and the peak current value, and should be lower than the saturation value given by the manufacturer.

Copper losses are calculated taking into account the skin effect as

$$P_{condL} = \frac{2\pi \cdot r_m \cdot i_{Lrms}^2 \cdot N_v^2}{A_w \cdot f_w \cdot \sigma_{cu}} \tag{1.6}$$

where r_m is the wire radius, i_{Lrms} is the rms current value through the inductor, N_v is the number of turns, A_w is the window area, f_w is the window factor (an empirical parameter, typically between 0.2 and 0.4), and σ_{cu} is copper conductivity.

Loss results are normalized to the maximum value. These can likewise be found in Annex AI. As in the previous case, some keywords are used to replace the numerical value: *very high* is used for the maximum value, and *medium* is used for the lowest one.

Cost is an interesting parameter in a comparison, but it strongly depends on the market and distributors, thus making its calculation very complex. In order to obtain a fair comparison, a generic cost is given to each converter component based on the standard that can be found on the market. More precisely, the minimum cost is assigned to the capacitor. The cost of the transistor is five times that of the capacitor, while the cost of the magnetic element cost is 20 times that of the capacitor. Taking into account these generic costs, a figure of merit is assumed (called FMC in this thesis). This figure of merit

is the sum of the cost of all the converter elements. Then, FMC is normalized to the minimum value, which, in this comparison, is the cost of the synchronous boost or buck converter. Hence, it is possible to make a fair comparison in terms of cost for each power converter.

Volume is another important parameter when comparing two different converters. The heat sink volume is calculated taking into account semiconductor losses. A 000KR model from Aavid Thermalloy [1.93] has been chosen for all the converters, and its length has been calculated to keep the maximum temperature below 100ºC (the ambient temperature is set to 25ºC). The thermal resistivity is extracted from the MOSFET datasheet. A TO-247 package is assumed for these transistors. The minimum volume value is set to the volume of only one TO-247 device.

The volume of the magnetic elements has been estimated from the equivalent core (and bobbin) volume. In this case, Ferroxcube cores have been chosen [1.94].

Finally, the volume of the capacitor is calculated from the data provided by Panasonic [1.95]. In this case, an electrolytic capacitor with a voltage range from 200V to 400V is assumed. In those cases in which the voltage is higher than 400V, a series connection is set out with several capacitors.

The overall volume (as the result of the sum of the three previous elements), has been normalized to the maximum value. The keyword *very high* is assigned to the maximum value and *medium*, to the lowest case. As before, the numerical results can be found in Annex AI.

Finally, there are some critical aspects for each power converter analyzed here that should be pointed out when comparing them. These parameters, such as control stage complexity, ZVS operation, dynamics, etc., can help in those cases where two or more converters are relatively similar. Thus, these critical points are also included in this comparison.

The overall results of this comparison are summarized in Table 1.1. A background color scale is used to make it more readable, green being the best and red the worst case.

Table 1.1. Qualitative comparison of the main topologies studied in this chapter.

CONVERTER	V_1 VOLTAGE TRANSISTOR STRESS		V_2 VOLTAGE TRANSISTOR STRESS		# OF TRANSISTORS	# OF MAGNETICS	MAGNETIC DESIGN	CAPACITOR	LOSSES	FMC	HEATSINK VOLUME	MAGNETICS VOLUME	CAPACITORS VOLUME	CRITICAL POINTS
	Voltage	Current	Voltage	Current										
Sync.. boost ***Sync. buck***	VERY HIGH	VERY HIGH	HIGH	VERY HIGH	2	1	CRITICAL	HIGH	HIGH (low if ZVS)	1	HIGH	VERY HIGH	HIGH	VOLTAGE AND CURRENT STRESS
4 switch buck-boost	LOW	VERY HIGH	HIGH	VERY HIGH	4	1	CRITICAL	HIGH	VERY HIGH (low ifi ZVS)	1,313	HIGH	HIGH	MEDIUM	V AND I STREES AND CONTROL
Push-pull and half-bridge	HIGH	HIGH	HIGH	MEDIUM	4	4	VERY CRITICAL	VERY HIGH	HIGH	2,594	HIGH	VERY HIGH	VERY HIGH	V STRESS, MAGNETICS
Push-pull and full-bridge	HIGH	HIGH	HIGH	MEDIUM	6	4	VERY CRITICAL	VERY HIGH	HIGH	2,970	HIGH	VERY HIGH	VERY HIGH	V STRESS, MAGNETICS
Half-bridge and full-bridge	LOW	VERY HIGH	HIGH	HIGH	6	2	CRITICAL	HIGH	VERY HIGH	2,313	VERY HIGH	HIGH	VERY HIGH	PEAK CURRENT
DAB	MEDIUM	VERY HIGH	HIGH	MEDIUM	8	2	VERY CRITICAL	HIGH	LOW	2,563	MEDIUM	HIGH	MEDIUM	MAGNETICS DESIGN, ZVS LOST
DABSRC	MEDIUM	HIGH	HIGH	MEDIUM	8	2	CRITICAL	HIGH	LOW	2,910	MEDIUM	HIGH	HIGH	RESONANT TANK DESIGN, ZVS LOST
SPRC-CLLC	MEDIUM	HIGH	HIGH	HIGH	8	2	VERY CRITICAL	HIGH	MEDIUM	3,250	HIGH	MEDIUM	VERY HIGH	RESONANT TANK DESIGN, CONTROL

Some conclusions can be drawn from the results shown in Table 1.1.

- As regards the transistor voltage and current stress, the best converters are those from the dual active family (i.e. DAB and DABSRC). The only parameter to take into account in these topologies is the low voltage transistors peak current, which will be considerable for medium and low power levels. For bidirectional topologies without galvanic isolation, the current stress is very high, especially if some soft-switching technique is adopted. This is due to the higher current ripple needed in order to achieve ZVS or ZCS, which increases the maximum current that the transistors have to manage.

- If the number of elements is now considered, then bidirectional topologies without galvanic isolation are obviously better. The best of all is the synchronous boost or buck converter (as previously stated). If a transformer is needed, then the push-pull and half-bridge converter is the best option, although this converter has other drawbacks that limit the operation of this topology. All the other isolated bidirectional converters considered in this comparison have the same number of elements, and other criteria need to be applied in order to classify them.

- The design of the magnetic element (inductor or inductor plus transformer) is one of the bottlenecks in any switching power supply. As can be seen, the magnetic element design is critical in all the bidirectional converters analyzed here, even in the simplest topology (the synchronous buck or boost converter). However, there are some differences between the converters studied. For instance, converters from the dual active family (such as the DAB or DABSRC) are very critical when designing the leakage inductance. This element fixes the maximum power level in these converters (or the equivalent resonant tank, in the DABSRC) [1.75]. Therefore, this magnetic element needs to be designed appropriately for such converters. Furthermore, the same reasoning can be applied for the SPRC-CLLC converter, in which the resonant tank fixes not only the power level, but also the switching frequency (or switching frequencies in this case).

- From the point of view of the input and output capacitor needed to filter the voltage ripple on both sides, the trend quite pretty similar to the design of the magnetic element. In all the converters, this capacitance is high, being higher for those converters based on push-pull bridges. Obviously, this capacitor can be reduced if an inductor filter is added to the topology, but this solution is not considered in this comparison.

- The lowest losses are obtained for the dual active family converters. Both the DAB and DABSRC work under ZVS conditions, and, hence, the overall efficiency is very high. The SPRC converter also obtains a good result from point of view of losses for the same reason as the aforementioned converters: it works under soft-switching conditions. Once again, it should be noted that some converters (particularly the synchronous buck or boost converter and the four switch buck-boost converter) can reduce their losses even more by adopting of some soft-switching techniques, as stated throughout the previous sections.

- The figure of merit established to compare the cost of each topology (FMC) agrees with the number of elements needed for each converter. Thus, the synchronous buck or boost converter has the lowest price, while the SPRC converter is the most expensive topology, bearing in mind its higher number of reactive components (including the resonant tank) and transistors.

- The required heat sink volume is directly related to semiconductor losses and the voltage and current stress. Hence, dual active converters have the smallest heat sink due to having the lowest losses. In contrast, the half-bridge and full-bridge converter, actually needs the largest heatsink, because it has more losses than the other bidirectional converters studied here.

- In the case of the volume of the magnetic elements, it is not easy to establish a clear order for these bidirectional converters. First of all, there is no sense in comparing topologies with galvanic isolation with non-isolated topologies, as a transformer is needed for the first family. For non-isolated converters, the inductor volume strongly depends on the converter operational mode (CCM, DCM, BCM or QSW-ZVS). Nevertheless, if the same operational mode is assumed for all the converters studied, then the synchronous boost converter has a bulkier inductance than the four switch buck-boost converter. For the isolated converters analyzed here, those topologies that include a push-pull bridge have to use transformers with two primary windings, which are, generally, more complex and use a greater volume than the traditional single winding transformer. Converters from the dual active family also use a leakage inductance that is sometimes an external element (the transformer leakage inductance is not sufficinet to fulfill the requirements). This increases the total volume of the magnetic elements. Similarly, the SPRC also uses two inductances and a transformer. Therefore, there is not major difference between the magnetics volume of these converters.

- The same conclusion can be drawn for the capacitor volume. There is not major difference between all the converters studied in this comparison, but push-pull bridge converters need bulkier capacitors on the low voltage side than the others, due to their maximum voltage of these converters. Furthermore, the SPRC converter uses two extra capacitors for its resonant tank. Depending on the power level and voltage ratio, these capacitors may be bulky and these factors have to be considered in the comparison.

- Finally, the right-hand column in Table 1.1 summarizes other critical points for each topology, such as the control stage complexity, current ripple, loss of the soft-switching condition, and so on, as was analyzed in previous sections.

Having reached this point, some of the main conclusions drawn from this state-of-the-art review and this comparison can be summarized. Synchronous boost or buck converter and four switch buck-boost converter are the most interesting bidirectional topologies without galvanic isolation. Simplicity and low cost (in the former case) and the flexibility and adaptability (in the latter) are the advantages of these converters. Voltage and current stress (i.e. overall losses) are the main drawbacks in both topologies, but they can be improved by the adoption of some soft-switching techniques. All the non-isolated bidirectional converters analyzed here only have sense for those applications in which the voltages are very similar and the power level is below 500W.

The DAB converter is the most interesting topology for isolated bidirectional converters. This topology (and its variations) is reliable, flexible, and simple and can be adopted for a wide range of different applications with different power levels and voltage ratios. The main drawbacks of this converter are the design of the leakage inductance and the loss of ZVS under light load operation. Only if the power level is very high does it make sense to use a resonant converter, such as the SPRC-CLLC. However, this converter works at variable switching frequency and its design is more complex. The combo bridges converters are attractive only for a particular application, in which their flexibility provides a certain advantage over the aforementioned topologies. Bidirectional flyback, forward or isolated buck-boost converters are only suitable when the power level is very low (under 500W) and the voltages are similar. Otherwise, these converters present many drawbacks compared to the other insulated topologies.

1.4. REFERENCES

[1.1] R.W. Erickson, D. Maksimovic, Fundamentals of Power Electronics, 2ed. Springer Science+Business, 2001.

[1.2] H. Tao, «Integration of sustainable energy sources through power electronic converters in small distributed electricity generation systems,» *Tesis doctoral. Universidad de Eindhoven,* 2008.

[1.3] F. Blaabjerg, F. Iov, T. Kerekes and R. Teodorescu, "Trends in power electronics and control of renewable energy systems," *Power Electronics and Motion Control Conference (EPE/PEMC), 2010 14th International,* pp. K-1-K-19, Sept. 2010.

[1.4] C. Zhao, «Isolated three-port bidirectional DC/DC converters,» *Tesis doctoral. Power Electronics Systems Laboratory. ETH, Zurich.,* 2010.

[1.5] A. Emadi and M. Ehsani, "Aircraft power systems: technology, state of the art, and future trends," *Aerospace and Electronic Systems Magazine, IEEE,* vol. 15, no. 1, pp. 28-32, Jan. 2000.

[1.6] C. Chan, "Sustainable Energy and Mobility, and Challenges to Power Electronics," *Power Electronics and Motion Control Conference, 2006. IPEMC 2006. CES/IEEE 5th International,* vol. 1, pp. 1-6, Aug. 2006.

[1.7] R. Naayagi, "A review of more electric aircraft technology," *Energy Efficient Technologies for Sustainability (ICEETS), 2013 International Conference on,* pp. 750-753, April 2013.

[1.8] A. Boulanger, A. Chu, S. Maxx and D. Waltz, "Vehicle Electrification: Status and Issues," *Proceedings of the IEEE,* vol. 99, no. 6, pp. 1116-1138, June 2011.

[1.9] C. Attaianese, V. Nardi and G. Tomasso, "A High Efficiency Conversion System for Elevators," *Clean Electrical Power, 2007. ICCEP '07. International Conference on,* pp. 236-242, May 2007.

[1.10] C. Attaianese, V. Nardi, F. Parillo and G. Tomasso, "High performances supercapacitor recovery system including Power Factor Correction (PFC) for elevators," *Power Electronics and Applications, 2007 European Conference on,* pp. 1-10, Sept. 2007.

[1.11] G. G. Pillai, "Energy regeneration from gravity: A sustainabile approach for vertical transportation in high rise buildings," *T&D Conference and Exposition, 2014 IEEE PES,* Apr. 2014.

[1.12] E. Oyarbide, I. Elizondo, A. Martinez-Iturbe, C. Bernal and J. Irisarri, "Ultracapacitor-based plug & play energy-recovery system for elevator retrofit," *Industrial Electronics (ISIE), 2011 IEEE International Symposium on,* pp. 462-467, June 2011.

[1.13] C. Chan and Y. S. Wong, "The state of the art of electric vehicles technology," *Power Electronics and Motion Control Conference, 2004. IPEMC 2004. The 4th International,* vol. 1, pp. 46-57, Aug. 2004.

[1.14] J.-S. Lai and D. Nelson, "Energy Management Power Converters in Hybrid Electric and Fuel Cell Vehicles," *Proceedings of the IEEE,* vol. 95, no. 4, pp. 766-777 , April 2007.

[1.15] J. Cao and A. Emadi, "A New Battery/UltraCapacitor Hybrid Energy Storage System for Electric, Hybrid, and Plug-In Hybrid Electric Vehicles," *Power Electronics, IEEE Transactions on,* vol. 27, no. 1, pp. 122-132, Jan. 2012.

[1.16] A. F. Burke, "Batteries and Ultracapacitors for Electric, Hybrid, and Fuel Cell Vehicles," *Proceedings of the IEEE ,* vol. 95, no. 4, pp. 806-820 , April 2007.

[1.17] J. Miller, "Energy storage system technology challenges facing strong hybrid, plug-in and battery electric vehicles," *Vehicle Power and Propulsion Conference, 2009. VPPC '09. IEEE ,* pp. 4-10, Sept. 2009.

[1.18] C. Raga, A. Barrado, I. Quesada, A. Roldan, C. Anocibar and J. Sierra, "Comparison of two different electrical power architecture for electric vehicles applications based on Fuel Cell and supercapacitors," *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE,* pp. 1326-1330, June 2008.

[1.19] H. Chen, X. Wang and A. Khaligh, "A single stage integrated bidirectional AC/DC and DC/DC converter for plug-in hybrid electric vehicles," *Vehicle Power and Propulsion Conference (VPPC), 2011.*

[1.20] H. Tao, A. Kotsopoulos, J. Duarte and M. A. M. Hendrix, "A Soft-Switched Three-Port Bidirectional Converter for Fuel Cell and Supercapacitor Applications," *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th,* pp. 2487-2493, June 2005.

[1.21] Loyns, A.C.; Ellis, K.G.; Hill, J.M., "High Voltage Lead-acid Battery Modules," Telecommunications Conference, 2005. INTELEC '05. Twenty-Seventh International, vol., no., pp.277,281, Sept. 2005.

[1.22] Takahashi, Keita; Yusuke, Uno; Yabuta, Kaho; Tsujikawa, Tomonobu; Arakawa, Masayasu; Hayashi, Koji, "Power Supply System Using High-capacity Li-ion Battery," Telecommunications Energy Conference 'Smart Power and Efficiency' (INTELEC), Proceedings of 2013 35th International, vol., no., pp.1,5, 13-17 Oct. 2013.

[1.23] Karpati, A.; Zsigmond, G.; Voros, M.; Lendvay, M., "Uninterruptible Power Supplies (UPS) for data center,"Intelligent Systems and Informatics (SISY), 2012 IEEE 10th Jubilee International Symposium on, vol., no., pp.351,355, 20-22 Sept. 2012.

[1.24] Sparacino, A.R.; Reed, G.F.; Kerestes, R.J.; Grainger, B.M.; Smith, Z.T., "Survey of battery energy storage systems and modeling techniques," Power and Energy Society General Meeting, 2012 IEEE, vol., no., pp.1,8, 22-26 July 2012.

[1.25] Affanni, A.; Bellini, A.; Franceschini, G.; Guglielmi, P.; Tassoni, C., "Battery choice and management for new-generation electric vehicles," Industrial Electronics, IEEE Transactions on, vol.52, no.5, pp.1343,1349, Oct. 2005.

[1.26] S. De Breucker, K. Engelen, R. D'hulst and J. Driesen, "Impact of current ripple on Li-ion battery ageing," *Electric Vehicle Symposium and Exhibition (EVS27), 2013 World,* pp. 1-9, Nov. 2013.

[1.27] H. Shiji, K. Harada, Y. Ishihara, T. Todaka and G. Alzamora, "A zero-voltage-switching bidirectional converter for PV systems," *Telecommunications Energy Conference, 2003. INTELEC '03. The 25th International,* pp. 14-19, Oct. 2003.

[1.28] D. Sable, F. Lee and B. Cho, "A zero-voltage-switching bidirectional battery charger/discharger for the NASA EOS satellite," *Applied Power Electronics Conference and Exposition, 1992. APEC '92. Conference Proceedings 1992., Seventh Annual.*

[1.29] M. Pavlovsky, Y. Tsuruta and A. Kawamura, "Bi-directional buck/boost dc-dc converter with ultra high efficiency based on improved SAZZ topology," *Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE,* pp. 1783-1790 , Sept. 2009.

[1.30] M. Mohammadi and H. Farzanehfard, "New Family of Zero-Voltage-Transition PWM Bidirectional Converters With Coupled Inductors,," *Industrial Electronics, IEEE Transactions on,* vol. 59, no. 2, pp. 912-919, Feb. 2012.

[1.31] K.-H. Liu, R. Oruganti and F. Lee, "Quasi-Resonant Converters-Topologies and Characteristics," *Power Electronics, IEEE Transactions on,* Vols. PE-2, no. 1, pp. 62-71, Jan. 1987.

[1.32] F. Lee, "High-frequency quasi-resonant converter technologies," *Proceedings of the IEEE,* vol. 76, no. 4, pp. 377-390 , Apr. 1988.

[1.33] W. Tabisz and F. Lee, "Zero-voltage-switching multi-resonant technique-a novel approach to improve performance of high frequency quasi-resonant converters," *Power Electronics Specialists Conference, 1988. PESC '88 Record., 19th Annual IEEE ,* pp. 9-17, April 1988.

[1.34] D. Maksimovic and S. Cuk, "A general approach to synthesis and analysis of quasi-resonant converters," *Power Electronics, IEEE Transactions on,* vol. 6, no. 1, pp. 127-140 , Jan. 1991.

[1.35] V. Vorperian, "Quasi-square-wave converters: topologies and analysis," *Power Electronics, IEEE Transactions on,* vol. 3, no. 2, pp. 183-191, Apr 1988.

[1.36] D. Maksimovic and S. Cuk, "Constant-frequency control of quasi-resonant converters," *Power Electronics, IEEE Transactions on,* vol. 6, no. 1, pp. 141-150, Jan 1991.

[1.37] D. Maksimovic, "Design of the zero-voltage-switching quasi-square-wave resonant switch," *Power Electronics Specialists Conference, 1993. PESC '93 Record., 24th Annual IEEE,* pp. 323-329, Jun 1993.

[1.38] L. Yang, Y. Zhang and C. Q. Lee, "Analysis of the boost constant-frequency quasi-square-wave converters," *Circuits and Systems, 1994., Proceedings of the 37th Midwest Symposium on,* vol. 2, pp. 1172-1175, Aug 1994.

[1.39] J. Zhang, J.-S. Lai, R.-y. Kim and W. Yu, "High-Power Density Design of a Soft-Switching High-Power Bidirectional dc–dc Converter," *Power Electronics, IEEE Transactions on,* vol. 22, no. 4, pp. 1145-1153, July 2007.

[1.40] B. Krishnamachari and D. Czarkowski, "Bidirectional buck-boost converter with variable output voltage," *Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on,* vol. 6, pp. 446-449, June 1998.

[1.41] K. Zhiguo, Z. Chunbo, Y. Shiyan and C. Shukang, "Study of Bidirectional DC-DC Converter for Power Management in Electric Bus with Supercapacitors," *Vehicle Power and Propulsion Conference, 2006. VPPC '06. IEEE,* pp. 1-5, Sept. 2006.

[1.42] A. Boora, F. Zare, G. Ledwich and A. Ghosh, "Bidirectional positive buck-boost converter," *Power Electronics and Motion Control Conference, 2008. EPE-PEMC 2008. 13th,* pp. 723-727, Sept. 2008.

[1.43] I.-D. Kim, S.-H. Paeng, J.-W. Ahn, E.-C. Nho and J.-S. Ko, "New Bidirectional ZVS PWM Sepic/Zeta DC-DC Converter," *Industrial Electronics, 2007. ISIE 2007. IEEE International Symposium on,* pp. 555-560, June 2007.

[1.44] R. Schupbach and J. Balda, "Comparing DC-DC converters for power management in hybrid electric vehicles," *Electric Machines and Drives Conference, 2003. IEMDC'03. IEEE International,* vol. 3, pp. 1369-1374, June 2003.

[1.45] Chol-Ho Kim; Moon-Young Kim; Gun-Woo Moon, "Individual cell equalizer using active-clamp flyback converter for li-ion battery strings in an electric vehicle," Vehicle Power and Propulsion Conference (VPPC), 2012 IEEE, vol., no., pp.327,332, 9-12 Oct. 2012.

[1.46] F. Caricchi, F. Crescimbini and A. Di Napoli, "20 kW water-cooled prototype of a buck-boost bidirectional DC-DC converter topology for electrical vehicle motor drives," *Applied Power Electronics Conference and Exposition, 1995.APEC '95. Conference Proceedings 1995., Tenth Annual,* vol. 2, pp. 887-892, Mar. 1995.

[1.47] F. Caricchi, F. Crescimbini, F. Giulii Capponi and L. Solero, "Study of bi-directional buck-boost converter topologies for application in electrical vehicle motor drives," *Applied Power Electronics Conference and Exposition, 1998. APEC '98. Conference Proceedings 1998., Thirteenth Annual,* vol. 1, pp. 287-293, Feb. 1998.

[1.48] S. Waffler and J. Kolar, "A Novel Low-Loss Modulation Strategy for High-Power Bidirectional Buck+Boost Converters," *Power Electronics, IEEE Transactions on,* vol. 24, no. 6, pp. 1589-1599, June 2009.

[1.49] B. Ray, "Bidirectional DC/DC power conversion using constant-frequency quasi-resonant topology," *Circuits and Systems, 1993., ISCAS '93, 1993 IEEE International Symposium on,* pp. 2347-2350, May 1993.

[1.50] B. Ray, "Bidirectional DC/DC power conversion using quasi-resonant topology," *Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE,* vol. 1, pp. 617-624, Jul. 1992.

[1.51] B. Ray and A. Romney-Diaz, "Constant frequency resonant topologies for bidirectional DC/DC power conversion," *Power Electronics Specialists Conference, 1993. PESC '93 Record., 24th Annual IEEE,* pp. 1031-1037, Jun. 1993.

[1.52] N. Sokal and A. Sokal, "Class E-A new class of high-efficiency tuned single-ended switching power amplifiers," *Solid-State Circuits, IEEE Journal of,* vol. 10, no. 3, pp. 168-176, Jun. 1975.

[1.53] S. Jalbrzykowski, A. Bogdan and T. Citko, "A Dual Full-Bridge Resonant Class-E Bidirectional DC–DC Converter," *Industrial Electronics, IEEE Transactions on,* vol. 58, no. 9, pp. 3879-3883 , Sept. 2011.

[1.54] H.-H. Chung, W.-L. Cheung and K. Tang, "A ZCS bidirectional flyback DC/DC converter," *Power Electronics, IEEE Transactions on,* vol. 19, no. 6, pp. 1426-1434 , Nov. 2004.

[1.55] M. Jain, M. Daniele and P. Jain, "A bidirectional DC-DC converter topology for low power application," *Power Electronics, IEEE Transactions on,* vol. 15, no. 4, pp. 595-606 , Jul. 2000.

[1.56] K. Yamamoto, E. Hiraki, T. Tanaka, M. Nakaoka and T. Mishima, "Bidirectional DC-DC Converter with Full-bridge / Push-pull circuit for Automobile Electric Power Systems," *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE,* pp. 1-5, June 2006.

[1.57] K. Wang, F. Lee and J. Lai, "Operation principles of bi-directional full-bridge DC/DC converter with unified soft-switching scheme and soft-starting capability," *Applied Power Electronics Conference and Exposition, 2000. APEC 2000. Fifteenth Annual IEEE,* vol. 1, pp. 111-118, 2000.

[1.58] H. Li, F. Z. Peng and J. Lawler, "A natural ZVS medium-power bidirectional DC-DC converter with minimum number of devices," *Industry Applications, IEEE Transactions on,* vol. 39, no. 2, pp. 525-535 , Mar/Apr 2003.

[1.59] C.-L. Chu and Y. Chen, "ZVS-ZCS bidirectional full-bridge DC-DC converter," *Power Electronics and Drive Systems, 2009. PEDS 2009. International Conference on,* pp. 1125-1130, Nov. 2009.

[1.60] de Souza, E.V.; Barbi, I., "Bidirectional Current-Fed Flyback-Push-Pull DC-DC Converter," Power Electronics Conference (COBEP), 2011 Brazilian , vol., no., pp.8,13, 11-15 Sept. 2011.

[1.61] Hiltunen, J.; Vaisanen, V.; Silventoinen, P., "A bidirectional current-fed resonant push-pull converter for low voltage, high current applications,"Energy Conversion Congress and Exposition (ECCE), 2013 IEEE, vol., no., pp.4770,4774, 15-19 Sept. 2013.

[1.62] Tan, N.M.L.; Abe, T.; Akagi, H., "Design and Performance of a Bidirectional Isolated DC–DC Converter for a Battery Energy Storage System,"Power Electronics, IEEE Transactions on, vol.27, no.3, pp.1237,1248, March 2012.

[1.63] Panov, Y.; Jovanovic, M.M.; Liu Gang; Meng Yueyong, "Transformer-flux-balancing control in isolated bidirectional DC-DC converters," Applied Power Electronics Conference and Exposition (APEC), 2014 Twenty-Ninth Annual IEEE , vol., no., pp.49,56, 16-20 March 2014.

[1.64] Hung-Chi Chen; Jhen-Yu Liao, "Current sensorless control for bidirectional full-bridge converter in DC distributed system," Energy Conversion Congress and Exposition (ECCE), 2012 IEEE , vol., no., pp.3787,3794, 15-20 Sept. 2012.

[1.65] D. Xu, C. Zhao and H. Fan, "A PWM plus phase-shift control bidirectional DC-DC converter," *Power Electronics, IEEE Transactions on,* vol. 19, no. 3, pp. 666-675 , May 2004.

[1.66] Sabate, J.A.; Vlatkovic, V.; Ridley, R.B.; Lee, F.C., "High-voltage, high-power, ZVS, full-bridge PWM converter employing an active snubber," Applied Power Electronics Conference and Exposition, 1991. APEC '91. Conference Proceedings, 1991., Sixth Annual, vol., no., pp.158,163, 10-15 Mar 1991.

[1.67] Cho, J.G.; Sabate, J.A.; Lee, F.C., "Novel full bridge zero-voltage-transition PWM DC/DC converter for high power applications," *Applied Power Electronics Conference and Exposition, 1994. APEC '94. Conference Proceedings 1994., Ninth Annual*, vol., no., pp.143,149 vol.1, 13-17 Feb 1994.

[1.68] H. Fan and H. Li, "A novel phase-shift bidirectional DC-DC converter with an extended high-efficiency range for 20 kVA solid state transformer," *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE,* pp. 3870-3876 , Sept. 2010.

[1.69] H. Fan and H. Li, "High frequency high efficiency bidirectional dc-dc converter module design for 10 kVA solid state transformer," *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE,* pp. 210-215, Feb. 2010.

[1.70] R. DeDoncker, M. Kheraluwala and D. Divan, "Power conversion apparatus for DC-DC conversion using dual active bridges". Patent US Patent Number 5027264.

[1.71] M. Kheraluwala, R. Gascoigne, D. Divan and E. Baumann, "Performance characterization of a high-power dual active bridge DC-to-DC converter," *Industry Applications, IEEE Transactions on,* vol. 28, no. 6, pp. 1294-1301, Nov/Dec 1992.

[1.72] S. Han and D. Divan, "Bi-directional DC/DC converters for plug-in hybrid electric vehicle (PHEV) applications," *Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE,* pp. 784-789, Feb. 2008.

[1.73] F. Krismer and J. Kolar, "Accurate Small-Signal Model for the Digital Control of an Automotive Bidirectional Dual Active Bridge," *Power Electronics, IEEE Transactions on,* vol. 24, no. 12, pp. 2756-2768, Dec. 2009.

[1.74] F. Krismer and J. Kolar, "Accurate Power Loss Model Derivation of a High-Current Dual Active Bridge Converter for an Automotive Application," *Industrial Electronics, IEEE Transactions on,* vol. 57, no. 3, pp. 881-891, March 2010.

[1.75] A. Alonso, J. Sebastian, D. Lamar, M. Hernando and A. Vazquez, "An overall study of a Dual Active Bridge for bidirectional DC/DC conversion," *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE,* pp. 1129-1135 , Sept. 2010.

[1.76] Z. Zhang, O. Thomsen and M. A. E. Andersen, "A novel PPFHB bidirectional DC-DC converter for supercapacitor application," *Clean Electrical Power, 2009 International Conference on,* pp. 350-354, June 2009.

[1.77] R. De Doncker, D. Divan and M. Kheraluwala, "A three-phase soft-switched high-power-density DC/DC converter for high-power applications," *Industry Applications, IEEE Transactions on,* vol. 27, no. 1, pp. 63-73 , Jan/Feb 1991.

[1.78] R. Lenke, B. Szymanski and R. De Doncker, "Low-frequency modeling of three-phase, four-core, strip-wound transformers in high-power DC-DC converters," *," Energy Conversion Congress and Exposition (ECCE), 2010 IEEE,* pp. 1973-1978, Sept. 2010.

[1.79] J. Walter and R. De Doncker, "High-power galvanically isolated DC/DC converter topology for future automobiles," *Power Electronics Specialist Conference, 2003. PESC '03. 2003 IEEE 34th Annual,* vol. 1, pp. 27-32 , June 2003.

[1.80] G.-J. Su and L. Tang, "A Three-Phase Bidirectional DC-DC Converter for Automotive Applications," *Industry Applications Society Annual Meeting, 2008. IAS '08. IEEE,* pp. 1-7, Oct. 2008.

[1.81] X. Li and A. K. S. Bhat, "Analysis and Design of High-Frequency Isolated Dual-Bridge Series Resonant DC/DC Converter," *Power Electronics, IEEE Transactions on,* vol. 25, no. 4, pp. 850-862 , April 2010.

[1.82] F. Krismer, J. Biela and J. Kolar, "A comparative evaluation of isolated bi-directional DC/DC converters with wide input and output voltage range," *Industry Applications Conference, 2005. Fourtieth IAS Annual Meeting. Conference Record of the 2005,* vol. 1, pp. 599-606, Oct. 2005.

[1.83] G. Ortiz, J. Biela, D. Bortis and J. Kolar, "1 Megawatt, 20 kHz, isolated, bidirectional 12kV to 1.2kV DC-DC converter for renewable energy applications," *Power Electronics Conference (IPEC), 2010 International,* pp. 3212-3219, June 2010.

[1.84] R. Lenke, F. Mura and R. De Doncker, "Comparison of non-resonant and super-resonant dual-active ZVS-operated high-power DC-DC converters," *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on,* pp. 1-10, Sept. 2009.

[1.85] F. Krismer, «Modeling and Optimization of Bidirectional Dual Active Bridge DC-DC Converter Topologies,» *Tesis doctoral. Power Electronics Systems Laboratory, ETH Zurich.,* 2008.

[1.86] F. Krismer, S. Round and J. Kolar, "Performance Optimization of a High Current Dual Active Bridge with a Wide Operating Voltage Range," *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE,* pp. 1-7, June 2006.

[1.87] A. Rodriguez, A. Vazquez, D. Lamar, M. Hernando and J. Sebastian, "Different purpose design strategies and techniques to improve the performance of a Dual Active Bridge with phase-shift control," *Control and Modeling for Power Electronics (COMPEL), 2014 IEEE 15th Workshop on,* pp. 1-10, June 2014.

[1.88] D. Costinett, «Analysis and Design of High Efficiency, High Conversion Ratio, DC-DC Power Converters,» *Tesis Doctoral. Colorado Power Electronics Center. University of Colorado at Boulder.,* 2013.

[1.89] F. Ibanez, F. Arizti, J. Vadillo, M. Martinez-Iturralde and J. Echeverria, "5kW–100 kHz resonant converter prototype for a 40kW energy system unit on tramways," *Electrical Systems for Aircraft, Railway and Ship Propulsion (ESARS), 2010,* pp. 1-6, Oct. 2010.

[1.90] Y.-C. Chuang, Y.-L. Ke, H.-S. Chuang and Y.-M. Chen, "Analysis and Implementation of Half-Bridge Series–Parallel Resonant Converter for Battery Chargers," *Industry Applications, IEEE Transactions on,* vol. 47, no. 1, pp. 258-270, Jan.-Feb. 2011.

[1.91] W. Chen, P. Rong and Z. Lu, "Snubberless Bidirectional DC–DC Converter With New CLLC Resonant Tank Featuring Minimized Switching Loss," *Industrial Electronics, IEEE Transactions on,* vol. 57, no. 9, pp. 3075-3086 , Sept. 2010.

[1.92] C. P. Steinmetz, "On the law of hysteresis," *Proceedings of the IEEE*, vol. 72, no. 2, pp. 197-221, 1984.

[1.93] Catálogo de radiadores de Aavid Thermalloy. Online: http://www.aavid.com/solutions/overview. Última consulta realizada: 18/11/2014.

[1.94] Catálogo de núcleos y materiales magnéticos de Ferroxcube. Online: http://goo.gl/IsB5cY. Última consulta realizada: 18/11/2014.

[1.95] Catálogo de condensadores electrolíticos de Panasonic. Online: http://goo.gl/5kluaF. Última consulta realizada: 18/11/2014.

2 EL DISEÑO MODULAR APLICADO A LAS FUENTES DE ALIMENTACIÓN

En el presente capítulo se presenta el diseño modular para las fuentes de alimentación. Más concretamente, se profundizará en el concepto de convertidor modular o convertidor compuesto por módulos de potencia, como una alternativa de diseño con la que es posible mejorar ciertos aspectos de un sistema de alimentación. En la primera parte de este capítulo se analizarán las ventajas y desventajas que presenta un convertidor modular, en comparación con un convertidor único. La segunda parte de este capítulo se centrará en el análisis de las cinco posibles agrupaciones modulares existentes, haciendo especial hincapié en las leyes de escala que pueden aplicarse en cada una de ellas. También se enunciarán las principales ventajas y desventajas de cada agrupación, basándose en las leyes de escala anteriores. Por último, en el tercer apartado de este capítulo se presenta un posible algoritmo de diseño para un convertidor modular, analizando, en cada caso, cada una de las fases que componen dicho algoritmo, desde la selección de la agrupación óptima, la selección del módulo de potencia, el número óptimo de módulos o el control del convertidor modular.

2.1. INTRODUCCIÓN

La agrupación modular o diseño modular puede verse como la aplicación del algoritmo divide y vencerás al diseño de arquitecturas y fuentes de alimentación. Este algoritmo se basa en dividir el problema inicial en partes de forma que la complejidad de estos sub-problemas sea menor que la del problema inicial. Este proceso puede ser recursivo y cada sub-problema puede dividirse a su vez en otros sub-problemas siempre de una complejidad inferior, hasta que es posible resolver de forma inmediata el sub-problema generado. Por lo tanto, el problema original se resuelve como suma o adición de la solución de cada sub-problema en el que se ha dividido.

Este algoritmo ha sido ampliamente utilizado en distintos ámbitos no sólo de la ingeniería [2.1] sino en economía [2.2] o incluso en biología [2.3]. Particularizando este concepto en las fuentes de alimentación y en las arquitecturas de sistemas de alimentación, la aplicación del algoritmo divide y vencerás desencadena el concepto de módulo de potencia. Cuando se plantea el diseño y construcción de una fuente de alimentación o de una arquitectura de sistema de alimentación, en general se parte de unas especificaciones (i.e. tensión de entrada, tensión de salida, y potencia suministrada, ya sea unidireccional o bidireccional). El sistema de alimentación ha de realizar la conversión de tensiones y proporcionar la potencia exigida de forma regulada y estable. En muchos casos, el diseño de este convertidor puede resultar muy complejo cuando la potencia es relativamente elevada y se añaden otras especificaciones a cumplir, como pueden ser una dinámica rápida, aislamiento galvánico, alta densidad de potencia o rendimiento elevado. No obstante, centrándose en una única fuente de alimentación, ésta puede plantearse como un único convertidor que maneje toda la potencia y cumpla con las especificaciones impuestas, o bien, siguiendo el algoritmo divide y vencerás, como varios convertidores que manejen una potencia menor, de forma que resulte más sencillo diseñar estos convertidores para cumplir con las especificaciones impuestas por la aplicación de partida.

Así pues, se definirá como módulo de conversión de potencia, módulo de potencia o simplemente módulo, a aquella topología que ya no es divisible en otras o que no resulta efectivo dividirla en topologías que proporcionen una potencia menor. Al proceso de selección de este módulo de potencia, su agrupación y su control se le conoce como diseño modular de convertidores [2.4]. El convertidor resultante de la agrupación de todos los módulos de potencia se llamará convertidor modular. Siempre que se plantea una agrupación modular para una fuente de alimentación, no sólo se pretende que el proceso de diseño sea más sencillo con los módulos de conversión de potencia que con un único convertidor, sino que además la suma de las propiedades de todos los módulos empleados resulte mejor en términos de algún parámetro crítico en la aplicación que lo haga más adecuado que un único convertidor (i.e. un rendimiento

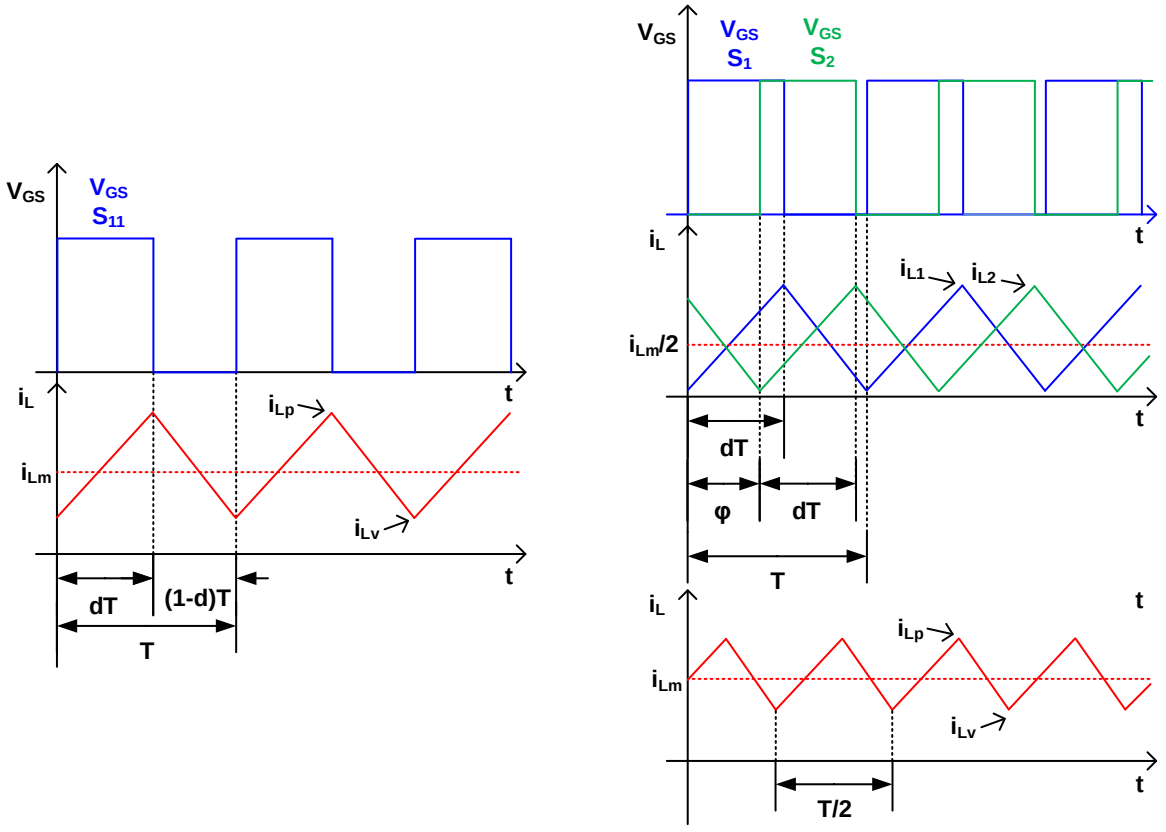
más alto, un menor volumen, una mayor flexibilidad, mayor robustez, dinámica más rápida, etc.). Aunque existe la concepción teórica que plantea un diseño modular que siempre mejore a una fuente de alimentación basada en un único convertidor [2.5], en realidad los diseños modulares no siempre se aplican en la práctica, teniendo en cuenta otros factores diferentes a los enumerados anteriormente. Sirva el siguiente ejemplo para ilustrar este hecho. Si se plantea diseñar una fuente de alimentación de 1kW de potencia, puede optarse por construir un único convertidor de 1000W o bien 1000 convertidores que manejen 1W de potencia, pudiendo ser esta última opción mucho mejor en términos de rendimiento que la primera, en base a las leyes de escala recogidas en [2.5]. No obstante el control y construcción de 1000 módulos resulta, obviamente, más complejo que el problema original de diseñar y construir un único convertidor de 1kW. Por lo tanto, los procesos de agrupación modular vendrán limitados por cuestiones prácticas como son el número de módulos, el coste o la complejidad del control del convertidor formado por varios módulos que será el convertidor modular equivalente. Sin embargo, las mejoras potenciales de los convertidores modulares es obvia, y pueden encontrarse numerosos ejemplos en la literatura debido a su creciente interés, especialmente en aplicaciones de tracción y de gestión de baterías o fuentes de almacenamiento energético [2.6]-[2.9].

2.1.1. VENTAJAS Y DESVENTAJAS DE UN CONVERTIDOR MODULAR

El hecho de que un convertidor modular pueda resultar más óptimo que un sistema de alimentación basado en un único convertidor, se debe fundamentalmente a la escala aplicada en la potencia que maneja cada módulo en comparación con el convertidor único. Al dividir la potencia procesada, también se dividen los requisitos de corriente y/o tensión a los que están sometidos los distintos elementos que conforman la topología del módulo de conversión de potencia (i.e. semiconductores, elementos magnéticos, condensadores, etc.). Así, en un convertidor modular es posible acceder a dispositivos con menores especificaciones en relación a las tensiones y corrientes, tales que, en general, son menos voluminosos o poseen mejores características desde el punto de vista de la optimización de sus pérdidas (i.e. menores resistencias de conducción, menores capacidades parásitas, etc.).

Además de las leyes de escala, los convertidores modulares también ofrecen otro tipo de ventajas, entre las que se puede destacar la posibilidad de aplicar el control entrelazado (o *interleaving control* en su terminología inglesa). Esta técnica de control se basa en desfasar la señal de control de cada módulo en una N-ésima parte de los 360º, siendo N el número de módulos (e.g. 180º en el caso de dos módulos, 120º en el caso de tres módulos, y así sucesivamente). Un ejemplo de las formas de onda teóricas de un convertidor modular genérico formado por dos módulos con control entrelazado se ha representado en la Figura 2.1. La

consecuencia de utilizar este desfase es que es posible reducir el rizado de la corriente por la inductancia, así como el rizado de corriente que circula por el condensador. Esta reducción depende del ciclo de trabajo y es posible obtener puntos de funcionamiento (en función de este ciclo de trabajo) en el que se cancele por completo este rizado. Un menor rizado de corriente en la inductancia y en el condensador de salida permite reducir su valor y, por lo tanto, su volumen. Como se desprende de este hecho, la adopción de esta técnica hace que los convertidores modulares con control entrelazado puedan tener una densidad energética mayor que un único convertidor, al contrario de lo que parece sugerir un planteamiento inicial en el que se comparan varios convertidores frente a una única etapa de potencia.



(a) (b)

Figura 2.1. Ejemplo del control entrelazado para dos convertidores. Se muestran las señales de control y la corriente por la inductancia. (a) Un único convertidor sin control entrelazado. (b) Dos convertidores con control entrelazado para un desfase $\varphi = 180º$.

Precisamente buscando incrementar la densidad de potencia, este control particular fue propuesto originalmente para reducir el volumen del filtro de entrada de los convertidores CC/CC, como se propone en [2.10] y, posteriormente en [2.11]. Pese a las ventajas que ofrecía el control entrelazado, no fue hasta la aparición de los VRM (*Voltage Regulator Module* o módulo regulador de tensión, como convertidores para alimentar procesadores y microprocesadores) a finales de los años 90 cuando se empleó de forma muy habitual en este tipo de topologías, como proponen

los autores de [2.12] y [2.13]. Es más, en [2.14] se establece que un diseño óptimo desde el punto de vista de la densidad de potencia y del rendimiento pasa por un convertidor modular formado por cuatro módulos con control entrelazado, siempre en el marco de las aplicaciones basadas en VRM. A partir de entonces, la técnica de entrelazado se ha extendido a otro tipo de aplicaciones y, a día de hoy, es posible afirmar que se emplea de forma generalizada cuando se plantea un diseño modular.

En relación al diseño de los elementos magnéticos, con la adopción de la técnica de entrelazado es posible reducir el rizado y valor eficaz de la corriente que tiene que manejar dicho elemento, por lo tanto, es posible bien utilizar un núcleo de menores dimensiones (y, por lo tanto, reducir el volumen y el peso), o bien reducir las pérdidas por conducción si se mantiene el mismo tamaño del núcleo. En el diseño de los condensadores ocurre algo similar. Al reducir las especificaciones de tensión y de rizado de tensión a la entrada y a la salida, es posible utilizar condensadores de menores tensiones máximas y de menor capacidad, con lo que su volumen puede reducirse notablemente. Este hecho se potencia si, como consecuencia de la reducción de la tensión debido a la agrupación modular, es posible utilizar algún condensador de tipo plástico (MKP o MKT) en lugar de un condensador electrolítico. En el caso particular de los transistores, el diseño modular también permite mejorar las características de los mismos en relación al uso de diferentes tecnologías y arquitecturas de dispositivo si se disminuye su tensión máxima. Esto se hace evidente cuando es posible utilizar transistores de tipo MOSFET en lugar de transistores IGBT, con los que es posible aumentar considerablemente la frecuencia de conmutación del convertidor (pasando de decenas de kHz en el caso de los transistores IGBT, a centenas de kHz en el caso de los transistores MOSFET) reduciendo aún más el volumen y el peso de los elementos reactivos que componen el convertidor modular. La mejora tecnológica no sólo se puede resaltar en un cambio de dispositivo como se ha expuesto anteriormente, sino también es posible encontrar importantes diferencias o saltos tecnológicos en las características de un tipo de dispositivo semiconductor como el MOSFET en función de la tensión máxima de ruptura del dispositivo. A modo de ejemplo, en la Tabla 2.1 se han resumido las principales características de los transistores MOSFET del fabricante Infineon [2.15] de corrientes de drenador similares, mismo encapsulado (D2PAK / TO-263) y ordenados según su tensión drenador-fuente. Se ha elegido al fabricante Infineon por ser una referencia mundial en este tipo de dispositivos y por tener un catálogo amplio en transistores MOSFET. No obstante, las conclusiones que se sacarán en claro utilizando los dispositivos de este fabricante, pueden extrapolarse al resto de fabricantes presentes en el mercado. En dicha tabla se ha incluido una figura de mérito (QRC) definida como

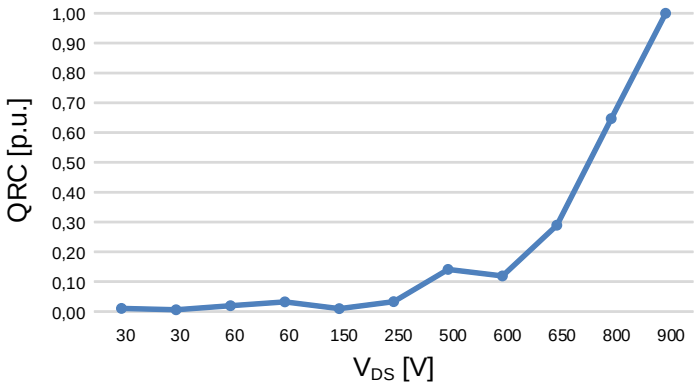
$$QRC = Q_G \cdot R_{DSon} \cdot C_{OSS} \tag{2.1}$$

Esta figura de mérito representa el producto de la carga de puerta del transistor (Q_G), su resistencia de conducción (R_{DSon}) y la capacidad de salida del mismo (C_{OSS}). De alguna manera, este parámetro está relacionado con las potenciales pérdidas del dispositivo (tanto de conducción como de conmutación) y puede utilizarse para ordenar los dispositivos según dichas pérdidas potenciales. El parámetro QRC se muestra normalizado al valor máximo obtenido y cuanto menor sea su valor, menores son las pérdidas asociadas al dispositivo. Además se ha incluido el precio de cada transistor suministrado por el fabricante por cada mil unidades, atendiendo al valor de mercado facilitado por Infineon.

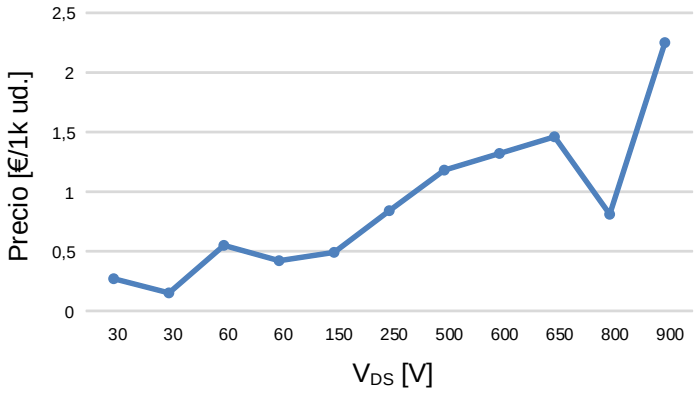
Tabla 2.1.Listado de transistores MOSFET de Infineon ordenados por su tensión drenador-fuente.

MODELO	V_{DS} [V]	I_{DS} [A]	Q_G [nC]	R_{DSon} [mΩ]	C_{oss} [pF]	QRC [p.u.]	PRECIO [€/1k]
IPB080N03LG	30	50	8,7	8	580	0,01	0,27
IPD135N03LG	30	30	4,8	13,5	350	0,01	0,15
IPB057N06N	60	45	27	5,7	490	0,02	0,55
IPB081N06L3G	60	50	22	8,1	690	0,03	0,42
IPB530N15N3G	150	21	8,7	53	80	0,01	0,49
IPB600N25N3G	250	25	22	51	112	0,03	0,84
IPB50R199CP	500	17	34	199	80	0,14	1,18
IPB60R199CP	600	16	32	199	72	0,12	1,32
IPB65R190CFD	650	17,5	68	190	86	0,29	1,46
SPB17N80C3	800	17	91	290	94	0,65	0,81
IPB90R340C3	900	15	94	340	120	1,00	2,25

En la Figura 2.2 se muestra el precio y el parámetro QRC para el listado de la Tabla 2.2 en función de la tensión drenador-fuente máxima. Como se puede ver en la Figura 2.2(a), el parámetro QRC cae drásticamente para los transistores menores de 600V. También se puede comprobar que estos transistores son un 80% mejores en términos de este parámetro que los transistores de tensiones comprendidas entre 800V y 900V. El siguiente escalón o salto en este parámetro se localiza en los transistores de tensiones drenador-fuente inferiores a 250V, los cuales son aproximadamente un 50% mejores en términos de este parámetro que los transistores de 500V y 600V. Una tendencia similar, aunque más moderada, puede verse para el precio de cada transistor, mostrado en la Figura 2.2(b). En este caso existe un decrecimiento prácticamente lineal en el precio del dispositivo en relación a su tensión drenador-fuente (a excepción del transistor de 800V analizado en esta comparativa). Por ejemplo, los transistores de 150V de tensión drenador-fuente, son un tercio más baratos que los transistores de 650V.



(a)



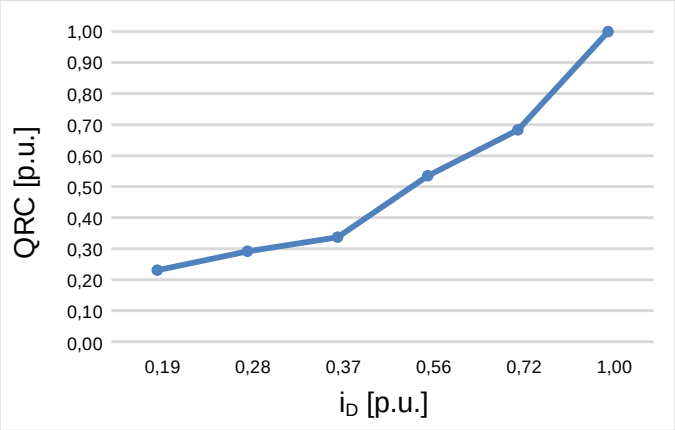
(b)

Figura 2.2. Comparativa de los transistores MOSFET del catálogo de Infineon ordenados según su tensión drenador-fuente. (a) Parámetro QRC. (b) Precio por cada mil unidades.

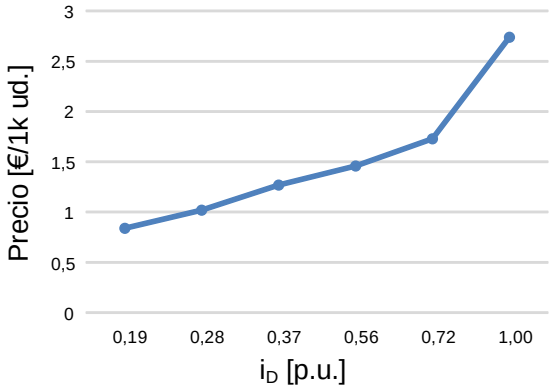
También es posible realizar una comparativa atendiendo al parámetro de la corriente de drenador, acotando la comparativa a transistores de la misma tensión drenador-fuente y mismo encapsulado. En este caso, se han tomado seis transistores diferentes del catálogo de Infineon para repetir la comparativa anterior a modo de ejemplo. El listado de los modelos analizados se resume en la Tabla 2.2. Las gráficas de comparación utilizando la figura de mérito definida en la ecuación (2.2) y el precio por cada mil unidades se muestra en la Figura 2.3.

Tabla 2.2. Listado de transistores MOSFET de Infineon de tensión drenador-fuente de 650V ordenados por su corriente de drenador.

MODELO	V_{DS} [V]	I_{DS} [A]	I_{DS} [p.u.]	Q_G [nC]	R_{DSon} [mΩ]	C_{oss} [pF]	FoM [p.u.]	PRECIO [€/1k]
IPB65R660CFD	650	6	0,19	22	660	33	0,23	0,84
IPB65R420CFD	650	8,7	0,28	32	420	45	0,29	1,02
IPB65R310CFD	650	11,4	0,37	41	310	55	0,34	1,27
IPB65R190CFD	650	17,5	0,56	68	190	86	0,54	1,46
IPB65R150CFD	650	22,4	0,72	86	150	110	0,68	1,73
IPB65R110CFD	650	31,2	1	118	110	160	1,00	2,74



(a)



(b)

Figura 2.3. Comparativa de transistores MOSFET del catálogo de Infineon ordenados según su corriente de drenador. (a) Parámetro QRC. (b) Precio por cada mil unidades.

Como cabía esperar, tanto el parámetro QRC como el precio decrecen de manera casi lineal con la corriente de drenador. Sin embargo, la pendiente es diferente ya que un transistor de la mitad de corriente de drenador es un 50% mejor en términos de la figura de mérito aunque en términos de coste disminuye una sexta parte.

Pese a que los datos mostrados previamente son un ejemplo particular de un fabricante concreto, la tendencia en este tipo de transistores MOSFET es muy similar para modelos de otros fabricantes, tal y como se ha mencionado anteriormente. La conclusión que se extrae de la anterior comparativa es que un convertidor modular en el que el módulo de potencia maneje una parte de la potencia total que se requiere (tanto si se escalan tensiones como si se escalan corrientes o ambas), permite utilizar dispositivos semiconductores mejores en términos de pérdidas y coste, lo que supone una ventaja considerable a la hora de plantear un diseño modular en comparación con un diseño basado en un único convertidor. No obstante, el número de módulos a utilizar y la selección del módulo de potencia, puede hacer que el coste sea mayor,

por lo que se precisa una estrategia de análisis que tenga en cuenta estos dos parámetros para plantear un diseño modular como mejora de un diseño tradicional basado en un único convertidor.

Por otro lado, el diseño modular no sólo permite utilizar dispositivos y elementos de mejores características, la reducción en términos de potencia hace posible que el abanico de opciones topológicas sea mayor que en el caso de plantearse un diseño basado en un único convertidor, con lo que se simplifica el proceso de diseño y se flexibiliza el mismo pudiendo implementar una fuente de alimentación que se ajuste mejor a las necesidades fijadas por las especificaciones de partida. Sirva el siguiente ejemplo para aclarar esta ventaja. Si se toma una potencia P como especificación inicial, esta potencia puede ser demasiado elevada para un convertidor del tipo *flyback*, si se plantea un diseño basado en un único convertidor. Por lo tanto, esta topología quedaría excluida en el diseño de un único convertidor. Sin embargo, si se plantea un convertidor modular, esta potencia se escala a un valor de P/N, siendo N el número de módulos. De esta forma, sí que podría plantearse como módulo un convertidor *flyback*, pudiendo aprovechar las ventajas que ofrece esta topología (sencillez, coste, etc.).

Otras dos ventajas que deben destacarse de los convertidores modulares son la robustez y la flexibilidad. La robustez se debe a la capacidad que tiene un convertidor modular para responder ante fallos. Si uno de los módulos falla, es posible que el convertidor modular sea capaz de seguir funcionando, aunque con algunas de sus especificaciones limitadas por dicho fallo. Por el contrario, si el sistema de alimentación se basa en un único convertidor, deben implementarse sistemas de protección y de tolerancia a fallos que aumentan el coste y la complejidad de este diseño. Es importante destacar que este tipo de sistemas de protección y tolerancia a fallos también están presentes en un convertidor modular (i.e. no es posible eliminar estos sistemas de protección totalmente por adoptar un diseño modular). No obstante, su número y complejidad sí que se reducen frente a un único convertidor. La flexibilidad de un convertidor modular proviene de la capacidad de adaptación o de cambio de modos de funcionamiento que posee un sistema que está formado por varios convertidores o módulos de potencia. Este cambio del modo de funcionamiento ha de ser gestionado por un sistema de control avanzado, lo que se consigue gracias al control digital aplicado a los convertidores, cuyo uso se ha extendido en los últimos años, especialmente en sistemas de alimentación complejos con varios convertidores en los que debe gestionarse no uno, sino varios flujos de energía con distintos modos de funcionamiento o configuraciones [2.16]-[2.22]. El empleo de un dispositivo digital para el sistema de control permite la implementación de dichos modos de funcionamiento, y, en este sentido, el convertidor modular es más flexible que un único convertidor, puesto que es posible activar o desactivar módulos, crear patrones de encendido y apagado en los distintos módulos o fijar el modo de funcionamiento de cada módulo de manera individualizada. Esta flexibilidad también permite una mejora de las características del convertidor modular frente a la solución de un único convertidor (nuevamente

en términos del rendimiento o del rizado de la corriente por citar dos ejemplos), puesto que es posible optimizar o adaptar cada módulo a las condiciones de funcionamiento particulares de cada uno para gestionar el convertidor modular como un sistema.

Pese a todas estas ventajas, un convertidor modular también conlleva una serie de desventajas que han de tenerse en cuenta a la hora de diseñar la fuente de alimentación. En primer lugar, pese a que la agrupación modular simplifica el diseño del convertidor gracias a la posibilidad de simplificar el diseño del módulo de potencia, traslada la complejidad del diseño al sistema de conexionado y al control de los módulos. Indudablemente el convertidor modular ha de tener una complejidad similar o inferior al diseño de un único convertidor, para que sea así una posible alternativa de diseño. En segundo lugar, y relacionado con lo anterior, el número de módulos que conforman el convertidor modular tiene una repercusión directa en el coste, el volumen y el peso de la fuente de alimentación final, así como en la complejidad del diseño. Por lo tanto el cálculo del número de módulos óptimo (y de la potencia que debe procesar cada módulo) añade una complejidad adicional al proceso de diseño que ha de tenerse en cuenta dado su impacto en la solución final buscada.

2.2. AGRUPACIONES MODULARES DE CONVERTIDORES

Existen al menos cinco opciones posibles de agrupación modular: en cascada, en paralelo (conocida por las siglas IPOP del inglés *Input Parallel Output Parallel*), en serie (conocida como ISOS del inglés *Input Series Output Series*), conexión serie-paralelo o paralelo-serie (conocidas como ISOP o IPOS del inglés *Input Series Output Parallel* o *Input Parallel Output Series* respectivamente) o una agrupación mixta, en la que se combinan cualquiera de las anteriores. Cada una de estas agrupaciones posee una serie de características que se detallarán en los siguientes epígrafes.

2.2.1. AGRUPACIÓN MODULAR EN CASCADA

Una primera aproximación a la concepción modular de un convertidor pasa por la agrupación en cascada de distintos convertidores, de tal forma que el conjunto de todos ellos cumpla con las especificaciones fijadas. Esta solución ha venido empleándose de forma habitual en aplicaciones diversas, como las fuentes de alimentación con corrección del factor de potencia [2.23]-[2.26], sistemas de alimentación para iluminación con diodos (o LEDs) [2.27]-[2.29] o las fuentes de alimentación para inversores y paneles solares [2.30]-[2.32], por citar algunos ejemplos. En estos casos, pueden llegar a combinarse hasta tres módulos o convertidores conectados en cascada, tal y como se muestra en el esquema general de la Figura 2.4. En este esquema se han representado además las corrientes y tensiones manejadas por cada módulo. De forma genérica, se han representado dos tensiones (V_I como tensión de entrada y V_O como tensión de salida, con sus respectivas corrientes, I_I e I_O). Cada módulo de potencia se ha representado de forma genérica como dos redes de conmutación (representadas por dos transistores MOSFET) y un elemento magnético que las interconecta (una inductancia en el caso de un módulo sin aislamiento galvánico y un transformador en el caso de que el módulo precise aislamiento galvánico). Este módulo de potencia, sombreado en gris en la Figura 2.4, puede ser cualquiera de las topologías comentadas en el estado del arte del capítulo 1 de esta tesis. También de forma genérica, se referirá a un módulo en general del convertidor modular como módulo n, quedando definidas sus tensiones, corrientes y potencias tanto de entrada como de salida como V_{In}, I_{In}, P_{In} y V_{On}, I_{On}, P_{On} respectivamente. También se ha supuesto que cada módulo tiene unas pérdidas asociadas (P_{Ln}) y, por lo tanto un rendimiento η_n. El número total de módulos para todas estas agrupaciones modulares es N. Cada uno de ellos realiza una función independiente. Así, la primera etapa podría hacer las funciones de rectificador o conversión CA-CC, manteniendo una calidad muy elevada en el factor de potencia (en adelante FP). La segunda etapa podría tener

como objetivo proporcionar el aislamiento galvánico, en caso de que fuera necesario, reduciría el rizado en la tensión de salida de la primera etapa y mantendría un rendimiento muy elevado. Por último, el tercer módulo sería el encargado de mantener regulada la tensión de salida, con una dinámica lo más adaptada posible a las exigencias de la carga. Esta división en las tareas o funcionalidades hace que el convertidor modular resultante de la agrupación en cascada tenga mejores prestaciones que un convertidor único que tratase de incorporar todas ellas en una sola etapa de conversión.

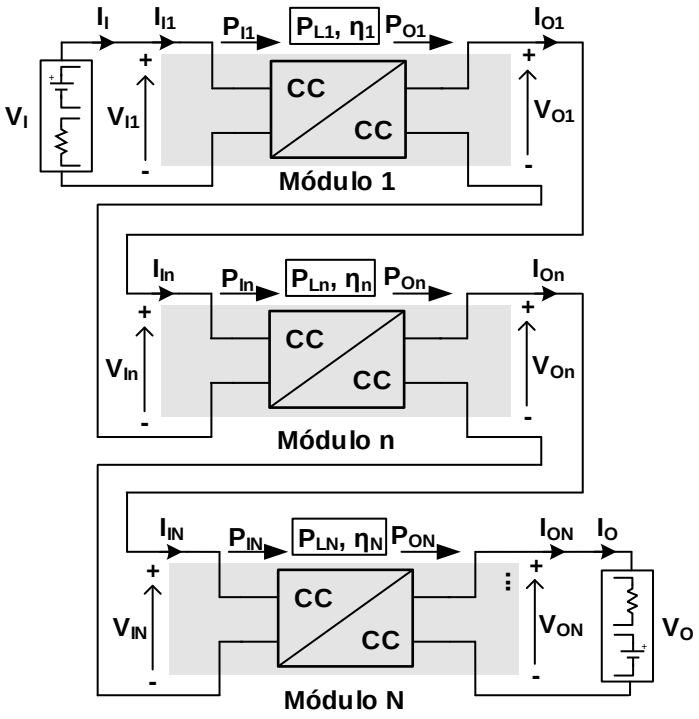


Figura 2.4. Esquema general de la agrupación modular en cascada.

El control de este tipo de agrupaciones pasa por diseñar los lazos de realimentación de cada módulo, de forma que a la salida de cada módulo de potencia se proporcione una tensión o una corriente regulada para el siguiente módulo. Sin embargo, el control de este tipo de agrupaciones es complejo, al contrario de lo que pudiera parecer a primera vista, puesto que la influencia de un módulo sobre la respuesta dinámica del módulo conectado a su entrada o a su salida es notable. Tanto es así, que el estudio particular de este tipo de agrupaciones ha dado pie a un buen número de soluciones originales y estudios en esta materia, como el ya citado en [2.26] o los trabajos que proponen los autores en [2.34]-[2.38].

Pese a que este tipo de agrupaciones son bien conocidas, quedan lejos de la concepción de agrupación modular que se desarrollará en esta tesis. Esto se debe a que en la agrupación en cascada se emplean, por lo general, módulos distintos, esto es, distintas topologías de convertidores que combinados entre sí resultan ser mejores que uno sólo. Sin embargo, la estrategia de diseño modular que se desarrollará en esta tesis pasa por utilizar módulos idénticos,

que sean sencillos de diseñar y construir y que pueden intercambiarse entre sí. En segundo lugar, otro aspecto que hace que la agrupación en cascada no se considere como una solución modular al uso, es que todos los módulos de potencia procesan el mismo nivel de potencia. Es más, el incremento (o decremento) del número de módulos no trae consigo un incremento (o decremento) de la potencia total procesada por el convertidor modular resultante y rara vez suelen encontrarse en la literatura agrupaciones en cascada de más de tres módulos. La propiedad de poder escalar potencia es fundamental a la hora de entender y diseñar un convertidor modular y, sin esta propiedad, la agrupación en cascada tiene menos atractivo como convertidor modular que el resto de agrupaciones modulares que se analizarán en este capítulo.

Esta agrupación modular utilizando módulos o convertidores idénticos, únicamente tiene sentido cuando las tensiones del sistema de almacenamiento y de la carga (tensión de entrada y tensión de salida respectivamente) sean muy diferentes entre sí y, por lo tanto, se precise cumplir con una relación de conversión muy elevada. En ese caso, una agrupación en cascada podría cumplir con dicho requisito proporcionando un rendimiento elevado, puesto que cada módulo trabajaría con una relación de conversión más pequeña y óptima desde el punto de vista de su rendimiento. Sin embargo, pese a esta ventaja y la ya mencionada capacidad de poder dividir tareas en los distintos módulos, en esta tesis no se desarrollará en profundidad este tipo de agrupaciones en cascada.

2.2.2. AGRUPACIÓN MODULAR EN PARALELO (IPOP)

La agrupación modular en paralelo o IPOP ha sido, tradicionalmente, una de las primeras agrupaciones o conexiones utilizadas junto con la conexión en cascada de dos o más convertidores [2.39] y [2.40]. Un esquema general de esta agrupación en paralelo se muestra en la Figura 2.5, en el que se ha mantenido la nomenclatura utilizada anteriormente. En la agrupación IPOP se divide la corriente que maneja cada módulo por el número de módulos empleados. De esta forma, cada módulo únicamente procesa una N-ésima parte de la potencia total que debe manejar el sistema de alimentación completo.

Atendiendo a los valores de las corrientes, tensiones y potencias definidas en la Figura 2.5, es posible definir de forma genérica para esta agrupación en paralelo algunas relaciones útiles desde el punto de vista de la optimización del convertidor modular a partir de las características de cada módulo. En primer lugar, el rendimiento de un módulo de potencia viene dado por la ecuación (2.2).

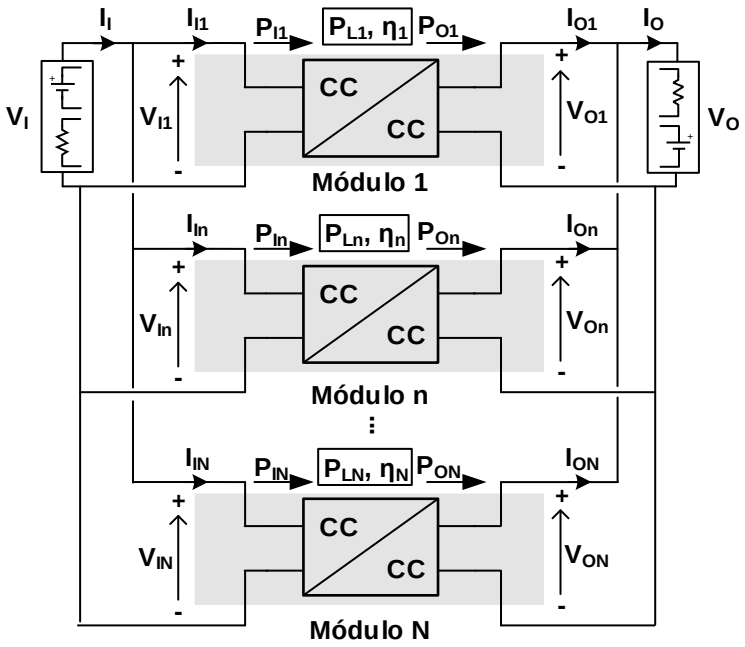


Figura 2.5. Esquema general de la agrupación modular IPOP.

$$\eta_n = \frac{P_{On}}{P_{In}} = \frac{V_{On} \cdot I_{On}}{V_{In} \cdot I_{In}} = \frac{V_O \cdot I_{On}}{V_I \cdot I_{In}} \tag{2.2}$$

donde las tensiones de entrada (V_I) y de salida (V_O) son comunes para todos los módulos en esta agrupación IPOP y las corrientes individuales de cada módulo de entrada y de salida son respectivamente I_{In} e I_{On}. Las corrientes totales de entrada y de salida (I_I e I_O) no son más que la suma de estas corrientes individuales, tales que

$$I_O = \sum_{n=1}^{N} I_{On} \tag{2.3}$$

$$I_I = \sum_{n=1}^{N} I_{In} \tag{2.4}$$

De esta forma es posible encontrar una definición del rendimiento total del convertidor modular (η_T) sin más que sustituir las expresiones (2.3) y (2.4) en la ecuación general del rendimiento. Así,

$$\eta_T = \frac{P_O}{P_I} = \frac{V_O \cdot I_O}{V_I \cdot I_I} = \frac{V_O \cdot \sum_{n=1}^{N} I_{On}}{V_I \cdot \sum_{n=1}^{N} I_{In}} = \frac{\sum_{n=1}^{N} P_{On}}{\sum_{n=1}^{N} P_{In}} \tag{2.5}$$

También es posible definir este rendimiento en función de las pérdidas individuales de cada módulo de potencia, P_{Ln}, de forma que

$$\eta_T = \frac{P_O}{P_I} = \frac{P_I - P_{LT}}{P_I} = \frac{P_I - \sum_{n=1}^{N} P_{Ln}}{P_I} \tag{2.6}$$

Las ecuaciones (2.5) y (2.6) son válidas para cualquier agrupación modular IPOP bajo cualquier condición de funcionamiento. No obstante, en este tipo de agrupaciones en paralelo es muy habitual buscar que cada módulo de potencia maneje la misma potencia individual o, en otras palabras, que las corrientes de cada módulo estén equilibradas. Esta condición de equilibrio puede definirse matemáticamente como

$$I_{On} = \frac{I_O}{N} \rightarrow P_{On} = \frac{P_O}{N} \tag{2.7}$$

$$I_{In} = \frac{I_I}{N} \rightarrow P_{In} = \frac{P_I}{N} \tag{2.8}$$

En condiciones de equilibrio el rendimiento total del sistema de alimentación en agrupación modular IPOP es posible obtenerlo sin más que sustituir (2.7), (2.8) y (2.2) en (2.5) y en (2.6).

$$\eta_T = \frac{P_O}{P_I} = \frac{V_O \cdot \sum_{n=1}^{N} I_{On}}{V_I \cdot \sum_{n=1}^{N} I_{In}} = \frac{V_O \cdot N \cdot I_{On}}{V_I \cdot N \cdot I_{In}} = \eta_n \tag{2.9}$$

$$\eta_T = \frac{P_I - P_{LT}}{P_I} = \frac{P_I - N \cdot P_{Ln}}{P_I} \tag{2.10}$$

Las ecuaciones (2.9) y (2.10) establecen que siempre que los módulos estén equilibrados (i.e. procesando el mismo nivel de potencia) es posible obtener un sistema de alimentación modular con un rendimiento idéntico al que se conseguiría para un único módulo de potencia, teniendo en cuenta que éste último ha de manejar la N-ésima parte de la potencia total a manejar. Es por esto que, en general en las agrupaciones IPOP se tienden a desarrollar controles o estrategias de control que equilibren las corrientes de cada módulo de potencia [2.16] y [2.17]. Por lo tanto, es muy habitual encontrarse con dos lazos de control en este tipo de agrupaciones en paralelo, tal y como se muestra en la Figura 2.6. En este esquema genérico, se ha representado la variable de control de cada módulo como d_n, asumiendo que, por lo general, esta variable de control será el ciclo de trabajo (aunque puede variar en otros casos, según la topología seleccionada). A su vez, se han representado los posible reguladores de tensión como R_{Vn} y los reguladores de corriente como R_{in}. Estos reguladores proporcionarán un error en función de una referencia dada. El bloque control representado en la Figura 2.6 será el encargado de manejar los errores proporcionados por dichos reguladores, fijar las referencias de los mismos y agruparlos convenientemente para obtener la señal de control.

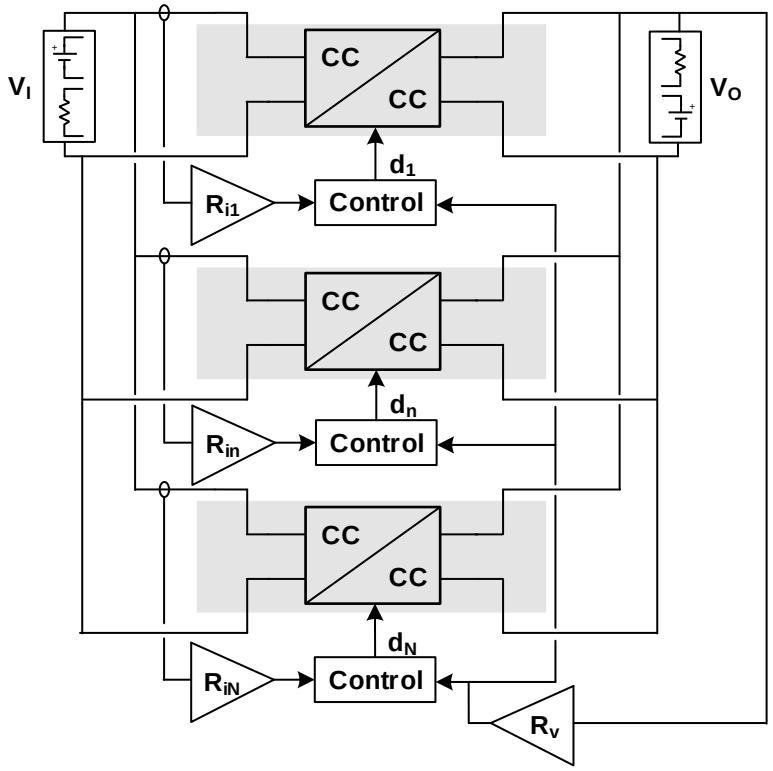


Figura 2.6. Esquema básico de la estrategia de control para la agrupación modular IPOP.

Un lazo de control se encarga de controlar la tensión de salida (V_O) mientras que N lazos adicionales controlan la corriente individual de cada módulo. Precisamente tratando de evitar los lazos adicionales de control, son especialmente interesantes aquellas topologías que tienen un comportamiento como fuente de corriente para ser candidatas a módulo de potencia en una agrupación en paralelo. De esta forma se logra un equilibrado "natural" de las corrientes utilizando tan sólo un lazo de control, con lo que se simplifica la estrategia de control del convertidor modular resultante.

Pese a que, en general, se tiende a utilizar módulos idénticos (i.e. la misma topología de potencia para cada módulo) procesando la misma cantidad de potencia, también es posible plantear agrupaciones modulares IPOP en las que los módulos de potencia sean distintos (i.e. distintos convertidores) o bien sean iguales pero manejen potencias diferentes. El objetivo de este diseño modular no balanceado o asimétrico no es otro que el de mejorar las prestaciones del convertidor modular completo, bien sea en términos del rendimiento, bien en una reducción del volumen o del peso, tal y como se verá en el capítulo 3 de esta tesis.

Como ya se ha comentado anteriormente, el control entrelazado (o *interleaving*) se adopta con mucha frecuencia en este tipo de agrupaciones [2.41]-[2.45], y permite reducir el volumen de los condensadores de entrada y/o salida, lo que incrementa el interés por este tipo de agrupaciones.

Sin embargo, el diseño modular IPOP también tiene algunas desventajas. La primera y más evidente es la necesidad de equilibrar las corrientes de cada módulo. Si no es posible utilizar un

módulo que logre un comportamiento como fuente de corriente, es preciso medir de alguna manera la corriente individual de cada módulo. Aunque únicamente se precisa de la información de corriente media por cada módulo, este sensor de corriente puede resultar complejo y costoso, lo que va en contra de este tipo de agrupaciones. La segunda gran desventaja radica en que las agrupaciones IPOP no ofrecen ninguna ventaja si el rango de tensiones de operación del sistema de alimentación completo tiene una variación grande. Pese a que es posible operar con rangos de potencia muy amplios, si las tensiones de entrada o de salida tienen rangos de variación grandes, la agrupación IPOP no ofrece ninguna ventaja frente a otros diseños modulares o al diseño basado en un único convertidor. Esto se debe a que dichas tensiones son iguales para todos los módulos. Como se verá en el siguiente epígrafe, la agrupación en serie sí permite escalar las tensiones tanto de entrada como de salida, lo que resulta más ventajoso cuando ha de trabajarse con rangos amplios de tensiones de entrada o de salida.

Desde el punto de vista de la selección de componentes, la agrupación IPOP permite relajar las especificaciones máximas de corriente, tal y como se ha demostrado en las ecuaciones (2.3) y (2.4), permitiendo de esta manera poder acceder a dispositivos de menores corrientes máximas. En el caso particular de los transistores de tipo MOSFET, tal y como se ha comentado en el subapartado 2.1.1 de este capítulo, es posible seleccionar dispositivos en general de mejores prestaciones conforme se escala la corriente máxima que han de manejar. En la Figura 2.7 se muestra un gráfico comparativo que recoge los principales parámetros de transistores MOSFET de Infineon, ordenados según su corriente de drenador (cuyos valores se han normalizado al máximo valor), manteniendo constante la tensión drenador-fuente (600V) y el mismo tipo de encapsulado (TO-220). Los valores recogidos son la carga de puerta (Q_G), el valor de la capacidad parásita de salida (C_{OSS}), la resistencia en conducción (R_{DSon}) y el precio del dispositivo por cada mil unidades suministrado por el propio fabricante. Cada uno de ellos se muestra normalizado a su valor máximo en la Figura 2.19. Como puede verse, tanto el precio como el valor de Q_G y C_{OSS} crecen de manera cuadrática conforme aumenta la corriente del dispositivo. La tendencia inversa puede establecerse con la resistencia en conducción (o R_{DSon}), que crece conforme se reduce la corriente que maneja el transistor.

A la vista del gráfico de la Figura 2.7, cabría preguntarse si la reducción o la escala en la corriente que maneja cada módulo en la agrupación IPOP permite a su vez reducir las pérdidas totales en los dispositivos semiconductores, por el mero hecho de apostar por un convertidor modular. Para la estimación de estas pérdidas se han tenido en cuenta las leyes de escala definidas en [2.5] y las siguientes ecuaciones:

$$P_{cond} = R_{DSon} \cdot I_D^2 \tag{2.11}$$

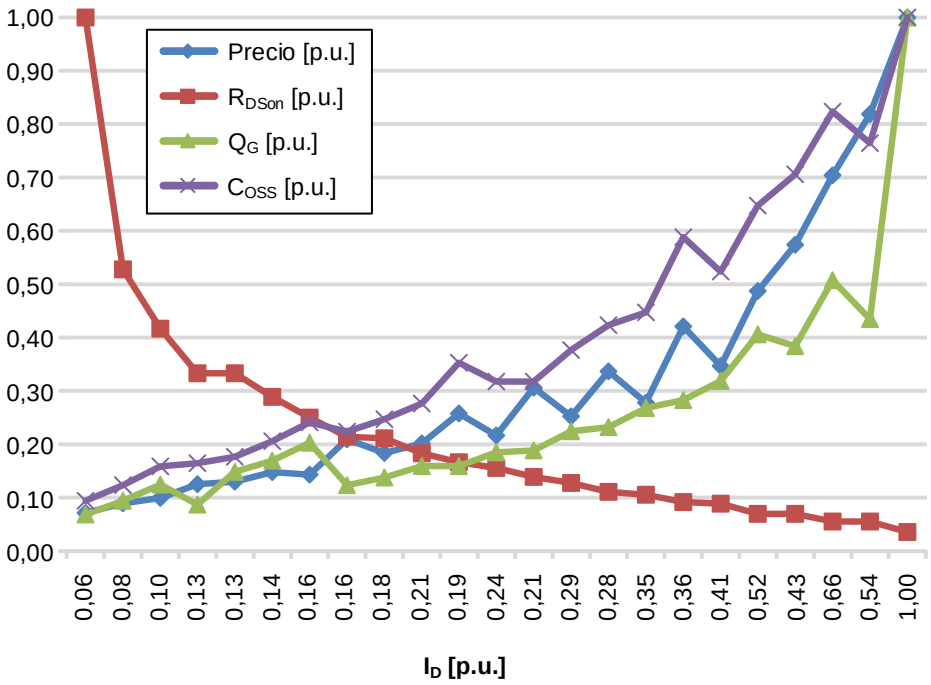
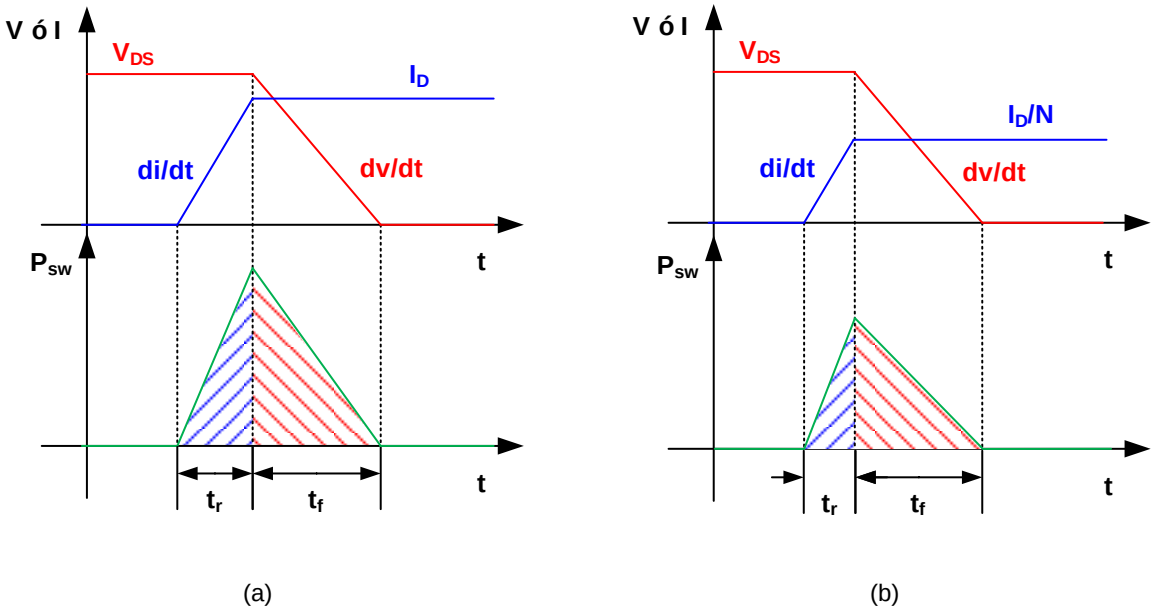


Figura 2.7. Comparativa de los parámetros de transistores MOSFET del catálogo de Infineon para la agrupación modular IPOP en función de la corriente de drenador manteniendo la tensión drenador-fuente (600V) y el encapsulado (TO-220).

$$P_{sw} = \frac{1}{2} \cdot V_{DS} \cdot I_{Drms} \cdot f_s \cdot \left(t_r + t_f\right) + \frac{1}{4} \cdot C_{oss} \cdot f_s \cdot V_{DS}^2 \tag{2.12}$$

en donde R_{DSon} es la resistencia en conducción del transitor, I_D es la corriente media de drenador, V_{DS} es la tensión drenador-fuente, I_{Drms} es la corriente eficaz de drenador, f_s es la frecuencia de conmutación, t_r es el tiempo de subida de la corriente de drenador, t_f es el tiempo de caída de la tensión drenador-fuente y C_{oss} es la capacidad parásita de salida del transistor. La ecuación (2.9) representa las pérdidas en conducción en los semiconductores, mientras que la ecuación (2.10) permite estimar las pérdidas en conmutación en la entrada en conducción para un transistor MOSFET dado. En este capítulo únicamente se tendrán en cuenta las pérdidas en la entrada en conducción del transistor, puesto que son suficientes para ilustrar las leyes de escala que imponen las distintas agrupaciones modulares, tal y como se han realizado los autores de [2.5]. No obstante, en el anexo A1 pueden encontrarse las expresiones completas de las pérdidas en conmutación que han sido utilizadas en los capítulos 3 y 4 de esta tesis. Para estimar las pérdidas totales del convertidor modular formado por los N módulos en agrupación IPOP, han de tenerse en cuenta no sólo el número de módulos, N, sino también las siguientes leyes de escala. En primer lugar, la corriente media de cada módulo se divide entre N, tal y como se ha establecido en las ecuaciones (2.4) y (2.5). En segundo lugar, se ha asumido un control entrelazado, con lo que la frecuencia de conmutación también se divide entre N. Es importante destacar que para este control entrelazado se ha asumido que se mantienen los mismos valores de rizado tanto de

corriente como de tensión en la inductancia y en el condensador de salida. En tercer y último lugar, el tiempo de subida, t_r, se reduce también en una N-ésima parte. Para comprender mejor la reducción de este tiempo de subida, en la Figura 2.8 se ha representado la evolución de la tensión drenador-fuente y de la corriente de drenador del transistor durante su encendido y las pérdidas de conmutación asociadas a esta transición. Concretamente en la Figura 2.8(a) se ha representado esta evolución para el caso de un único convertidor y en la Figura 2.8(b) se ha representado la misma evolución para el módulo n-ésimo de un convertidor modular formado por N módulos en agrupación IPOP.



(a) (b)

Figura 2.8. Evolución de la tensión drenador-fuente y de la corriente de drenador en el transistor MOSFET durante su encendido. (a) Para un único convertidor. (b) Para el módulo n-ésimo de un convertidor modular formado por N módulos en agrupacion IPOP.

En las evoluciones mostradas en la Figura 2.8 se ha asumido una aproximación lineal y que las derivadas de tensión y de corriente (dv/dt y di/dt respectivamente) son las mismas tanto en el caso de un único convertidor (Figura 2.8(a)) como en el caso del módulo de potencia del convertidor modular (Figura 2.8(b)). Teniendo en cuenta que en la agrupación modular IPOP la corriente que maneja cada transistor se escala en un factor de N, se puede comprobar que el tiempo de subida, t_r, también se divide por N. Teniendo en cuenta estas leyes de escala, es posible reformular las pérdidas que recogen las ecuaciones (2.11) y **¡Error! No se encuentra el rigen de la referencia.**) particularizándolas para un convertidor modular de N módulos en agrupación IPOP, quedando estas como

$$P_{condIPOP} = \frac{1}{N} \cdot R_{DSon} \cdot I_D^2 \tag{2.13}$$

$$P_{swIPOP} = \frac{1}{N} \cdot \frac{1}{2} \cdot V_{DS} \cdot I_{Drms} \cdot f_s \cdot \left(\frac{t_r}{N} + t_f \right) + \frac{1}{4} \cdot C_{oss} \cdot f_s \cdot V_{DS}^2 \quad (2.14)$$

En la Figura 2.9 se han representado las pérdidas de conducción, de conmutación y totales en función del número de módulos, N. Cada una de estas pérdidas se ha normalizado respecto al caso de $N = 1$, es decir, al caso de utilizar un único convertidor, utilizando para ello las ecuaciones (2.13) y (2.14). Es importante destacar que la tensión drenador-fuente (V_{DS}) es la misma en todos los casos, tal y como impone la conexión IPOP, mientras que la frecuencia de conmutación (f_s), también se ha asumido idéntica para todos los módulos. Para obtener los resultados mostrados en la Figura 2.9 se han utilizado los datos de los distintos MOSFET ya presentados y comentados en la Figura 2.7. A la vista de los resultados mostrados en la Figura 2.9 cabe destacar una serie de conclusiones importantes. Como puede verse, las pérdidas por conducción aumentan con el número de módulos empleado, lo que concuerda con las conclusiones extraídas de la Figura 2.7, puesto que a menor corriente mayor R_{DSon}. Por el contrario, las pérdidas de conmutación se reducen conforme N aumenta. Las pérdidas totales del dispositivo tienden a reducirse también (es decir, la reducción de las pérdidas de conmutación para esta agrupación compensa el incremento de las pérdidas de conducción), pero el decremento únicamente es notable hasta valores de $N = 4$ o inferiores. Por encima de este valor, aunque las pérdidas totales siguen bajando, el decremento obtenido no es tan significativo.

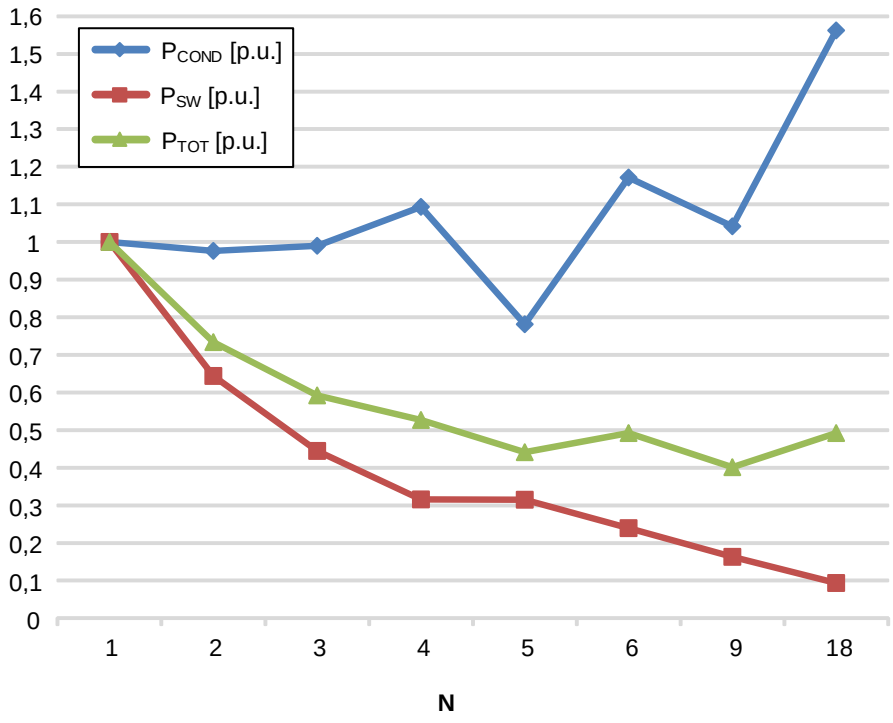


Figura 2.9. Pérdidas estimadas de conducción, de conmutación y totales normalizadas en función del número de módulos N utilizados en la agrupación modular IPOP.

La principal conclusión que puede extraerse de este sencillo ejercicio de comparación es que la agrupación modular IPOP permite reducir las pérdidas totales en los semiconductores bajo el contexto de análisis planteado para este caso.

2.2.3. AGRUPACIÓN MODULAR EN SERIE (ISOS)

La agrupación en serie o ISOS puede concebirse como la versión dual a la opción IPOP. En la Figura 2.10 se muestra un esquema general de esta agrupación serie, en la que se ha seguido la misma nomenclatura ya empleada para la agrupación IPOP. En este caso, en lugar de dividir la corriente que circula por cada módulo, tal y como ocurre en la versión IPOP, se divide la tensión que soporta cada uno, tanto la tensión de entrada como la tensión de salida, siendo la corriente de entrada y la corriente de salida común para todos ellos. De esta forma, es posible obtener las mismas ecuaciones de diseño que las alcanzadas para la agrupación IPOP, sin más que aplicar

$$V_O = \sum_{n=1}^{N} V_{On} \tag{2.15}$$

$$V_I = \sum_{n=1}^{N} V_{In} \tag{2.16}$$

Sustituyendo las expresiones (2.15) y (2.16) en la ecuación (2.5) es posible obtener la expresión del rendimiento total de la agrupación ISOS en función de las tensiones y corrientes de cada módulo. Cabe destacar que la ecuación (2.6) sigue siendo válida para esta agrupación bajo cualquier condición de operación. Al igual que en el caso IPOP, se puede imponer la condición de equilibrio (i.e. que cada módulo de potencia procese la misma cantidad de potencia) para esta agrupación, que en este caso queda definida como

$$V_{On} = \frac{V_O}{N} \rightarrow P_{On} = \frac{P_O}{N} \tag{2.17}$$

$$V_{In} = \frac{V_I}{N} \rightarrow P_{In} = \frac{P_I}{N} \tag{2.18}$$

Imponiendo estas condiciones, se alcanza la misma conclusión que la obtenida en la agrupación IPOP en la ecuación (2.9): el rendimiento del conjunto es equivalente al rendimiento de un único módulo. Por lo tanto, y al igual que ocurría en la agrupación IPOP, bajo estas condiciones de equilibrio es posible optimizar el rendimiento del convertidor modular optimizando únicamente el rendimiento de cada único módulo individual.

Por esta razón, y de manera dual a como ocurría con la agrupación IPOP, los controles aplicados a la agrupación ISOS tienden a buscar en este caso un ecualizado de la tensiones individuales de entrada y de salida de cada módulo, de forma que todos los módulos manejen una N-ésima parte de la potencia total proporcionada a la carga.

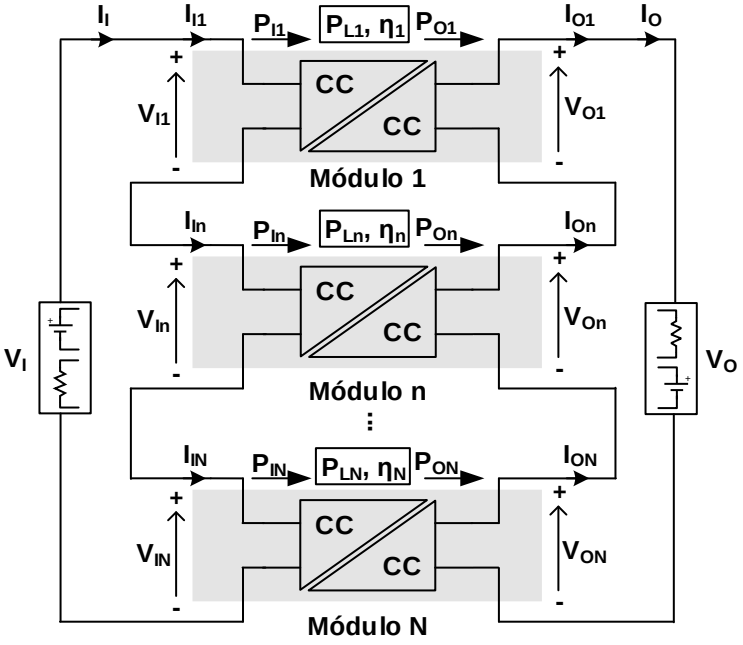


Figura 2.10. Esquema general de la agrupación modular ISOS.

Una primera solución pasa por utilizar N lazos de tensión para equilibrar la tensión de entrada de cada módulo y un lazo de tensión adicional para regular la tensión de salida, como muestra la Figura 2.11. Esta solución implica un elevado número de lazos de control, y es por esto que se han planteado distintas estrategias de control que utilizan distinto número de lazos para intentar lograr el equilibrado de tensiones en este tipo de agrupación como por ejemplo en [2.46]-[2.49]. También es posible encontrar estrategias de control más simples que se basan en algún tipo de modo de funcionamiento o control concreto de un módulo de potencia, de forma que es posible reducir el número de lazos de control e incluso eliminar totalmente estos lazos (i.e. lograr un equilibrado natural de las tensiones), simplificando así la agrupación modular ISOS, tal y como se sestudia en [2.50] y [2.51].

Es importante destacar que así como la agrupación IPOP es válida para cualquier topología del módulo de potencia, la agrupación ISOS no es válida para todas las topologías o, en otras palabras, su adopción no siempre es posible para determinadas topologías de los módulos de potencia. En general, sí que es posible agrupar en serie cualquier topología con aislamiento galvánico. Sin embargo, en las topologías sin aislamiento galvánico la agrupación ISOS no se puede aplicar directamente. Un ejemplo es el convertidor elevador recogido en su versión ISOS en [2.5].

Todo lo mencionado anteriormente sobre la técnica de entrelazado (o *interleaving*) ya comentado para la agrupación IPOP es aplicable para la agrupación ISOS. Se ha de tener en cuenta que la reducción de rizados de corriente que se obtendría en la agrupación IPOP por entrelazar se convierte en reducción de rizados de tensión en la agrupación ISOS.

Desde el punto de vista de la selección de componentes, la agrupación ISOS permite relajar las especificaciones de tensión máxima que han de soportar los elementos del módulo de potencia. Esta propiedad resulta especialmente interesante desde el punto de vista del tamaño y de la tecnología de los condensadores y de las características de los transistores empleados. La agrupación ISOS permite utilizar tanto condensadores como transistores de menor tensión, lo que, en general, se traduce en menores volúmenes y menor coste. En primer lugar, desde el punto de vista de los condensadores, un único convertidor utilizaría un condensador de alta tensión (generalmente de tipo electrolítico) o bien una conexión en serie de condensadores (con un sistema de balanceado de tensión), que, por lo general, resultan ser voluminosos y de coste elevado. Sin embargo, el convertidor modular equivalente utilizaría un condensador de menor tensión, permitiendo utilizar otro tipo de tecnología como MKT o MKP, y, por lo tanto, resulta ser menos voluminoso y de menor coste en comparación con el anterior.

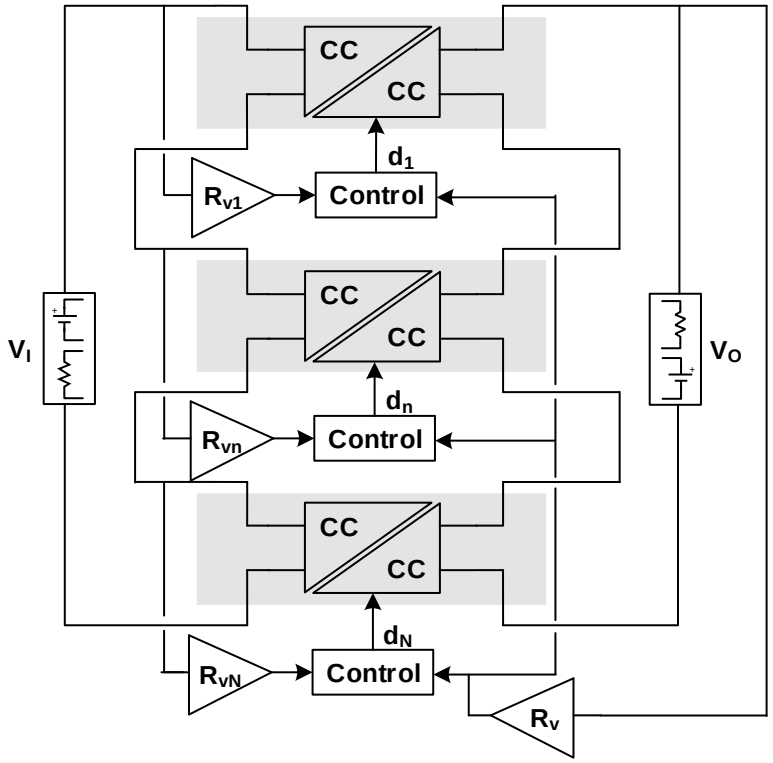


Figura 2.11. Esquema general de la estrategia de control para la agrupación modular ISOS.

Desde el punto de vista de los semiconductores esta ventaja es especialmente importante en el caso de los transistores de tipo MOSFET. Tal y como se detalló en la sección 2.1.1 de este

capítulo, existe un salto tecnológico muy importante entre los transistores de 800 y 900V y los transistores de 600V. De igual forma, los parámetros característicos un transistor de 100V superan ampliamente a los de un transistor de 600V, lo que se añade a un coste menor. Estas tendencias pueden verse en la Figura 2.12 en donde se han representado los mismos parámetros analizados para la agrupación IPOP de un transistor MOSFET del fabricante Infineon en función de la tensión drenador-fuente para una misma corriente de drenador (11A). Tanto el precio, la carga Q_G y la resistencia R_{DSon} decrecen cuanto menor es la tensión drenador-fuente del dispositivo. Una tendencia similar aunque no tan clara ocurre con el valor de capacidad C_{OSS}. Cabe mencionar que para los transistores de 100 y 200V este valor es mayor, puesto que el encapsulado no es el mismo.

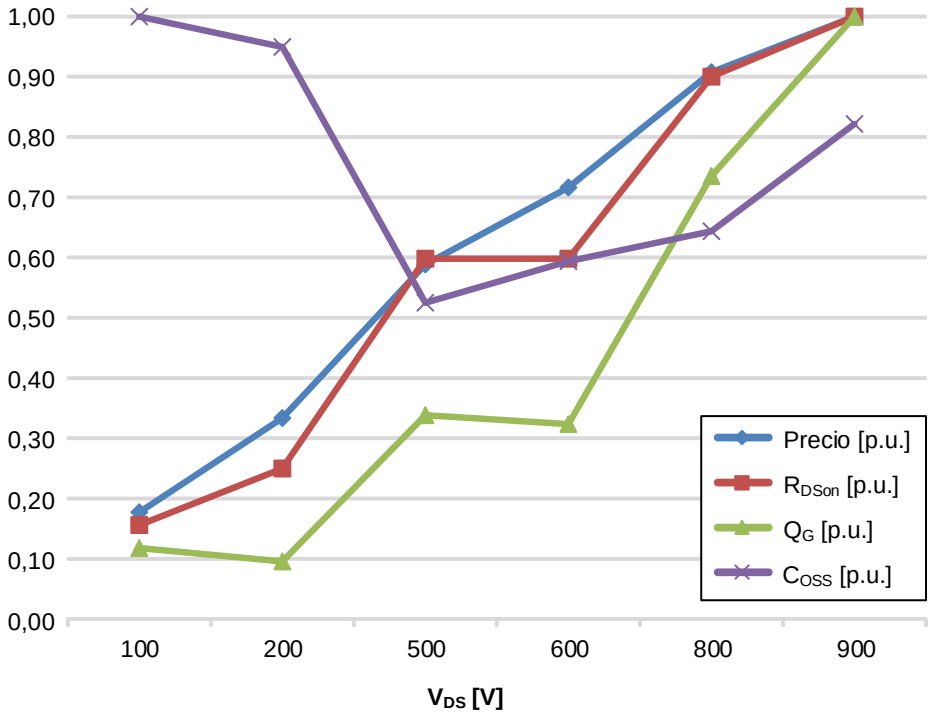
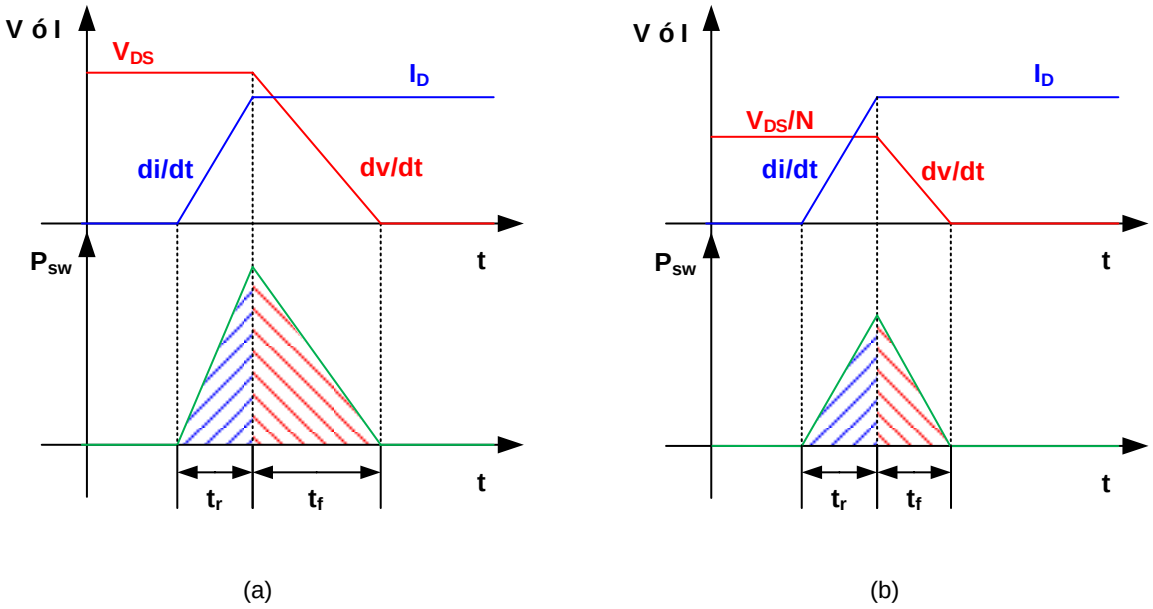


Figura 2.12. Comparativa de los parámetros de transistores MOSFET del catálogo de Infineon para la agrupación modular ISOS para distintas tensiones drenador-fuente manteniendo la corriente de drenador (11A).

Al igual que ocurría con la agrupación modular IPOP, cabe preguntarse si estas tendencias conllevan una reducción en las pérdidas de los dispositivos semiconductores. Al igual que en la agrupación IPOP, se van a utilizar las leyes de escala presentadas en [2.5] y se va a suponer una agrupación de N módulos con control entrelazado, en el que se mantienen el rizado de corriente en la inductancia y el rizado de tensión en los condensadores. Las pérdidas de conducción y las pérdidas de conmutación se estimarán a partir de las ecuaciones (2.11) y (2.12). Las leyes de escala para la agrupación ISOS establecen que la tensión drenador-fuente del transistor se reduce en un término N, tal y como se deduce de las ecuaciones (2.17) y (2.18). Como consecuencia del entrelazado, la frecuencia también se divide en un factor N. Y, por último, el

tiempo de bajada, t_f, del transistor se reduce también en un factor N. Nuevamente, para comprender mejor esta reducción en el tiempo de bajada del transistor, se ha tomado como ejemplo comparativo la evolución en la tensión-drenador fuente y la corriente de drenador durante el encendido del transistor, que se muestran en la Figura 2.13, concretamente para un único convertidor en la Figura 2.13(a) y para el módulo n-ésimo en la Figura 2.13(b).



(a) (b)

Figura 2.13. Evolución de la tensión drenador-fuente y de la corriente de drenador en el transistor MOSFET durante su encendido. (a) Para un único convertidor. (b) Para el módulo n-ésimo de un convertidor modular formado por N módulos en agrupacion ISOS.

Al igual que en la agrupación IPOP, se ha supuesto que las derivadas tanto de corriente como de tensión se mantienen constantes. Es inmediato comprobar que la reducción en la tensión drenador-fuente permite reducir el tiempo de bajada, quedando éste escalado por el número de módulos que componen el convertidor modular.

Teniendo en cuenta estas leyes de escala, es posible reformular las ecuaciones de pérdidas (2.11) y (2.12) quedando éstas como

$$P_{condISOS} = \frac{1}{\sqrt{N}} \cdot R_{DSon} \cdot I_D^2 \tag{2.19}$$

$$P_{swISOS} = \frac{1}{N} \cdot \frac{1}{2} \cdot V_{DS} \cdot I_{Drms} \cdot f_s \cdot \left(t_r + \frac{t_f}{N}\right) + \frac{1}{N} \cdot \frac{1}{4} \cdot C_{oss} \cdot f_s \cdot V_{DS}^2 \tag{2.20}$$

Utilizando los datos de los transistores MOSFET mostrados en la Figura 2.12 y fijando los mismos valores de corriente de drenador y frecuencia de conmutación, se han obtenido las pérdidas de conducción, de conmutación y totales en función del número de módulos, N. Cada valor de pérdidas se ha normalizado al valor obtenido para un único convertidor. Estos resultados se muestran en la Figura 2.14.

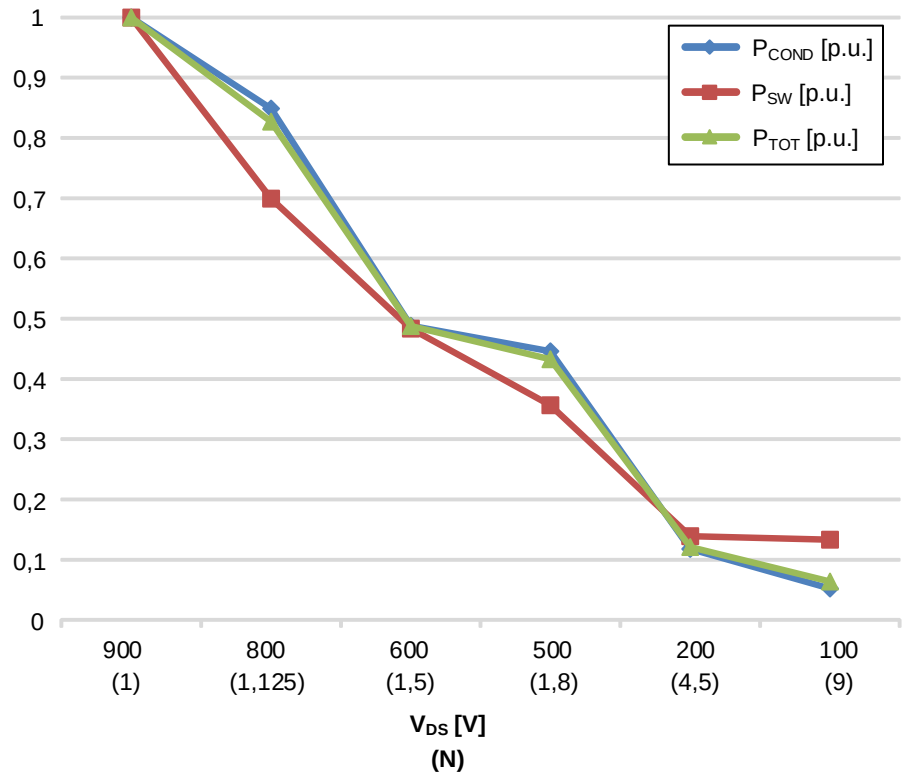


Figura 2.14. Pérdidas estimadas de conducción, de conmutación y totales en función de la tensión máxima drenador-fuente del transistor, normalizadas al valor máximo. Entre paréntesis, figura el número de módulos mínimo no entero (N) para la agrupación ISOS necesario para poder utilizar el transistor.

Al igual que en la agrupación IPOP las pérdidas totales disminuyen conforme el número de módulos crece (o, de forma equivalente, cuando la tensión máxima drenador-fuente se reduce), resultados coherentes con los mostrados en la Figura 2.12. En este caso y como se puede apreciar en la Figura 2.14, las pérdidas de conducción también se reducen a medida que crece el número de módulos, tendencia contraria a lo que ocurría en la agrupación IPOP en donde crecían. Es más, estas pérdidas de conducción tienen un peso mayor en la reducción de las pérdidas totales que en el caso de la agrupación IPOP, permitiendo a la agrupación ISOS obtener mejores rendimientos cuanto mayor sea el número de módulos N.

2.2.4. AGRUPACIÓN MODULAR SERIE-PARALELO O PARALELO-SERIE (ISOP O IPOS)

La tercera opción de posibles agrupaciones modulares es la combinación de las dos anteriores. El objetivo fundamental de la agrupación ISOP o IPOS es el de combinar las dos ventajas fundamentales que ofrecen la conexión serie y la conexión paralelo respectivamente: dividir la tensión de entrada o de salida y dividir la corriente de entrada o de salida. Este hecho es muy atractivo en las aplicaciones en las que las tensiones de entrada y de salida son muy diferentes y se trata de aprovechar u optimizar al máximo el convertidor (e.g. en aplicaciones de

48V a 800V con potencias superiores a 2kW). En este escenario, la parte de baja tensión (i.e. la parte conectada al sistema de almacenamiento) se ve sometida a unos esfuerzos de corriente muy importantes, mientras que en la parte de alta tensión (i.e. la parte conectada a la carga activa) resultaría atractivo manejar menores niveles de tensión en el convertidor para lograr unas mejores prestaciones. Así, se puede plantear la conexión en paralelo en la parte de baja tensión para dividir los esfuerzos en corriente y la conexión en la parte de alta tensión en serie para dividir los esfuerzos en tensión. Un esquema general de la agrupación IPOS puede verse en la Figura 2.15, en el que se ha respetado la nomenclatura presentada para la agrupación IPOP.

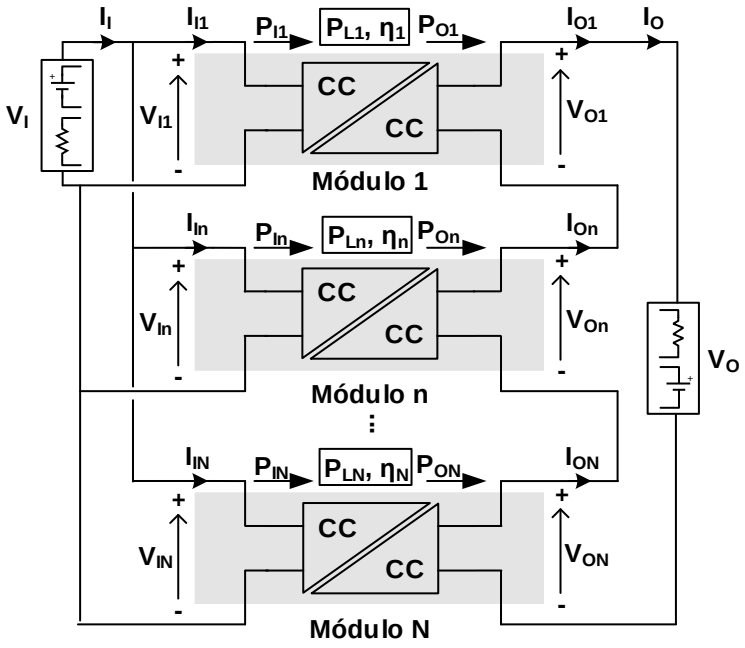


Figura 2.15. Esquema general de la agrupación modular IPOS.

Al igual que en las agrupaciones anteriores, es posible plantear la ecuaciones de diseño de esta agrupación basándose en las condiciones de conexión serie o paralelo. De esta forma:

$$V_I = V_{In} \tag{2.21}$$

$$V_O = \sum_{n=1}^{N} V_{On} \tag{2.22}$$

$$I_I = \sum_{n=1}^{N} I_{In} \tag{2.23}$$

$$I_O = I_{On} \tag{2.24}$$

Teniendo en cuenta estas relaciones, las potencias individuales y el rendimiento de cada módulo quedan definidos como

$$P_{On} = I_{On} \cdot V_{On} = I_O \cdot V_{On} \tag{2.25}$$

$$P_{In} = I_{In} \cdot V_{In} = I_{In} \cdot V_I \tag{2.26}$$

$$\eta_n = \frac{P_{On}}{P_{In}} = \frac{V_{On} \cdot I_O}{V_I \cdot I_{In}} \tag{2.27}$$

El rendimiento total del convertidor modular pude calcularse a partir de las potencias totales de entrada y de salida como

$$\eta_T = \frac{P_O}{P_I} = \frac{I_O \cdot \sum_{n=1}^{N} V_{On}}{V_I \cdot \sum_{n=1}^{N} I_{In}} \tag{2.28}$$

La ecuación (2.28) es válida bajo cualquier condición para la agrupación IPOS. Nuevamente si se aplica la condición de equilibrio (i.e. que cada módulo procese la misma cantidad de potencia), definida como

$$I_{In} = \frac{I_I}{N} \tag{2.29}$$

$$V_{On} = \frac{V_O}{N} \tag{2.30}$$

es posible particularizar (2.28) obteniendo la siguiente expresión del rendimiento total del convertidor modular en función del rendimiento de cada módulo de potencia

$$\eta_T = \frac{I_O \cdot \sum_{n=1}^{N} V_{On}}{V_I \cdot \sum_{n=1}^{N} I_{In}} = \frac{N \cdot I_O \cdot V_{On}}{N \cdot V_I \cdot I_{In}} = \frac{P_{On}}{P_{In}} = \eta_n \tag{2.31}$$

Como ya ocurría con las agrupaciones IPOP y ISOS la ecuación (2.31) establece que en condiciones de equilibrio el rendimiento del convertidor modular coincide con el rendimiento de un módulo de potencia. Este análisis puede aplicarse para la agrupación ISOP, obteniendo el mismo resultado.

Pese a las potenciales ventajas que ofrecen las agrupaciones ISOP o IPOS, el mayor inconveniente de ambas agrupaciones reside en la complejidad de la estrategia de control que se precisa. En este caso, el control debe ocuparse no sólo de la regulación de la tensión de salida (o de la corriente de salida) del convertidor modular, sino que además debe equilibrar las corrientes en la agrupación en paralelo y equilibrar además las tensiones en la parte de conexión serie. Esto implica, en general, N lazos de realimentación adicionales de corriente y N lazos de realimentación adicionales de tensión. Un esquema general de la estrategia de control puede verse en la Figura 2.16. Es coherente suponer de antemano que el diseño de estos lazos de

control, su sintonización y los anchos de banda a conseguir por los reguladores de estos lazos no resultan sencillos de calcular. Son múltiples los ejemplos que se pueden encontrar con soluciones y estudios sobre estos lazos de realimentación [2.52]-[2.57], e incluso es posible encontrar varios trabajos en los que se plantea una posible reducción del número de dichos lazos[2.58]-[2.61] mediante alguna estrategia que logre una ecualización natural, como ocurría con las conexiones ISOS o IPOP. No obstante, pese a aplicar cualquiera de las técnicas mencionadas anteriormente, la complejidad del sistema de control en este tipo de agrupaciones para un convertidor modular es notablemente mayor que para el control planteado de un único convertidor.

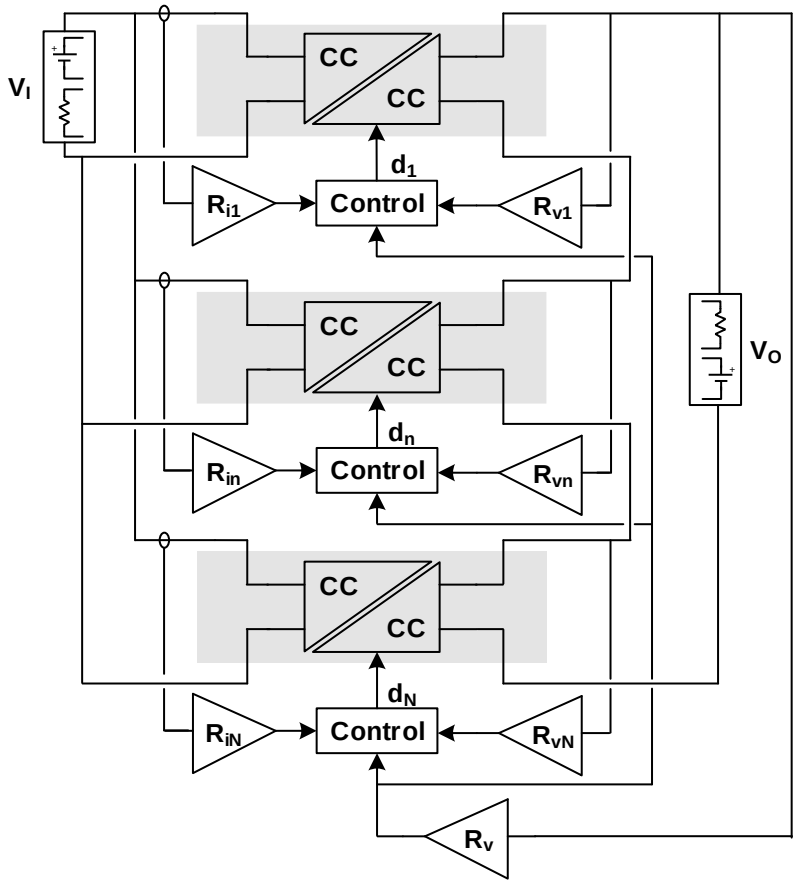


Figura 2.16. Estrategia de control para la agrupación modular IPOS.

Nuevamente cabe mencionar que las agrupaciones ISOP o IPOS son válidas para todas las topologías que presenten aislamiento galvánico. En aquellos casos en los que no hay aislamiento galvánico, este tipo de agrupaciones deben tratarse con cuidado, puesto que tal y como ocurría con la agrupación ISOS, no siempre es posible su uso.

2.2.5. AGRUPACIÓN MODULAR MIXTA

Este último tipo de agrupación rompe con la filosofía habitual establecida hasta ahora. En general, en las agrupaciones IPOP, ISOS o ISOP-IPOS se pretendía que cada módulo manejase una N-ésima parte de la potencia, empleando, generalmente, módulos idénticos para formar la fuente de alimentación. Sin embargo, cuando los rangos de tensión de entrada y de salida y los rangos de potencia son muy variables, es posible plantear agrupaciones modulares en las que se combinen módulos de distintas características, ya sean diferentes topologías para los diferentes módulos de potencia, como el planteado en [2.62], o utilizar una misma topología para el módulo de potencia con objetivos diferentes y, por tanto, comportamientos diferentes, como el analizado en [2.63]. De esta forma, se pueden combinar las prestaciones de cada módulo dando lugar a un convertidor modular más optimizado. En este caso, la estrategia de control también es ligeramente distinta a la planteada en las anteriores agrupaciones, en las que se busca fundamentalmente equilibrar la operación de cada módulo. El control de una agrupación modular mixta busca establecer un mapa de funcionamiento en función de las condiciones de tensión de entrada y de salida y de la potencia que presenta la aplicación en distintas situaciones, para, de esta forma, combinar la operación de aquellos módulos que resulten más eficientes o necesarios según las condiciones de funcionamiento.

Aunque teóricamente existen infinitas combinaciones en el caso de una agrupación modular mixta, aquí se tomará como ejemplo la combinación de tres módulos agrupados como se muestra en la Figura 2.17, para analizar el concepto que propone esta agrupación modular y sus ventajas e inconvenientes. El módulo número 1 se encuentra conectado en cascada con el módulo número 2. A su vez el módulo 3 está conectado con su entrada en paralelo con el módulo 1 y con su salida en serie con el módulo 2. Los módulos 1 y 3 pueden ser topologías sin aislamiento galvánico, mientras que el módulo 2 será un convertidor con aislamiento. Los tres módulos pueden ser concebidos como topologías totalmente diferentes para ilustrar mejor este ejemplo.

Siguiendo el mismo proceso que para las anteriores agrupaciones, es posible plantear las ecuaciones básicas de esta agrupación como

$$V_I = V_{I1} = V_{I3} \tag{2.32}$$

$$V_O = V_{O2} + V_{O3} \tag{2.33}$$

$$I_I = I_{I1} + I_{I3} \tag{2.34}$$

$$I_O = I_{O2} = I_{O3} \tag{2.35}$$

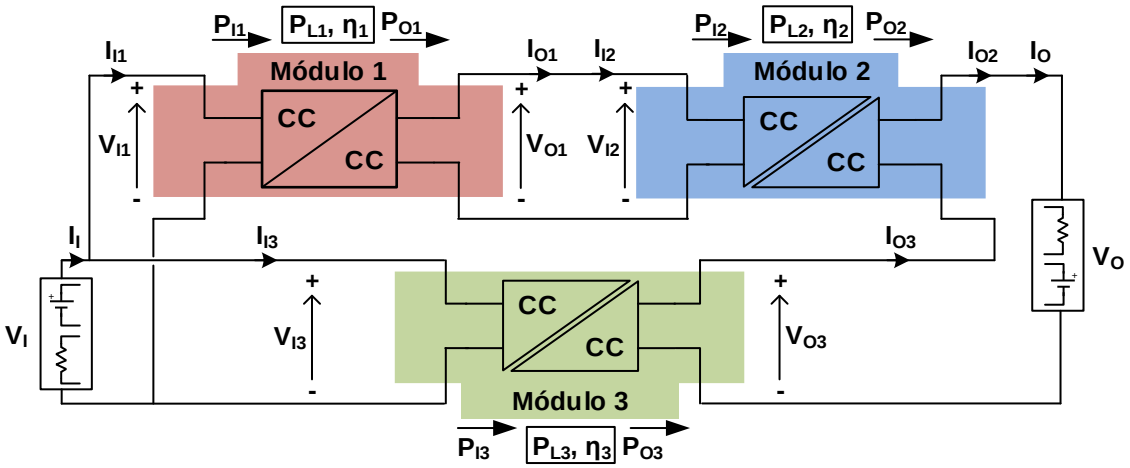


Figura 2.17. Esquema para el ejemplo propuesto con tres módulos de una agrupación modular mixta.

$$V_{O1} = V_{I2} \tag{2.36}$$

$$I_{O1} = I_{I2} \tag{2.37}$$

Por otro lado las potencias individuales que maneja cada módulo pueden calcularse como

$$P_{I1} = V_I \cdot I_{I1} \tag{2.38}$$

$$P_{O1} = V_{O1} \cdot I_{O1} = V_{I2} \cdot I_{I2} = P_{I2} \tag{2.39}$$

$$P_{O2} = V_{O2} \cdot I_O \tag{2.40}$$

$$P_{I3} = V_I \cdot I_{I3} \tag{2.41}$$

$$P_{O3} = V_{O3} \cdot I_O \tag{2.42}$$

A partir de estas relaciones también es posible establecer los rendimientos individuales de cada módulo de potencia, que pueden escribirse como

$$\eta_1 = \frac{P_{O1}}{P_{I1}} = \frac{V_{O1} \cdot I_{O1}}{V_I \cdot I_{I1}} \tag{2.43}$$

$$\eta_2 = \frac{P_{O2}}{P_{I2}} = \frac{V_{O2} \cdot I_O}{V_{O1} \cdot I_{O1}} \tag{2.44}$$

$$\eta_3 = \frac{P_{O3}}{P_{I3}} = \frac{V_{O3} \cdot I_O}{V_I \cdot I_{I3}} \tag{2.45}$$

Por otra parte, el rendimiento del convertidor modular puede calcularse fácilmente teniendo en cuenta las ecuaciones (2.32) a (2.37),

$$\eta_T = \frac{P_O}{P_I} = \frac{V_O \cdot I_O}{V_I \cdot I_I} = \frac{(V_{O2} + V_{O3}) \cdot I_O}{V_I \cdot (I_{I1} + I_{I3})} \tag{2.46}$$

Las expresiones (2.43), (2.44), (2.45) y (2.46) también pueden redefinirse en función de las pérdidas de cada módulo de potencia, de tal forma que se llega a

$$\eta_1 = \frac{P_{I1} - P_{L1}}{P_{I1}} \tag{2.47}$$

$$\eta_2 = \frac{P_{I2} - P_{L2}}{P_{I2}} = \frac{P_{I1} - (P_{L1} + P_{L2})}{P_{I1} - P_{L1}} \tag{2.48}$$

$$\eta_3 = \frac{P_{I3} - P_{L3}}{P_{I3}} \tag{2.49}$$

$$\eta_T = \frac{P_I - P_{LT}}{P_I} = \frac{P_I - (P_{L1} + P_{L2} + P_{L3})}{P_I} \tag{2.50}$$

Todas las expresiones anteriores son válidas para cualquier modo de operación (equilibrado o no) del convertidor modular planteado como ejemplo.

A la vista de este pequeño desarrollo matemático, es evidente que en función de los módulos que se encuentren transfiriendo potencia y de la potencia o tensión que maneje cada módulo, el rendimiento dependerá del punto de funcionamiento de cada módulo. Este punto de funcionamiento vendrá definido por la tensión y la corriente de entrada y la tensión y la corriente de salida que se encuentre manejando el módulo de potencia. Como ya se ha mencionado anteriormente, la estrategia de control en este tipo de agrupación modular se basa en un mapa de funcionamiento, como el que se muestra en la Figura 2.18. Para este ejemplo se ha supuesto que la tensión de salida ha de tener un margen de operación comprendido entre V_{Omin} y V_{Omax}. A su vez, la tensión de entrada puede variar entre un margen de V_{Imin} y V_{Imax}. Estos rangos se han dividido a su vez en distintos puntos de funcionamiento, de forma que sean alcanzables combinando el funcionamiento de cada módulo de potencia. Estos puntos de funcionamiento son V_{O1}, V_{O2}, V_{O3} y V_{O4} para la tensión de salida y V_{I1} para la tensión de entrada.

Cada módulo de potencia tiene tres modos de operación: apagado, proporcionando a su salida la misma tensión de entrada (también llamado en modo *bypass*) o procesando potencia de forma natural al funcionamiento del convertidor (por comodidad, se ha llamado a este modo como módulo conmutando). En función de las tensiones y de las potencias manejadas es posible establecer unas zonas de funcionamiento en los que operen exclusivamente unos módulos en lugar de otros. Así, según el mapa de funcionamiento mostrado en la Figura 2.18 se distinguen cinco zonas de funcionamiento que se resumen en la Tabla 2.3.

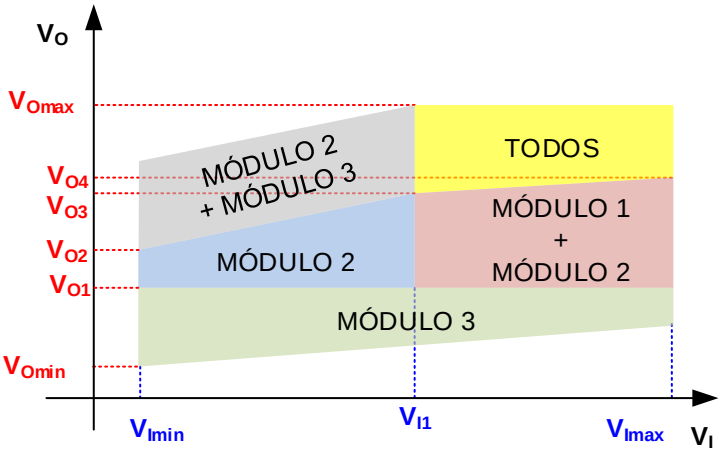


Figura 2.18. Mapa de funcionamiento en función del rango de tensiones para la agrupación modular mixta.

Tabla 2.3. Estado de funcionamiento de cada módulo en función de los rangos de tensión de salida y de entrada para el mapa mostrado en la Figura 2.18.

Tensión de salida [V_O]	Tensión de entrada [V_I]	Módulo 1	Módulo 2	Módulo 3
$V_{Omin} < V_O < V_{O1}$	Todo el rango	Off	Off	Conmutando
$V_{O1} < V_O < V_{O2}$	$V_{Imin} < V_I < V_{I1}$	Bypass	Conmutando	Off
$V_{O2} < V_O < V_{Omax}$	$V_{Imin} < V_I < V_{I1}$	Bypass	Conmutando	Conmutando
$V_{O2} < V_O < V_{O4}$	$V_{I1} < V_I < V_{Imax}$	Conmutando	Conmutando	Bypass
$V_{O3} < V_O < V_{Omax}$	$V_{I1} < V_I < V_{Imax}$	Conmutando	Conmutando	Conmutando

Para cada punto de funcionamiento, es posible optimizar el diseño de cada módulo para una operación optimizada desde el punto de vista del rendimiento. De esta forma, la combinación de los distintos modos de operación en cada punto de funcionamiento definido en el mapa anterior, proporcionan unas mejores prestaciones al convertidor modular basado en esta agrupación mixta que un único convertidor que tenga que operar en todo el rango de funcionamiento. Como es evidente, la flexibilidad y adaptabilidad de este tipo de agrupaciones son las otras dos ventajas claras frente al diseño convencional de un único convertidor. No obstante, la principal desventaja de esta agrupación es la complejidad en el sistema de control. A la vista del sencillo ejemplo desarrollado anteriormente, ya puede observarse que el sistema de control de este convertidor modular resulta ser muy complejo. Se precisa implementar el mapa de funcionamiento comentado anteriormente y los modos de funcionamiento para cada módulo, así como la detección o el cambio de modo en función del punto de trabajo del convertidor modular completo. Es por esto que la complejidad de este tipo de convertidores modulares es incluso mayor que para las agrupaciones comentadas anteriormente y, por supuesto, puede resultar ser incluso mayor que el sistema de control planteado para un único convertidor. Por esta razón, este tipo de agrupación mixta únicamente tiene sentido si el rango de tensiones tanto de entrada como de salida es muy amplio y se precisa que el rendimiento del convertidor sea muy elevado en todo ese rango de operación.

2.3. ESTRATEGIA DE DISEÑO DE UN CONVERTIDOR MODULAR

En el proceso de diseño modular existen al menos cuatro etapas que han de ser cubiertas: la selección del módulo de potencia, el número de módulos, la agrupación o el tipo de conexión de dichos módulos y el control. Todas estas etapas están muy relacionadas entre sí y no es posible disociar la selección de una topología para ser el módulo de potencia sin tener en cuenta la potencia que debe manejar, y ésta puede depender del tipo de control aplicado, el número de módulos seleccionado, etc. Por lo tanto, en la mayoría de los casos se recurre a procedimientos y diseños recursivos o iterativos en los que se alcanza una solución óptima desde el punto de vista de los cuatro factores. Para ello, se tiene como objetivo el cumplimiento de las especificaciones de partida y la optimización de alguna característica crítica para la aplicación en particular (rendimiento, tamaño, etc.).

Pese a que es posible plantear distintas estrategias de diseño modular, aquí se recoge una posible estrategia que cubre las cuatro etapas descritas anteriormente.

2.3.1. SELECCIÓN DE LA AGRUPACIÓN ÓPTIMA

La primera etapa sería la selección del tipo de agrupación o conexión de los módulos de potencia. En el epígrafe anterior se han descrito las cinco posibles opciones que existen para el diseño de un convertidor modular: conexión en cascada, en paralelo (IPOP), en serie (ISOS), serie-paralelo o paralelo-serie (ISOP o IPOS) y mixta. Para la selección de qué agrupación resulta más idónea, puede seguirse un algoritmo de selección similar al mostrado en la Figura 2.19.

Conocidas las especificaciones originales que fija la aplicación para el convertidor modular a diseñar (rango de tensiones, potencias máximas, rangos de variación de tensión y potencia, rendimiento y volumen o peso), es posible discernir entre los cinco casos de agrupaciones comentados. En primer lugar, como ya se ha comentado anteriormente, la agrupación en cascada únicamente tiene sentido si el ratio de conversión es muy elevado (i.e. si el nivel de la tensión de salida está muy alejado del nivel de tensión de entrada). Nuevamente, conviene recordar que esta agrupación modular no escala la potencia que debe manejar cada módulo de potencia en función del número de módulos utilizado, por lo que no es posible establecer unas leyes de escala que ayuden al diseño de la misma, como ocurre en el resto de casos.

En segundo lugar, si, tanto el rango de tensiones de entrada y de salida, como el rango de potencia a cumplir son muy amplios, la agrupación más conveniente resulta ser una agrupación mixta que combine las anteriores. La flexibilidad que aporta la agrupación modular mixta permite

plantear un diseño más ajustado a los rangos de funcionamiento de las especificaciones del convertidor. No obstante, hay que destacar que la agrupación mixta resulta ser la más compleja de todas, por lo que se recomienda plantear originalmente cualquier otro tipo de agrupación antes que la agrupación mixta, que queda relegada así como la solución final en caso de que ninguna de las restantes cumpla con los requisitos fijados.

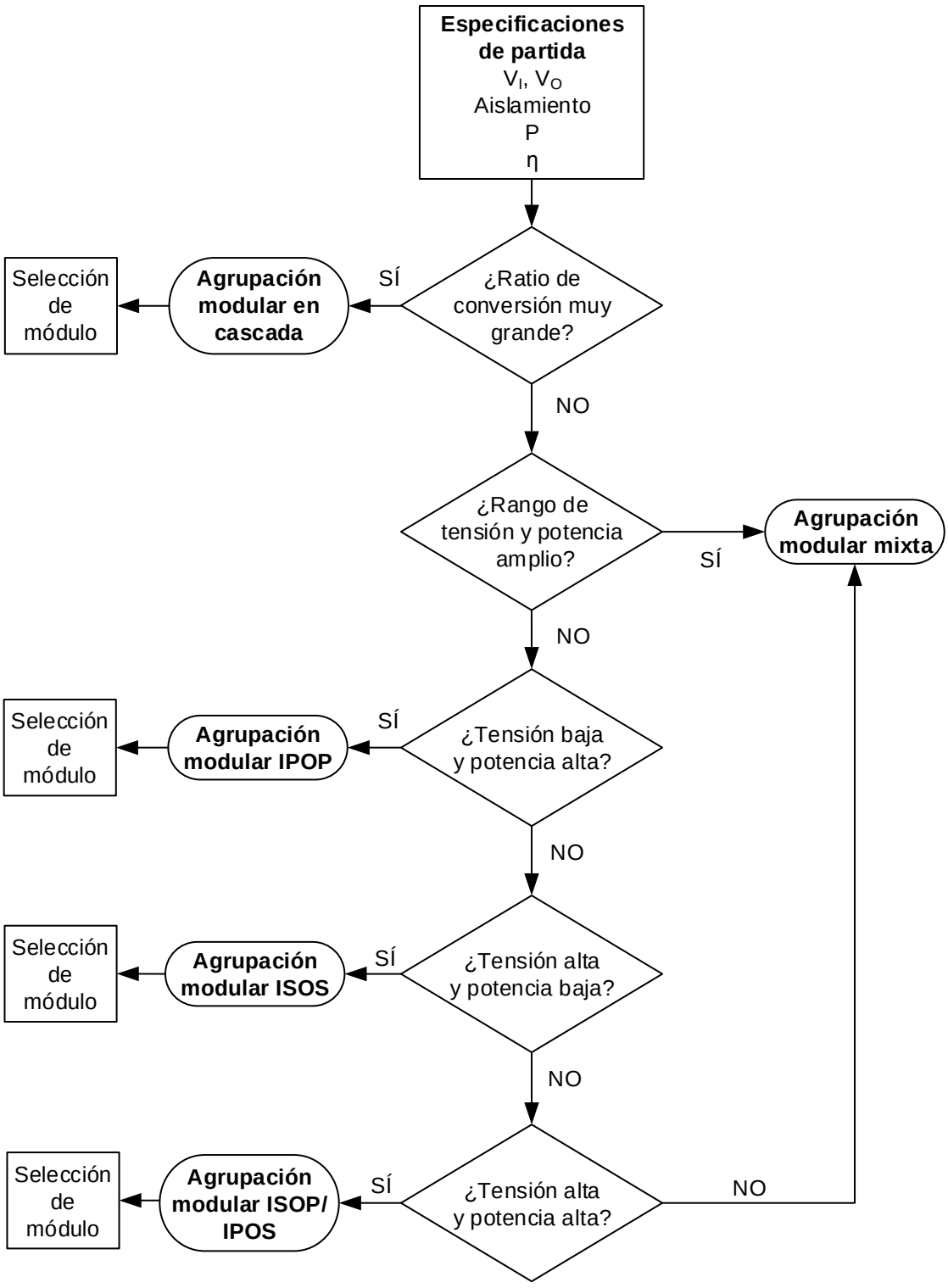


Figura 2.19. Algoritmo de selección del tipo de agrupación modular.

En tercer lugar, cabe preguntarse si los niveles de corriente a manejar son muy elevados. Generalmente, esta situación se da cuando la tensión de entrada y de salida son relativamente bajas y el nivel de potencia es elevado (e.g. una tensión de entrada de 200V, una tensión de salida de 400V y un nivel de potencia de 50kW). En este caso, la agrupación en paralelo (IPOP) resulta aportar más ventajas que el resto, puesto que, como ya se ha mencionado anteriormente, es posible escalar la corriente que maneja cada módulo de potencia, de lo que se derivan todas las ventajas ya comentadas en el apartado anterior. Puede ocurrir el caso contrario, que las tensiones de salida o de entrada o ambas sean muy elevadas, pero que la potencia no lo sea (e.g. tensión de entrada de 800V, tensión de salida de 1500V y 1kW de potencia). En tales casos, la agrupación serie (SISO) es la más adecuada para aprovechar todas las ventajas que aporta esta conexión en el convertidor modular resultante, habida cuenta de las leyes de escala analizadas en el capítulo anterior.

Un cuarto caso se da cuando se combinan las condiciones anteriores. En determinadas aplicaciones es habitual encontrarse con niveles de tensión de entrada relativamente bajos, pero niveles de tensión de salida relativamente altos (o viceversa), y un nivel de potencia alto. Por ejemplo, una tensión de entrada de 48V, una tensión de salida de 1200V y una potencia de 10kW. En este tipo de aplicaciones, la agrupación modular ISOP o IPOS resulta ser la más adecuada, para poder combinar las ventajas de las dos agrupaciones anteriores. Si no se cumple con ninguna de las condiciones anteriormente descritas, restaría el planteamiento de diseño bajo una agrupación modular mixta, como último recurso para el diseño de un convertidor modular.

Es importante destacar que un convertidor modular siempre tiene una serie de ventajas inherentes a las leyes de escala que se aplican en su diseño (como las ya estudiadas anteriormente respecto a la reducción en las pérdidas tanto de conducción como de conmutación en los semiconductores). Es por esto que, en determinadas aplicaciones, aunque los niveles de tensión o potencia no sean considerados como altos, también es posible seleccionar una agrupación modular en base a las propiedades descritas en el anterior apartado. Sirva el siguiente ejemplo para ilustrar esta situación. Supóngase que la tensión de salida es 600V en una aplicación dada. Si se plantea el diseño de un convertidor cuya tensión de salida llegue a los 600V, los transistores a emplear deberán tener al menos una tensión de ruptura del orden de 800V. Como ya se puso de manifiesto en el análisis de los transistores MOSFET mostrado en la Figura 2.2, existe un salto tecnológico muy importante entre los transistores MOSFET de 800V y los transistores MOSFET de 600V, en cuanto a parámetros característicos del propio transistor. Es por esto que, para esta tensión de salida de 800V, aun no siendo una tensión muy elevada, puede aplicarse una agrupación SISO para aprovechar las ventajas en la utilización de transistores MOSFET de 600V. Por lo tanto, el acceso a mejores dispositivos debe también

tenerse en cuenta a la hora de aplicar el tipo de agrupación óptima para el diseño del convertidor modular.

2.3.2. SELECCIÓN DEL MÓDULO DE POTENCIA Y DEL NÚMERO ÓPTIMO DE MÓDULOS

Una vez que se ha fijado el tipo de conexión a implementar, es posible definir el módulo de potencia y el número de módulos que mejor se adecúen al tipo de conexión seleccionado y las especificaciones de partida de la aplicación. En este caso se plantea un posible algoritmo de selección iterativo como el mostrado en la Figura 2.20. Se selecciona un módulo de potencia en función del tipo de conexión escogido anteriormente. Se establece un cálculo previo del rendimiento del convertidor modular completo, así como otros parámetros de optimización como son el volumen, el peso o el coste. Si no se satisfacen las especificaciones fijadas por la aplicación, se incrementa el número de módulos y se vuelve a plantear la selección del módulo de potencia en función de ese incremento en su número. Esta iteración finaliza bien cuando no es posible mejorar los parámetros del módulo de potencia incrementando el número de módulos (N_{opt}) o bien cuando no es posible satisfacer alguna de las especificaciones de partida de la aplicación. En este último caso se volvería a plantear el algoritmo de selección de conexiones tal y como se ha descrito anteriormente. Es importante destacar que el módulo de potencia ha de ser, en general, sencillo, robusto y con un buen rendimiento. Estas condiciones se fijan para que, teóricamente, no se penalice el incremento de módulos (que es la base de este algoritmo) con respecto a una versión con menos módulos o uno sólo, atendiendo a otros parámetros que no se están teniendo en cuenta en esta propuesta, como son: la complejidad del control, la robustez, el coste, etc. Por lo tanto, la sencillez prima en los diseño modulares dado que repercute directamente en el número de elementos necesarios en el convertidor y por lo tanto, en el coste y el volumen. Por otro lado, la robustez, que es uno de los parámetros que no se tienen en cuenta en este algoritmo, también se ve optimizada cunado se usan como módulos de potencia topologías muy conocidas que han sido utilizadas masivamente como convertidores individuales en distintas aplicaciones, y resulta poco frecuente encontrarse con nuevas topologías o variantes planteadas como módulos. El buen rendimiento del módulo de potencia está relacionado directamente con el rendimiento global del conjunto del convertidor modular, así como del volumen y del peso, pues menores pérdidas se traducen en disipadores térmicos más pequeños. Así pues, estos dos parámetros se suman a los ya conocidos de las especificaciones de partida, para decidir el tipo de conexionado y el número de elementos para la selección del módulo de potencia.

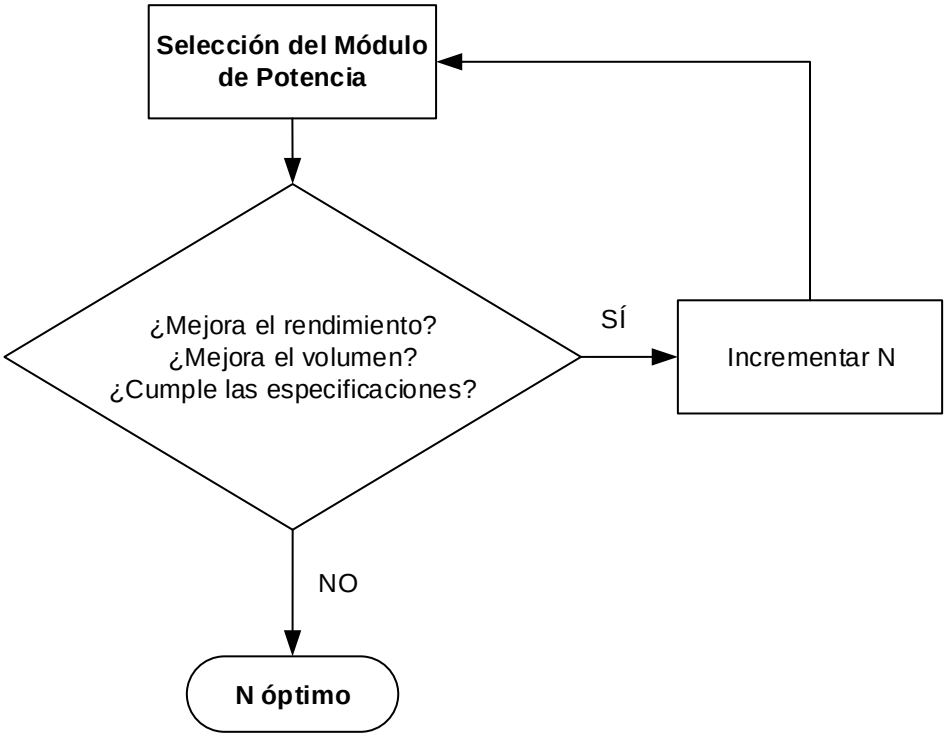


Figura 2.20. Algoritmo de optimización del número de módulos N.

2.3.3. SELECCIÓN DEL CONTROL

La última etapa de la estrategia de diseño modular propuesta aquí es la selección del tipo de control. Como ya se ha mencionado, el control del convertidor modular no sólo debe realizar las tareas clásicas del algoritmo de control del convertidor (esencialmente, gobernando los transistores adecuadamente para garantizar la regulación de tensiones y/o corrientes con una determinada dinámica), sino que además, debe ocuparse de otra serie de tareas que están relacionadas con el trabajo en conjunto de los módulos de potencia. Las funcionalidades adicionales del sistema de control dependerán en gran medida de la complejidad de la aplicación y vendrán impuestas por las especificaciones y la selección del tipo de agrupación, pero entre las tareas que debe realizar el control de un sistema de alimentación modular están el equilibrado tanto de tensiones como de corrientes (i.e. que cada módulo trabaje en un punto óptimo de funcionamiento, como el planteado en [2.64]), sistemas de tolerancia fallos (tales como el apagado selectivo de módulos, también mencionado en [2.64]) o sistemas complejos de optimización del rendimiento en función de las tensiones o de la potencia de operación (como por ejemplo, estrategias de encendido selectivo, cambio del modo de operación de un módulo en determinadas situaciones o implementación de un mapa de operación en función de la potencia procesada, como los planteados en [2.65]). Es obvio que el control de un convertidor modular a todos los niveles depende del módulo de potencia seleccionado, del número de módulos empleados y del tipo de conexión realizada, pudiendo variar notablemente en función del cambio

de alguna de las características anteriores. Así mismo, es posible que en términos del control no sea posible satisfacer alguna de las especificaciones de partida, o bien sea demasiado complejo implementar una determinada funcionalidad, lo que obligaría a replantearse el diseño modular desde el principio.

2.4. REFERENCIAS

[2.1] Xiaoxiong Zhong; Lo, V.; Rajopadhye, S., "Optimal implementation of parallel divide-and-conquer algorithms on de Bruijn networks," *Frontiers of Massively Parallel Computation, 1992., Fourth Symposium on the*, vol., no., pp.583,585, 19-21 Oct 1992.

[2.2] Posner, Eric A. and Spier, Kathryn E. and Vermeule, Adrian, "Divide and Conquer" (May 26, 2009). U of Chicago Law & Economics, Olin Working Paper No. 467; Harvard Public Law Working Paper No. 09-24; Harvard Law and Economics Discussion Paper No. 639.

[2.3] K.H. Chen, G-S. Huang, C.L. Lu, R. C-T. Lee, "A Multidimensional Divide-and-Conquer Algorithm for Assigning Secondary Structures in Proteins," *26th Workshop on Combinational Mathematics and Computation Theory,* pp. 1-8, Jun. 2009.

[2.4] H. Thai, O. Deleage, H. Chazal, Y. Lembeye, R. Rolland and J.-C. Crebier, "Design of Modular Converters; Survey and Introduction to Generic Approaches," *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE,* pp. 1427-1433, Feb. 2009.

[2.5] Kasper, M.; Bortis, D.; Kolar, J.W., "Scaling and balancing of multi-cell converters," *Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE-ASIA), 2014 International*, pp.2079-2086, May 2014.

[2.6] W. Chen, X. Ruan, H. Yan and C. Tse, "DC/DC Conversion Systems Consisting of Multiple Converter Modules: Stability, Control, and Experimental Verifications," *Power Electronics, IEEE Transactions on,* vol. 24, no. 6, pp. 1463-1474, June 2009.

[2.7] S. Thomas, M. Stieneker and R. De Doncker, "Development of a modular high-power converter system for battery energy storage systems," *," Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on,* pp. 1-10, Sept. 2011.

[2.8] U. Viscarret, I. Etxeberria-Otadui, J. M. Azurmendi, J. San-Sebastian, T. Nieva and U. Larranaga, "Design of power electronic building blocks (PEBB) for multiMW modular traction converters," *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE,* pp. 4217-4222, Sept. 2010.

[2.9] I. Colak and N. Tuncay, "High current, low voltage modular power converter for lead acid battery charging," *Sustainable Energy Technologies, 2008. ICSET 2008. IEEE International Conference on,* pp. 1042-1046, Nov. 2008.

[2.10] Hedel, K.K., "High-Density Avionic Power Supply," *Aerospace and Electronic Systems, IEEE Transactions on*, vol.AES-16, no.5, pp.615,619, Sept. 1980.

[2.11] Shortt, D.Jeff; Michael, Wayne T.; Avant, Roger L.; Palma, R.E., "A 600-W Four-Stage Phase-Shifted-Parallel DC-to-DC Converter," *Power Electronics, IEEE Transactions on*, vol.PE-2, no.2, pp.101,108, April 1987.

[2.12] Zhang, M.T.; Jovanovic, M.M.; Lee, F.C., "Design considerations for low-voltage on-board DC/DC modules for next generations of data processing circuits," *Power Electronics, IEEE Transactions on*, vol.11, no.2, pp.328,337, Mar. 1996.

[2.13] Pit-Leong Wong; Lee, F.C.; Xunwei Zhou; Chen, D.Y., "VRM transient study and output filter design for future processors," *Industrial Electronics Society, 1998. IECON '98. Proceedings of the 24th Annual Conference of the IEEE*, vol.1, no., pp.410,415 vol.1, 31 Aug-4 Sep 1998.

[2.14] Xunwei Zhou; Pit-Leong Wong; Peng Xu; Lee, F.C.; Huang, A.Q., "Investigation of candidate VRM topologies for future microprocessors," *Power Electronics, IEEE Transactions on*, vol.15, no.6, pp.1172,1182, Nov 2000.

[2.15] Catálogo de transistores MOSFET de Infineon. Online: http://goo.gl/2wvhgN. Fecha de última consulta: 25/11/2014.

[2.16] R. Button, P. Kascak and R. Lebron-Velilla, "Digital control technologies for modular DC-DC converters," *Aerospace Conference Proceedings, 2000 IEEE,* vol. 5, pp. 355-362, 2000.

[2.17] I. Batarseh, K. Siri and H. Lee, "Investigation of the output droop characteristics of parallel-connnected DC-DC converters," *Power Electronics Specialists Conference, PESC '94 Record., 25th Annual IEEE,* vol. 2, pp. 1342-1351 , Jun 1994.

[2.18] Yeh Ting; Kewei Huang; Ferreira, J.A., "Digital control of IGBTs for module shutdown in input-series and output-parallel connected modular DC-DC converter," *Power Electronics and Applications (EPE'14-ECCE Europe), 2014 16th European Conference on*, vol., no., pp.1-9, Aug. 2014.

[2.19] Yang Zhang; Zane, R.; Maksimovic, D., "System Modeling and Digital Control in Modular Masterless Multi-phase DC-DC Converters," *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*, vol., no., pp.1-7, June 2006.

[2.20] Zhang, Y.; Zane, R.; Maksimovic, D., "Current Sharing in Digitally Controlled Masterless Multi-phase DC-DC Converters," *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, vol., no., pp.2722-2728, June 2005.

[2.21] Kelly, A.; Rinne, K.; O'Malley, E., "Masterless multirate control of parallel DC-DC converters," *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, vol., no., pp.2189-2193, Feb. 2010.

[2.22] Rodriguez, A.; Vazquez, A.; Lamar, D.G.; Hernando, M.M., "Three-port power electronic system for energy storage and recovery using a parallel connection of a power factor corrector boost and a dual active bridge," *Power Electronics and Motion Control Conference (EPE/PEMC), 2012 15th International*, vol., no., pp.LS7d.4-1-LS7d.4-8, Sept. 2012.

[2.23] Orabi, M.; Ninomiya, T., "A unified design of single-stage and two-stage PFC converter," *Power Electronics Specialist Conference, 2003. PESC '03. 2003 IEEE 34th Annual*, vol.4, no., pp.1720,1725 vol.4, 15-19 June 2003.

[2.24] Orabi, M.; Ninomiya, T., "Stability investigation of the cascade two-stage PFC converter," *Telecommunications Energy Conference, 2003. INTELEC '03. The 25th International*, vol., no., pp.565,572, 23-23 Oct. 2003.

[2.25] Lee, F.C.; Shuo Wang; Ming Xu; Bing Lu; Chuanyun Wang; Pengju Kong, "Optimized Design of Distributed Power Systems for High Efficiency, High Power Density and Low EMI Noise," *Telecommunications Energy Conference, 2006. INTELEC '06. 28th Annual International*, vol., no., pp.1,12, Sept. 2006.

[2.26] Sebastian, J.; Lamar, D.G.; Hernando, M.M.; Rodriguez, M.; Fernandez, A., "Average Small-Signal Modelling of the Power Stage of Power Factor Correctors with a Fast Output-Voltage Feedback Loop," *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*, vol., no., pp.998,1004, 15-19 Feb. 2009

[2.27] Arias, M.; Lamar, D.G.; Vazquez, A.; Sebastian, J.; Balocco, D.; Diallo, A., "Analysis of the switching process in the Asymmetrical Half-Bridge converter for street led-lighting applications," *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, vol., no., pp.1210,1217, 5-9 Feb. 2012.

[2.28] Arias, M.; Lamar, D.G.; Sebastian, J.; Balocco, D.; Diallo, A., "High-efficiency LED driver without electrolytic capacitor for street lighting," *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, vol., no., pp.1224,1231, 5-9 Feb. 2012.

[2.29] Ghatpande, N.D.; Anand, A., "50W DC-DC converter — Cascaded Buck current fed Push-Pull topology with Average Current Mode Control," *Power Electronics, Drives and Energy Systems (PEDES), 2012 IEEE International Conference on*, vol., no., pp.1,6, 16-19 Dec. 2012.

[2.30] Walker, G.R.; Pierce, J.C., "PhotoVoltaic DC-DC Module Integrated Converter for Novel Cascaded and Bypass Grid Connection Topologies — Design and Optimisation," *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*, vol., no., pp.1,7, 18-22 June 2006.

[2.31] Bratcu, A.I.; Munteanu, I.; Bacha, S.; Picault, D.; Raison, B., "Power optimization strategy for cascaded DC-DC converter architectures of photovoltaic modules," *Industrial Technology, 2009. ICIT 2009. IEEE International Conference on*, vol., no., pp.1,8, 10-13 Feb. 2009.

[2.32] El Khateb, A.H.; Rahim, N.A.; Selvaraj, J., "Cascaded DC-DC Converters as a Battery Charger and Maximum Power Point Tracker for PV Systems," *Renewable and Sustainable Energy Conference (IRSEC), 2013 International*, vol., no., pp.426,429, 7-9 March 2013.

[2.33] Rahimi, A.M.; Khaligh, A.; Emadi, A., "Design and Implementation of an Analog Constant Power Load for Studying Cascaded Converters," *IEEE Industrial Electronics, IECON 2006 - 32nd Annual Conference on*, vol., no., pp.1709,1714, 6-10 Nov. 2006.

[2.34] Hao Wang; Jinjun Liu; Runxin Wang, "Stability issue and corresponding design considerations in a system of cascaded bidirectional DC-DC Converters," *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, vol., no., pp.2813,2818, 15-19 June 2008.

[2.35] Ahmadi, R.; Ferdowsi, M., "Controller design method for a cascaded converter system comprised of two DC-DC converters considering the effects of mutual interactions," *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, vol., no., pp.1838,1844, 5-9 Feb. 2012.

[2.36] Rosekeit, M.; Joebges, P.; Lelie, M.; Sauer, D.U.; De Doncker, R.W., "Undersampling control of a bidirectional cascaded buck+boost dc-dc converter," *Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE-ASIA), 2014 International*, vol., no., pp.2729,2736, 18-21 May 2014.

[2.37] Cai, Wen; Fahimi, Babak; Cosoroaba, Eva; Yi, Fan, "Stability analysis and voltage control method based on virtual resistor and proportional voltage feedback loop for cascaded DC-DC converters," *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, vol., no., pp.3016,3022, 14-18 Sept. 2014.

[2.38] Cong Wang; Guang-lin Sha; Jun Wang; Yang-yang Chen; Hong Cheng, "Control of modular multilevel transformerless cascaded bidirectional converters," *Transportation Electrification Asia-Pacific (ITEC Asia-Pacific), 2014 IEEE Conference and Expo*, vol., no., pp.1,6, Aug. 31 2014-Sept. 3 2014.

[2.39] S. Luo, Z. Ye, R.-L. Lin and F. Lee, "A classification and evaluation of paralleling methods for power supply modules," *Power Electronics Specialists Conference, 1999. PESC 99. 30th Annual IEEE,* vol. 2, pp. 901-908, 1999.

[2.40] M. Li, C. Tse, H.-C. Iu and X. Ma, "Unified Equivalent Modeling for Stability Analysis of Parallel-Connected DC/DC Converters," *Circuits and Systems II: Express Briefs, IEEE Transactions on,* vol. 57, no. 11, pp. 898-902 , Nov. 2010.

[2.41] H. Zhou, T. Duong, S. T. Sing and A. Khambadkone, "Interleaved bi-directional Dual Active Bridge DC-DC converter for interfacing ultracapacitor in micro-grid application," *Industrial Electronics (ISIE), 2010 IEEE International Symposium on,* pp. 229-2234, July 2010.

[2.42] O. Garcia, P. Zumel, A. de Castro and A. Cobos, "Automotive DC-DC bidirectional converter made with many interleaved buck stages," *Power Electronics, IEEE Transactions on,* vol. 21, no. 3, pp. 578-586, May 2006.

[2.43] G. Shuqiu, Y. Ming, D. Xiying and H. Bin, "Research of interleaved three-phase bidirectional DC/DC converter based on control type soft switching," *Electrical Machines and Systems, 2008. ICEMS 2008. International Conference on,* pp. 1738-1741, Oct. 2008.

[2.44] J.-S. Lai, B. York, A. Koran, Y. Cho, B. Whitaker and H. Miwa, "High-efficiency design of multiphase synchronous mode soft-switching converter for wide input and load range," *Power Electronics Conference (IPEC), 2010 International,* pp. 1849-1855, June 2010.

[2.45] H. Nagaraja, A. Patra and D. Kastha, "Design optimization of coupled inductor multiphase synchronous buck converter," *Industrial Technology, 2005. ICIT 2005. IEEE International Conference on,* pp. 744-749, Dec. 2005.

[2.46] D. Sha, Z. Guo, T. Luo and X. Liao, "A General Control Strategy for Input-Series–Output-Series Modular DC–DC Converters," *Power Electronics, IEEE Transactions on,* vol. 29, no. 7, pp. 3766-3775 , July 2014.

[2.47] D. Sha, K. Deng and X. Liao, "Duty Cycle Exchanging Control for Input-Series-Output-Series Connected Two PS-FB DC-DC Converters," *Power Electronics, IEEE Transactions on,* vol. 27, no. 3, pp. 1490-1501 , March 2012.

[2.48] Y. Huang, C. Tse and X. Ruan, "General Control Considerations for Input-Series Connected DC/DC Converters," *Circuits and Systems I: Regular Papers, IEEE Transactions on,* vol. 56, no. 6, pp. 1286-1296, June 2009.

[2.49] Q. Lu, Z. Yang, S. Lin, S. Wang and C. Wang, "Research on voltage sharing for input-series-output-series phase-shift full-bridge converters with common-duty-ratio," *IECON 2011 - 37th Annual Conference on IEEE Industrial Electronics Society ,* pp. 1548-1553, Nov. 2011.

[2.50] J. van der Merwe and H. du T Mouton, "An investigation of the natural balancing mechanisms of modular input-series-output-series DC-DC converters," *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE,* pp. 817-822, Sept. 2010.

[2.51] C. Fernandez, P. Zumel, A. Lazaro, M. Sanz and A. Barrado, "Simple design strategy for modular input-series output-series converters," *Control and Modeling for Power Electronics (COMPEL), 2013 IEEE 14th Workshop on,* pp. 1-9, June 2013.

[2.52] R. Ayyanar, R. Giri and N. Mohan, "Active input-voltage and load-current sharing in input-series and output-parallel connected modular DC-DC converters using dynamic input-voltage reference scheme," *Power Electronics, IEEE Transactions on,* vol. 19, no. 6, pp. 1462-1473, Nov. 2004.

[2.53] T. Fang, X. Ruan and C. Tse, "Control strategy of achieving input voltage sharing and output voltage sharing for input-series-output-series inverters system," *Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE ,* pp. 908-9015, Sept. 2009.

[2.54] X. Ruan, L. Cheng and T. Zhang, "Control Strategy for Input-Series Output-Paralleled Converter," *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE,* pp. 1-8, June 2006.

[2.55] W. Chen, G. Wang, X. Ruan, W. Jiang and W. Gu, "Wireless Input-Voltage-Sharing Control Strategy for Input-Series Output-Parallel (ISOP) System Based on Positive Output-Voltage Gradient Method," *Industrial Electronics, IEEE Transactions,* vol. 61, no. 11, pp. 6022-6030, Nov. 2014.

[2.56] D. Sha, Z. Guo and X. Liao, "Cross-Feedback Output-Current-Sharing Control for Input-Series-Output-Parallel Modular DC–DC Converters," *Power Electronics, IEEE Transactions on,* vol. 25, no. 11, pp. 2762-2771 , Nov. 2010.

[2.57] J. Kimball, J. Mossoba and P. Krein, "A Stabilizing, High-Performance Controller for Input Series-Output Parallel Converters," *Power Electronics, IEEE Transactions on,* vol. 23, no. 3, pp. 1416-1427 , May 2008.

[2.58] S.-J. Chen, S.-P. Yang and M.-F. Cho, "Analysis and design of an interleaved series input parallel output ZVS forward converter," *Power Electronics and Drive Systems, 2009. PEDS 2009. International Conference on,* pp. 175-180, Nov. 2009.

[2.59] H. Liu, J. Zhao and K. Qu, "Interleaved series input parallel output zero-voltage-switching converter," *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE,* pp. 4900-4904, Sept. 2013.

[2.60] P. Zumel, L. Ortega, A. Lazaro, C. Fernandez, A. Barrado, A. Rodriguez and M. Hernando, "Modular dual active bridge converter architecture," *Applied Power Electronics Conference and Exposition (APEC), 2014 Twenty-Ninth Annual IEEE,* pp. 1081-1087, March 2014.

[2.61] W. van der Merwe and T. Mouton, "Natural balancing of the two-cell back-to-back multilevel converter with specific application to the solid-state transformer concept," *Industrial Electronics and Applications, 2009. ICIEA 2009. 4th IEEE Conference on,* pp. 2955-2960, May 2009.

[2.62] Chen, Hua; Sabi, Kamal; Kim, Hyeokjin; Harada, Tadakazu; Erickson, Robert; Maksimovic, Dragan, "A 98.7% efficient composite converter architecture with application-tailored efficiency characteristic," *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, vol., no., pp.5774,5781, 14-18 Sept. 2014.

[2.63] Haihua Zhou; Bhattacharya, T.; Duong Tran; Siew, T.S.T.; Khambadkone, A.M., "Composite Energy Storage System Involving Battery and Ultracapacitor With Dynamic Energy Management in Microgrid Applications," *Power Electronics, IEEE Transactions on*, vol.26, no.3, pp.923,930, March 2011.

[2.64] Waffler, S.; Kolar, J.W., "Efficiency optimization of an automotive multi-phase bi-directional DC-DC converter," *Power Electronics and Motion Control Conference, 2009. IPEMC '09. IEEE 6th International*, vol., no., pp.566,572, 17-20 May 2009.

[2.65] Sakka, M.A.; Van Mierlo, J.; Gualous, H., "Efficiency optimization of a 30KW interleaved 4-channels DC/DC converter with variable number of active channels," *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, vol., no., pp.1,8, Aug. 30 2011-Sept. 1 2011.

3 EL CONVERTIDOR ELEVADOR SÍNCRONO COMO MÓDULO DE POTENCIA

El capítulo tres de esta tesis se ha dedicado al análisis del convertidor elevador síncrono como módulo de potencia. Tras una breve justificación de la selección de este convertidor como módulo de potencia en base a sus características, se presenta el modo QSW-ZVS para el convertidor elevador síncrono, analizando brevemente sus principales características. El capítulo se ha dividido en cuatro partes. En la primera parte, se presenta el análisis estático del convertidor elevador síncrono QSW-ZVS. En este apartado se detallarán las principales formas de onda del convertidor operando en este modo, la relación de transformación alcanzada y la variación de sus principales parámetros de funcionamiento con las tensiones de entrada y de salida y con la potencia procesada. Para finalizar esta parte, también se incluye un desglose de las pérdidas del convertidor operando en este modo de funcionamiento. Dadas las especiales características del modo QSW-ZVS, en la segunda parte de este capítulo se presenta un análisis de las pérdidas en la inductancia y un posible diseño optimizado de la misma. Posteriormente, la tercera parte del capítulo se ha dedicado al análisis dinámico del convertidor elevador síncrono QSW-ZVS operando a frecuencia variable, utilizando el método de la corriente inyectada. Como parte de este apartado también se recoge una interpretación del comportamiento dinámico del convertidor, comparándolo con el modelo dinámico del mismo operando en modo de conducción límite. Por último, en la cuarta parte del capítulo se presenta el control directo de frecuencia variable propuesto como estrategia de control para este convertidor operando en QSW-ZVS. Los análisis presentados se han corroborado con resultados simulados y experimentales.

3.1. JUSTIFICACIÓN

Como ya se ha mencionado en los dos capítulos previos, el hilo conductor de esta tesis se centra en la aplicación de estrategias de diseño modulares a fuentes de alimentación para aplicaciones bidireccionales. En la Figura 3.1 se vuelve a mostrar el esquema general del convertidor modular planteado como marco de aplicación de esta tesis.

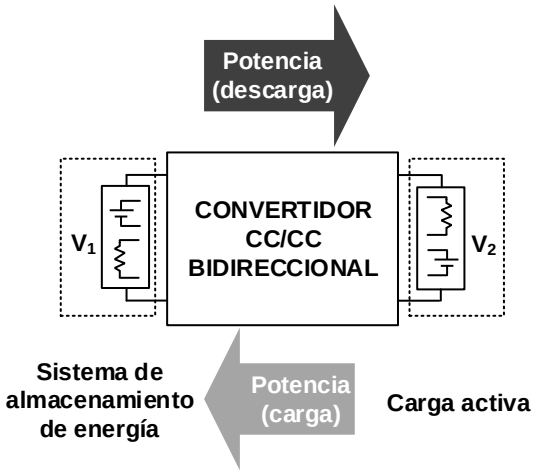


Figura 3.1. Esquema genérico del convertidor modular a diseñar.

En el capítulo 1 de esta tesis, se han fijado unas especificaciones concretas en relación a las tensiones del sistema de almacenamiento y de la carga activa, así como del nivel de potencia tanto en carga como en descarga. El objetivo es realizar una comparativa justa del estado del arte de topologías CC/CC bidireccionales. En el presente capítulo se mantendrán estas mismas especificaciones para el análisis del módulo de potencia. La tensión del sistema de almacenamiento, V_1, se ha fijado en 150V. La tensión de la carga activa, V_2, se ha fijado en 400V. La potencia máxima tanto en el sentido de carga como en el de descarga será de 500W. Por lo tanto, es posible mantener las conclusiones obtenidas en la comparativa presentada en el capítulo 1 de esta tesis.

Teniendo en cuenta el estado del arte presentado anteriormente y estas especificaciones, es posible justificar la selección del convertidor elevador síncrono como módulo de potencia. En primer lugar, no se precisa un aislamiento galvánico. Aunque sería posible utilizar una topología con aislamiento galvánico, el uso de un transformador encarece el coste y aumenta la complejidad del módulo de potencia. Dentro de las topologías sin asilamiento galvánico, el convertidor elevador síncrono es la opción más sencilla y de menor coste. El convertidor elevador-reductor en cascada sería una segunda opción, pero dado que siempre se precisa elevar (o reducir) tensión, dependiendo del sentido del flujo de potencia, queda descartada frente a la sencillez del primero.

Además de la sencillez, el bajo coste y la adecuación a las especificaciones impuestas, el convertidor elevador síncrono puede conectarse tanto en paralelo como en serie. La conexión en paralelo IPOP ha sido tradicionalmente utilizada en muy diversas aplicaciones, mientras que una posible conexión en serie ISOS se ha planteado en [3.1] modificando ligeramente la topología original.

Otra ventaja adicional de esta topología es que el rizado de corriente que circula por el sistema de almacenamiento es menor que en otros convertidores. Esto se debe a la posición de la inductancia y permite reducir dichos rizados. De esta forma, se relajan las solicitaciones del posible filtro de entrada, pudiendo incluso prescindir del mismo en determinadas condiciones de trabajo.

La última ventaja que posee este convertidor es que es fácilmente adaptable a un módulo CA/CC. Es bien conocido que el convertidor elevador es una de las topologías más utilizadas como convertidor CA/CC con Corrección del Factor de Potencia (CFP) [3.2]-[3.10], pudiendo llegar a operar, en determinados modos de funcionamiento, como un emulador de resistencia de manera “natural” (i.e. su tensión y corriente de entrada son proporcionales). Pese a que en el contexto general de esta tesis no se han planteado las conversiones CA/CC bidireccionales, conviene destacar la ventaja que ofrece esta topología en el caso de que se desee utilizar un único módulo de potencia en uno (o varios) convertidores modulares en una arquitectura multi-puerto con diferentes conversiones en el formato de la energía eléctrica (e.g. CC/CC o CA/CC). De esta forma, se usaría la misma etapa de potencia para todos los convertidores involucrados en la arquitectura del sistema de alimentación, cambiando su funcionamiento y su control dependiendo del tipo de conversión CC/CC o CA/CC.

Pese a estas ventajas, también conviene recordar las desventajas que tiene el convertidor elevador bidireccional síncrono. La principal es que el comportamiento dinámico del convertidor cambia en función del sentido del flujo de potencia. Como ya se ha comentado anteriormente, el convertidor elevador se modela como un sistema de segundo orden con un cero en el semi-plano positivo, a diferencia de su comportamiento como reductor (i.e. en el otro sentido del flujo de potencia), que se modela también como un sistema de segundo orden pero sin el cero en el semi-plano positivo. Este hecho repercute en el diseño del regulador del lazo de realimentación, siendo más exigente su diseño en el caso de operación como elevador. La solución frente al problema de diferentes comportamientos dinámicos en función del sentido del flujo de potencia pasa por el cambio de reguladores. Una segunda opción pasa por utilizar o bien un control modo corriente, o bien un modo de operación que permita desplazar el cero en el semi-plano positivo a frecuencias más altas (i.e. reducir su influencia en la respuesta dinámica del convertidor elevador), y, por ende, hacer que las respuestas dinámicas tanto en modo elevador como reductor sean más

parecidas. En el apartado del análisis dinámico de este convertidor (apartado 3.2.3) se profundizará sobre este concepto.

Una segunda desventaja del convertidor elevador síncrono es que su rendimiento no es muy elevado, especialmente si se compara con topologías que consiguen conmutaciones suaves sin variar en exceso su funcionamiento habitual. En este sentido, pese a que ya se han mencionado una serie de técnicas basadas en circuitos resonantes auxiliares para lograr estas conmutaciones suaves, en este convertidor también es posible obtener dichas conmutaciones mediante un modo de funcionamiento particular como es el QSW-ZVS. Por esta razón se ha seleccionado este modo de funcionamiento para el convertidor elevador. En el apartado del análisis estático de este capítulo se profundizarán en las ventajas y desventajas que aporta este modo de conducción.

La tercera y última gran desventaja del convertidor elevador síncrono es que el cambio en el sentido del flujo de potencia no es controlable mediante una variable de control. Como ya se ha comentado en el estado del arte, no es posible controlar el flujo de potencia actuando únicamente sobre el ciclo de trabajo. De hecho, este flujo de potencia vendrá impuesto por las condiciones externas en las que opera este convertidor (e.g. tensión de entrada, tensión de salida, carga, etc.). Este hecho debe tenerse en cuenta en el diseño del control del convertidor, que debe, además de gestionar el ciclo de trabajo para la definición de la potencia a transferir, detectar el cambio en el flujo de potencia y tomar las medidas oportunas en el funcionamiento del convertidor.

3.2. EL MODO QSW-ZVS APLICADO AL CONVERTIDOR ELEVADOR SÍNCRONO

El modo con transición resonante para la obtención de ZVS (en su término en inglés *Quasi-Square Wave Zero Voltage Switching*, o QSW-ZVS), fue originalmente propuesto en [3.11] para para las tres topologías clásicas de convertidores CC/CC sin aislamiento galvánico. Posteriormente, se analizaron en mayor profundidad y se extendieron a las versiones síncronas o bidireccionales de los mismos en [3.12]-[3.14]. Estos trabajos parten de la idea original de los convertidores de tipo resonante y cuasi-resonante, estudiados ampliamente a finales de los años 80 por distintos autores [3.15]-[3.18]. Es más, puede afirmarse que los convertidores QSW son un primer paso hacia el convertidor cuasi-resonante o multi-resonante. Como en estos casos, la idea fundamental de los convertidores basados en QSW, es obtener la condición de conmutación a tensión cero (o ZVS) o conmutación a corriente cero (ZCS) mediante un período de resonancia entre elementos reactivos añadidos expresamente a la topología de partida. Como se verá más adelante, estos elementos reactivos adicionales pueden estar ya presentes en la topología original y únicamente han de tenerse en cuenta durante el tiempo de resonancia, que es cuando la energía resonante puesta en juego por dichos elementos, es usada para lograr las condiciones de conmutación suave. Como curiosidad, el nombre original de este modo particular hace referencia a que las formas de onda, tanto de tensión como de corriente, son prácticamente cuadradas, excepto en los intervalos de resonancia.

Profundizando sobre el concepto del modo de operación QSW, ya se ha mencionado que existen al menos dos posibles versiones: una de ellas para conseguir ZVS y la otra para conseguir ZCS. Como ejemplo, en la Figura 3.2 se han representado estas dos opciones para el convertidor elevador clásico. Es importante destacar que se ha considerado como aproximación inicial un comportamiento ideal en el interruptor controlado (S), tal y como se ha representado en la topología clásica de la Figura 3.28(a). La versión QSW-ZVS de este convertidor se muestra en la Figura 3.2(b) y la versión QSW-ZCS en la Figura 3.2(c).

Prestando atención a la versión QSW-ZVS, puede verse que ésta añade un condensador adicional (C_0) en paralelo con el interruptor principal S. En este caso, la resonancia se produce entre la inductancia del convertidor, L, y este condensador adicional C_0. Como resultado de esta resonancia, el condensador C_0 puede llegar a descargarse por completo, en función de las condiciones de funcionamiento. Puesto que la tensión de este condensador es la misma que la que está soportando el interruptor principal S, es posible conmutar a tensión cero este interruptor dimensionando adecuadamente los valores de L y C_0. El período de resonancia se produce

cuando la corriente por el diodo D se hace cero. En ese momento, el diodo sale de conducción y la inductancia y el condensador C_0 resuenan. Este período de resonancia acabaría justamente en el momento en el que se descarga por completo dicho condensador, cerrándose posteriormente el interruptor S.

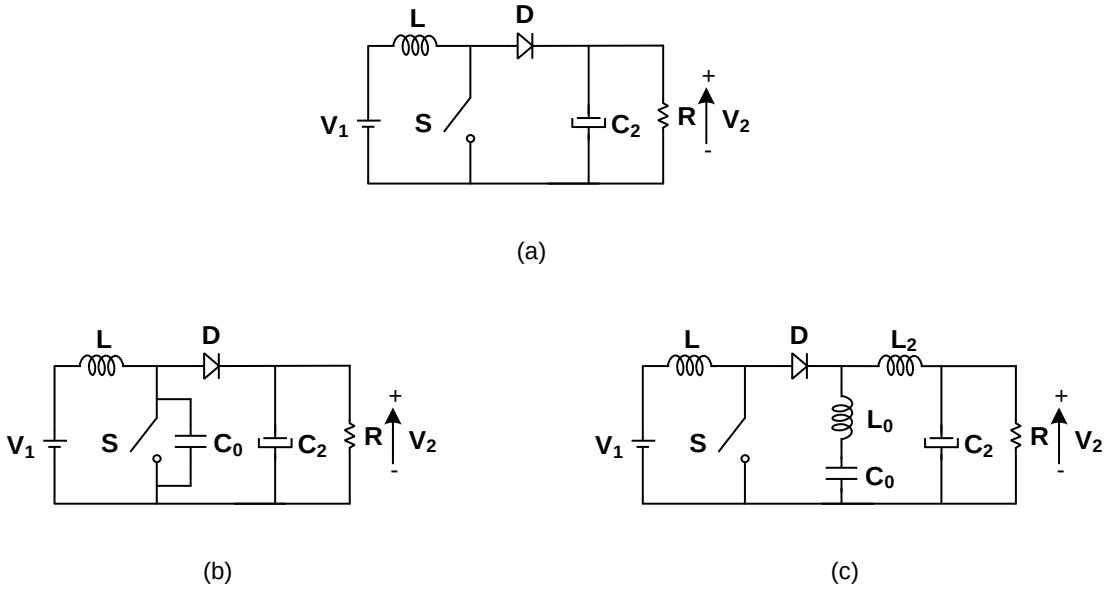


Figura 3.2. Esquema ideal del convertidor elevador unidireccional. (a) En su topología clásica. (b) Para el modo QSW-ZVS. (c) Para el modo QSW-ZCS.

La versión QSW-ZCS necesita dos inductancias adicionales (L_0 y L_2) y un condensador (C_0). En este caso, la resonancia se produce entre la inductancia L_0 y el condensador C_0. El funcionamiento es análogo al descrito para el caso anterior, con la única diferencia de que ahora se consigue conmutar a corriente cero en lugar de a tensión cero.

En general, las versiones QSW-ZCS se utilizan menos en la práctica, debido, a que se necesitan más elementos adicionales en la topología para lograr la resonancia. Es por esto que la versión QSW-ZVS resulta más atractiva desde este punto de vista. Cabe destacar otras dos importantes ventajas que también hacen que la versión QSW-ZVS sea más utilizada. En primer lugar, el condensador que se necesita para lograr la resonancia (C_0) ya está presente en un circuito real. Este condensador está compuesto por la capacidad parásita de salida del transistor utilizado para sintetizar el interruptor S, tanto si se trata de un transistor MOSFET o de un IGBT. Por lo tanto, es un elemento que no debe añadirse, por lo general, a la topología de partida. No obstante, han de tenerse en cuenta algunas consideraciones acerca de esta capacidad parásita, que condicionarán el diseño y que se comentarán más adelante. En segundo lugar, las pérdidas de conmutación se ven reducidas utilizando esta versión en comparación con la topología clásica, tanto operando en Modo de Conducción Continuo (MCC), Modo de Conducción Frontera, Crítico o Límite (MCL), o Modo de Conducción Discontinuo (MCD). Concretamente, las pérdidas de conmutación por entrada en conducción del interruptor S son prácticamente nulas, debido a la

condición de ZVS. Por otro lado, las pérdidas de conmutación debidas a la salida de conducción del diodo D son también muy bajas, puesto que el diodo sale de conducción a corriente cero de manera natural, y por lo tanto, el proceso de recuperación inversa que origina estas pérdidas apenas tiene lugar. Así pues, las únicas pérdidas de conmutación presentes en el modo QSW-ZVS son la salida de conducción del interruptor S y la entrada en conducción del diodo D, siendo estas últimas, por lo general, poco significativas en comparación con las primeras. Por esta razón, este modo de operación resulta muy atractivo desde el punto de vista de la optimización del rendimiento del convertidor. Más adelante se analizarán más en detalle estas pérdidas y los rendimientos obtenidos utilizando este modo QSW-ZVS.

A continuación se presentarán en detalle los análisis del funcionamiento de este convertidor tanto en régimen permanente como su modelo dinámico.

3.2.1. ANÁLISIS ESTÁTICO DEL MODO QSW-ZVS

3.2.1.1. Formas de onda y relaciones importantes

El convertidor elevador bidireccional operando en modo QSW-ZVS se ha representado en el esquema de la Figura 3.3. Como ya se ha comentado en el estado del arte del capítulo anterior, la versión bidireccional del convertidor elevador pasa por sustituir el diodo de libre circulación por un segundo interruptor, S_2. Dado que este convertidor puede operar tanto en modo elevador como en modo reductor, se precisan dos condensadores en paralelo con cada uno de los interruptores, representados en la Figura 3.3 como C_{01} y C_{02} respectivamente para el modo QSW-ZVS. El condensador C_{01} jugará el papel de condensador resonante en el modo elevador, mientras que el condensador C_{02} se emplea en la transición resonante para lograr ZVS en el modo reductor.

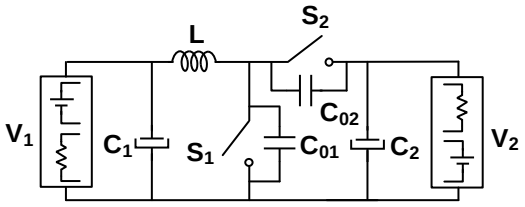
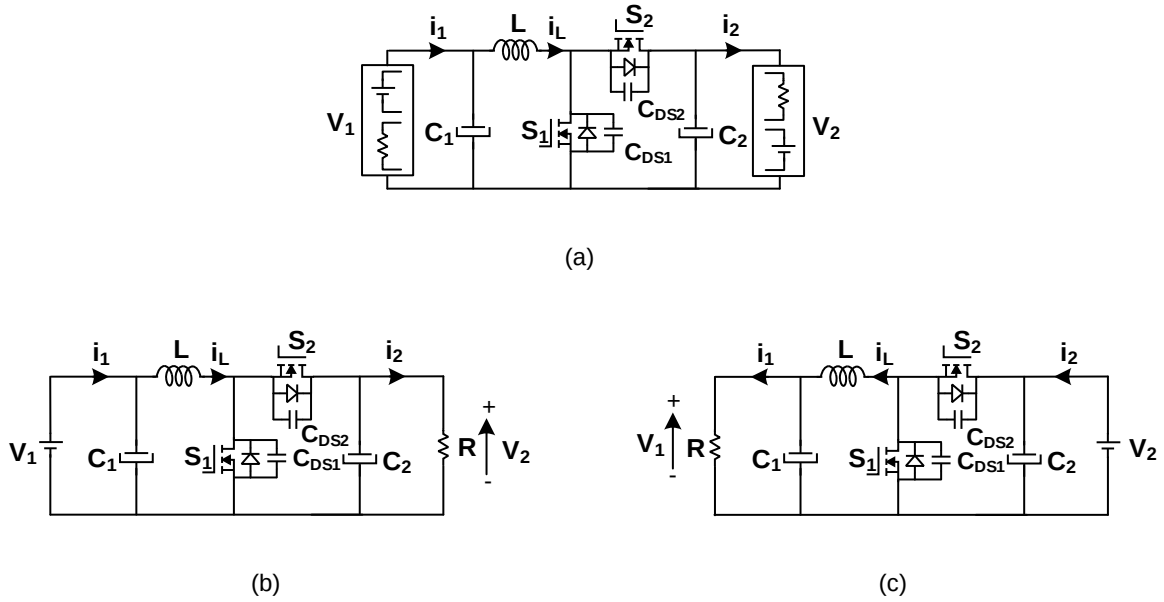


Figura 3.3. Esquema eléctrico del convertidor elevador bidireccional para el modo QSW-ZVS.

Como ya se ha mencionado anteriormente, en la práctica los interruptores ideales pasan a ser transistores. En esta tesis los análisis se llevarán a cabo utilizando transistores de tipo MOSFET, de manera coherente con las especificaciones definidas en el capítulo 2 para la aplicación que aquí se estudia. También hay que comentar que muchas de las conclusiones que se presentarán tanto en este análisis estático como en el posterior modelado dinámico, son generalizables para cualquier tipo de transistor. Los condensadores adicionales C_{01} y C_{02} serán las capacidades

parásitas de salida de cada uno de los transistores. En la Figura 3.4(a) se ha representado el convertidor elevador síncrono QSW-ZVS, destacando los elementos parásitos de ambos transistores MOSFET. Los condensadores C_{01} y C_{02} pasan a ser ahora los condensadores C_{DS1} y C_{DS2}. En la Figura 3.4(b) se ha representado este convertidor operando en modo elevador, mientras que en el modo reductor se muestra en la Figura 3.4(c).



(a)

(b) (c)

Figura 3.4. El convertidor elevador síncrono QSW-ZVS. (a) Esquema genérico. (b) En modo elevador. (c) En modo reductor.

El convertidor elevador síncrono puede operar como la versión unidireccional del mismo. Es decir, puede utilizarse el diodo parásito del transistor MOSFET como diodo de libre circulación. No obstante, es bien conocido que las características tanto estáticas como dinámicas de este diodo parásito son peores, introduciendo mayores niveles de pérdidas tanto de conducción como de conmutación, que las de un diodo de las mismas especificaciones de tensión y corriente [3.24]-[3.31]. Este hecho se magnifica cuando se emplean transistores MOSFET de super-unión [3.26], [3.27]. Por lo tanto, en aras de un mejor comportamiento en cuanto a la reducción de las pérdidas, se supondrá siempre en el convertidor elevador bidireccional una operación en modo síncrono.

En adelante se analizará exclusivamente el modo elevador de este convertidor. Este mismo análisis se puede aplicar al modo reductor, obteniendo de igual forma el modelo estático y dinámico en ese modo.

El funcionamiento de este convertidor es muy similar al convertidor elevador tradicional operando en modo de conducción crítico o frontera (MCL), salvo por la aparición de dos periodos de resonancia. Los transistores S_1 y S_2 se gobiernan con señales de control complementarias. El intervalo de tiempo de conducción del transistor S_1 se ha llamado t_{on}, mientras que el intervalo de tiempo de conducción de S_2 se ha denotado como t_{off}. Entre ambas señales se introducen

dos intervalos de tiempo que definen los tiempos muertos, que se han llamado t_{d1} y t_{d2}. Por lo tanto, el periodo de conmutación completo, T, queda dividido en cuatro intervalos: magnetización (de duración t_{on}), resonancia de carga (de duración t_{d1}), desmagnetización (de duración t_{off}) y resonancia de descarga (de duración t_{d2}). En la Figura 3.5 se han representado las señales de control del convertidor y la corriente por la inductancia que ilustra todos los intervalos del periodo de conmutación.

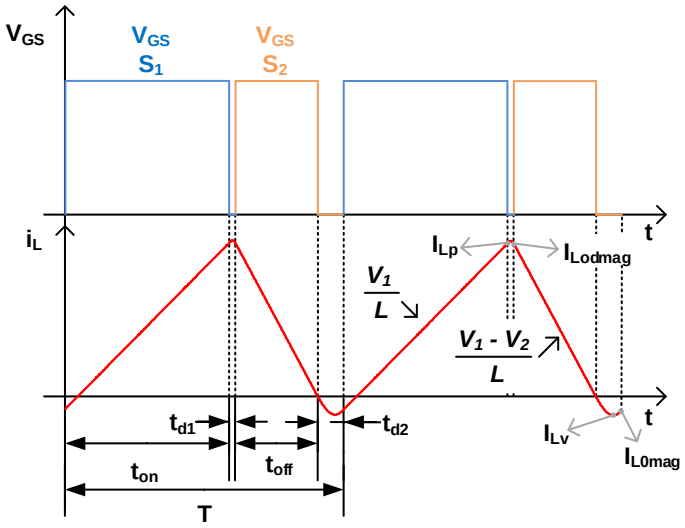
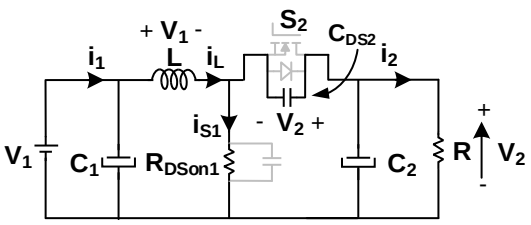
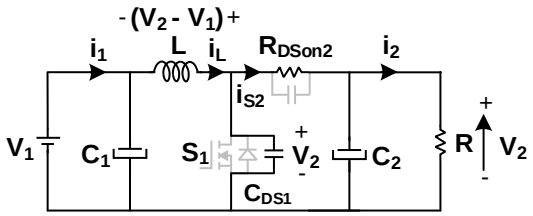


Figura 3.5. Señales de control para el convertidor elevador síncrono y corriente por la inductancia en el modo QSW-ZVS.

Los intervalos tanto de magnetización como desmagnetización son similares a los intervalos homónimos en un convertidor elevador convencional. En ambos casos, la tensión aplicada a la inductancia es constante (V_1 durante la magnetización y $-(V_1 - V_2)$ durante la desmagnetización), por lo que la corriente de esta inductancia aumenta o disminuye linealmente. Los dos circuitos equivalentes durante estos intervalos lineales se han representado en la Figura 3.6. En ambos casos, se ha modelado el transistor en conducción por su resistencia en conducción (i.e. R_{DSon1} y R_{DSon2} respectivamente). Durante el periodo de magnetización el condensador C_{DS2} se encuentra cargado a un valor V_2 (Figura 3.6(a)), siendo esta misma tensión a la que se encuentra cargado el condensador C_{DS1} durante la desmagnetización (Figura 3.6(b)).



(a)



(b)

Figura 3.6. Circuitos equivalentes durante los intervalos de magnetización y desmagnetización del convertidor elevador. (a) Durante la magnetización (t_{on}). (b) Durante la desmagnetización (t_{off}).

La corriente por la inductancia durante la magnetización evoluciona desde un valor I_{L0mag} negativo hasta un valor denotado como I_{Lp}. Durante la desmagnetización la corriente decrece linealmente desde el valor I_{L0dmag} hasta cero.

La primera transición resonante tiene lugar entre los intervalos de magnetización y desmagnetización. El circuito equivalente durante este primer intervalo resonante se muestra en la Figura 3.7. Durante esta resonancia, el transistor S_1 se corta. Ligado a este proceso de apagado, el condensador C_{DS1} ha de cargarse desde prácticamente cero voltios hasta una tensión V_2. Simultáneamente, el condensador C_{DS2} se descarga desde la tensión V_2 a la que se encontraba cargado hasta cero. La corriente por la inductancia evoluciona desde el valor de I_{Lp} hasta I_{L0dmag}. Tradicionalmente, los autores que han estudiado el modo QSW-ZVS han considerado este periodo como puramente resonante, habida cuenta de que la amplia mayoría de los transistores utilizados en la época eran, por lo general, relativamente lentos con respecto a la tecnología MOSFET actual. La evolución en el desarrollo de transistores MOSFET con menores capacidades parásitas, permite que las transiciones de encendido y apagado cada vez sean más rápidas. Esto ha hecho que este primer intervalo resonante no sea tan largo. Es más, se puede afirmar que este intervalo es exactamente el mismo que ocurriría en cualquier convertidor elevador síncrono durante el apagado de S_1 y el encendido de S_2. Un mayor tiempo muerto (un mayor t_{d1}) no conllevaría un mayor tiempo de resonancia, a diferencia de lo que ocurriría en una transición resonante tradicional, ni afectaría a la relación de tensiones en la conversión de este convertidor. De hecho, alargar t_{d1} únicamente implica que el diodo parásito del transistor S_2 pueda llegar a entrar en conducción en este intervalo resonante, incluso que se alargue su tiempo de conducción, si es que ya se han alcanzado las condiciones para que se encuentre directamente polarizado. Por lo tanto, un mayor t_{d1} implica unas mayores pérdidas, puesto que, como ya se ha comentado anteriormente, el diodo parásito de estos transistores posee unas características malas desde el punto de vista de su conducción.

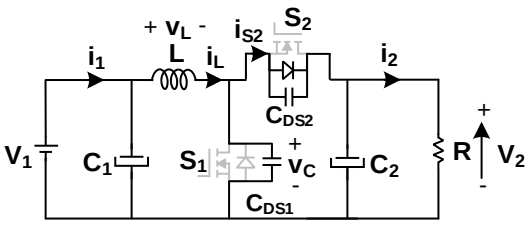


Figura 3.7. Circuito equivalente durante la primera transición resonante (t_{d1}).

El segundo intervalo resonante tiene lugar entre la desmagnetización y la magnetización de la inductancia. El circuito equivalente para este intervalo se muestra en la Figura 3.8. En este caso, es el transistor S_2 quien se corta y el transistor S_1 quien va a conducir. La corriente por la inductancia se hace negativa durante este intervalo. La resonancia que se produce entre la inductancia y los condensadores parásitos, permite descargar simultáneamente C_{DS1} y cargar C_{DS2}. La corriente por la inductancia evoluciona desde el valor inicial donde ha finalizado la desmagnetización, hasta el valor I_{L0mag}. El instante final del intervalo t_{d2} vendrá definido por la condición de conmutación suave, es decir, será el instante en el que el condensador C_{DS1} se ha descargado completamente, momento en el que se iniciará un nuevo periodo de conmutación. Este intervalo depende de las condiciones de funcionamiento del convertidor (como se verá más adelante) y su duración, t_{d2}, afecta directamente a la relación de conversión entre la tensión de entrada y la tensión de salida, y al modelo dinámico.

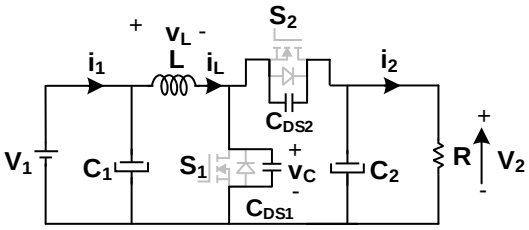
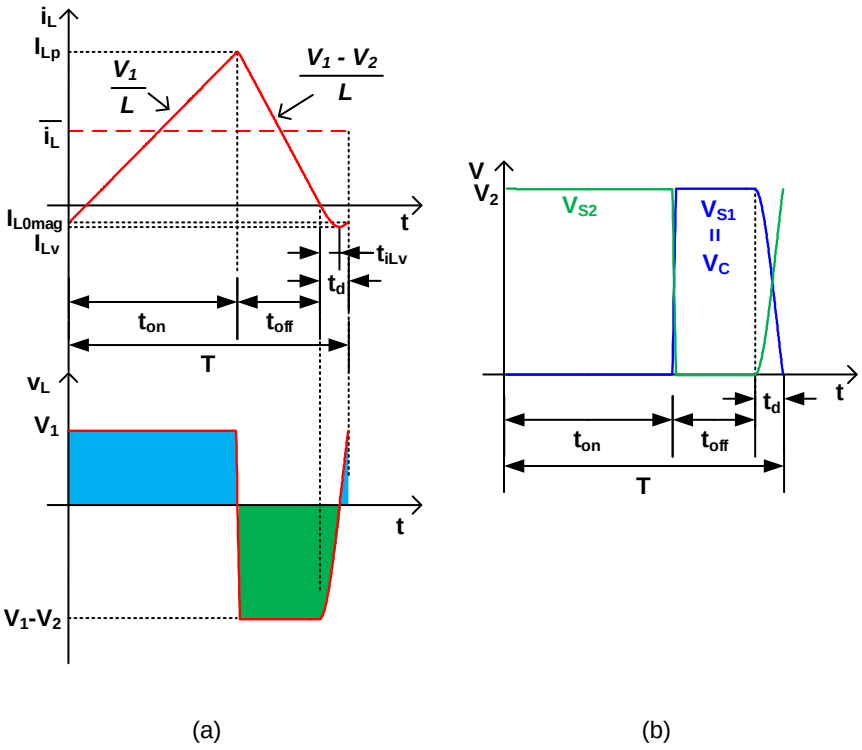


Figura 3.8. Circuito equivalente durante la segunda transición resonante (t_{d2}).

Una vez analizados los cuatro intervalos de conducción en el periodo de conmutación del convertidor, se van a realizar las siguientes consideraciones para realizar tanto su análisis estático como su análisis dinámico. En primer lugar, se va a considerar despreciable el primer intervalo de resonancia (tiempo muerto t_{d1}). Esta consideración se realiza en base a que este intervalo no tiene una repercusión directa en el funcionamiento del convertidor, más allá de tener un impacto en las pérdidas globales del mismo. El tiempo t_{d1} será suficientemente grande para evitar el cortocircuito entre la conducción de ambos transistores y, por otra parte, será suficientemente corto como para reducir (o evitar, si es posible) la conducción del diodo parásito de S_2. Además de esto, el intervalo de tiempo t_{d1} va a ser siempre considerablemente menor que el segundo intervalo de resonancia (tiempo muerto t_{d2}, en un orden de relación de 1 a 10), puesto que las condiciones iniciales son totalmente distintas en ambos casos. Concretamente, para la

primera resonancia la corriente por la inductancia parte de un valor I_{Lp}, que, en condiciones de carga nominal, será un valor elevado, mientras que para la segunda resonancia el valor inicial de la corriente será cero o próximo a cero. Así pues, a partir de ahora se asumirá que el periodo de conmutación únicamente consta de tres intervalos: magnetización (de duración t_{on}), desmagnetización (de duración t_{off}) y resonancia (de duración t_d). En la Figura 3.9 se recogen de nuevo las formas de onda básicas del convertidor teniendo en cuenta esta simplificación.

En segundo lugar, se va a asumir que el convertidor trabaja a frecuencia variable. En [3.11] se analiza este convertidor bajo este supuesto. No obstante, en [3.13] y [3.14] se plantean análisis basados en la operación a frecuencia constante. Las ventajas y desventajas de cada modo de operación pueden explicarse a partir de la Figura 3.10, donde se ha representado la corriente por la bobina en el modo QSW-ZVS para dos potencias distintas (i.e. para dos corrientes medias distintas). En ambos casos se ha supuesto que se pasa de una determinada corriente media $\overline{i_{L1}}$ a otro valor inferior $\overline{i_{L2}}$ (i.e. de una potencia mayor a una menor).



(a) (b)

Figura 3.9. Formas de onda básicas del convertidor elevador síncrono operando en QSW-ZVS asumiendo una única transición resonante (a) Corriente y tensión de la inductancia. (b) Tensiones drenador-fuente que soportan cada uno de los transistores.

En el caso de mantener la frecuencia constante, reducir la corriente media implica manejar más corriente reactiva. El convertidor pasaría a conducir durante más tiempo corriente negativa, tal y como se puede apreciar en la Figura 3.10(a), puesto que se mantendría al transistor S_2 conduciendo pese a que la corriente se hiciera negativa. El convertidor, por lo tanto, trabaja en MCC a potencias menores que la potencia nominal (véase en el ejemplo de MCC de la Figura

3.10(c)). Por el contrario, si se trabaja en un modo con frecuencia variable, se pasa a una situación similar a la mostrada en la Figura 3.10(b). Una menor corriente media implicaría un menor periodo de conmutación (o, de manera equivalente, una mayor frecuencia). Los intervalos de tiempo t_{on} y t_{off} variarían para ajustarse al nuevo periodo. Sin embargo, el intervalo de tiempo que define el tiempo muerto t_d se mantendría constante. Como se verá más adelante, este intervalo t_d no depende de la corriente media que está procesando el convertidor, sino de la tensión V_2 y de los valores de inductancia y de los condensadores parásitos. Así pues, el convertidor operando a frecuencia variable tiene un comportamiento más parecido a lo que ocurriría en un MCD (véase Figura 3.10(d)), con la salvedad de que, en QSW-ZVS, la corriente no permanece en cero hasta que se complete el periodo.

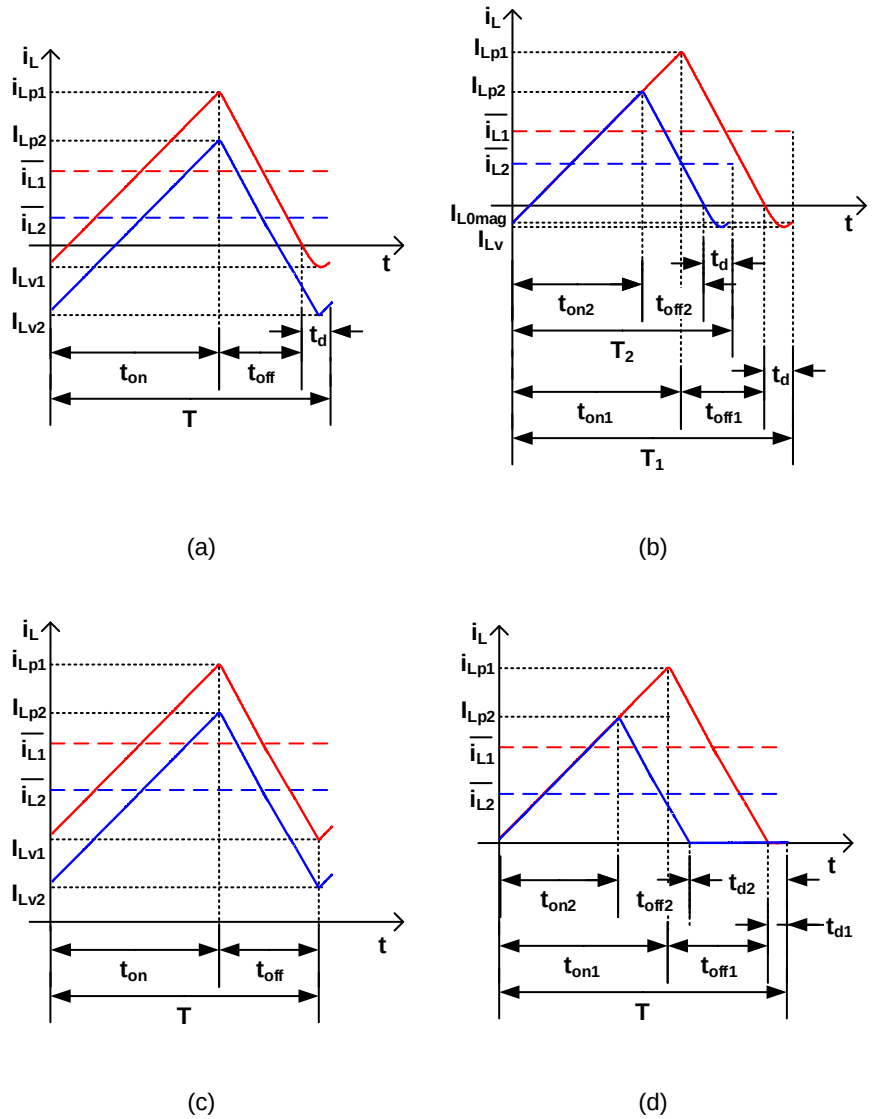
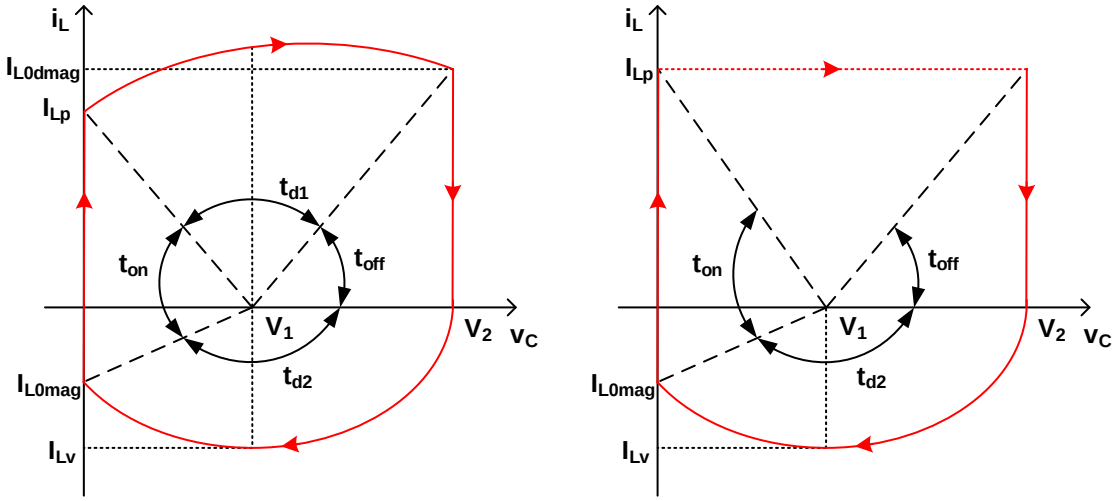


Figura 3.10. Corriente por la bobina bajo el supuesto de dos corrientes medias distintas. (a) QSW-ZVS a frecuencia constante. (b) QSW-ZVS a frecuencia variable. (c) Comparativa con MCC. (d) Comparativa con MCD.

La operación a frecuencia constante permite tener un control más sencillo del convertidor y, sobre todo, limitar teóricamente el contenido armónico inyectado y radiado. Esto es especialmente importante cuando se diseña el filtro EMI de entrada del convertidor, en aquellas aplicaciones en donde la compatibilidad electromagnética sea un parámetro importante a considerar. La principal desventaja de operar a frecuencia constante es el manejo de corriente reactiva. Esto implica unas pérdidas en conducción mayores cuanto menor sea la potencia procesada del convertidor, lo que hace que el rendimiento del mismo disminuya en condiciones de trabajo de baja carga. Por el contrario, la operación a frecuencia variable permite mantener un rendimiento muy elevado a baja carga, pero el precio a pagar es un contenido armónico inyectado y radiado mayor. Para asumir esta operación a frecuencia variable, el control del convertidor debe asegurar que la operación en QSW-ZVS se mantenga para cualquier nivel de potencia y ante variaciones de las tensiones V_1 y V_2, lo que complica este control. En el apartado 3.2.4 de este capítulo se presentará una solución para paliar este inconveniente.

Antes de presentar las ecuaciones que describen la operación del convertidor en régimen estacionario, se van a citar los principios básicos de aplicación de un análisis en espacio de estados. Esta técnica se utiliza de manera habitual para estudiar convertidores resonantes [3.19]. En esencia, en este análisis se representan las corrientes resonantes en función de las tensiones resonantes. De esta forma es posible establecer una trayectoria de funcionamiento, que en el caso de los convertidores resonantes serán elipses centradas en el punto de trabajo. En este espacio de estados, los ángulos pasan a representar intervalos de tiempo. La excentricidad de la elipse depende de la escala de ejes y de la impedancia característica del circuito resonante. En los convertidores con transiciones resonantes, las trayectorias de funcionamiento incluirán rectas y arcos de elipses. Las rectas representan las etapas lineales, mientras que los arcos de elipse serán las transiciones resonantes. Para el análisis estático que se va a presentar a continuación se han utilizado como ayuda las trayectorias de evolución del punto de trabajo y el análisis en espacio de estados para deducir algunas de las expresiones analíticas. A modo de ejemplo, en la Figura 3.11 se muestra la trayectoria del punto de trabajo en el plano i_L, v_C (i.e. una representación de cómo varía la corriente por la inductancia, i_L, en función de la tensión en el nodo de conmutación, v_C). En la Figura 3.11(a) se puede ver la trayectoria del punto de trabajo asumiendo dos intervalos de resonancia, mientras que en la Figura 3.11(b) se ha representado esa misma trayectoria bajo el supuesto de una sola transición resonante. En ambos casos, las dos rectas verticales representan las transiciones lineales. Concretamente, la recta centrada en $v_C = 0$ se corresponde con la magnetización, mientras que la recta centrada en $v_C = V_2$ se corresponde con la desmagnetización de la inductancia. En el primer caso, la corriente evoluciona desde I_{L0dmag} hasta el valor de I_{Lp}. En el segundo, desde I_{Lp} hasta cero. La transición resonante

es un arco de elipse centrado en V_1, cuyo valor mínimo es I_{Lv}. La tensión v_c evoluciona desde V_2 hasta cero.



(a) (b)

Figura 3.11. Trayectoria del punto de trabajo en para el convertidor elevador síncrono QSW-ZVS en el plano i_L, v_C. (a) Suponiendo dos transiciones resonantes. (b) Asumiendo una única transición resonante.

Un segundo ejemplo se muestra en la Figura 3.12. En este caso se ha representado la trayectoria del punto de trabajo en el plano i_L, v_L (i.e. la corriente por la inductancia en función de la tensión sobre dicho elemento.

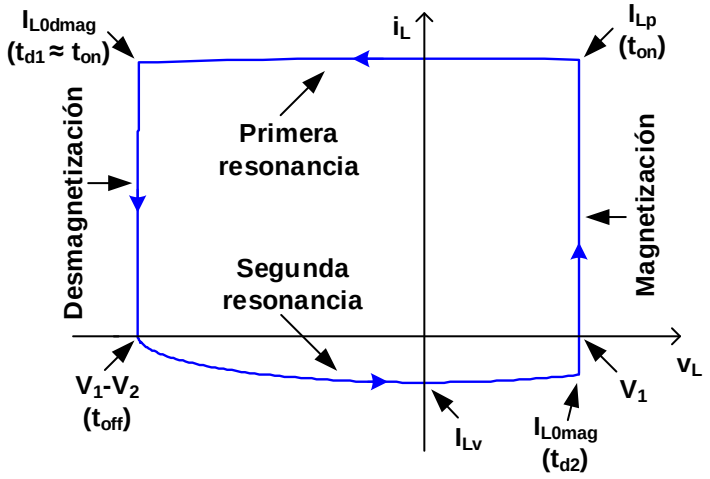


Figura 3.12. Trayectoria del punto de trabajo en para el convertidor elevador síncrono QSW-ZVS en el plano i_L, v_L.

El análisis estático de este convertidor se realiza aplicando el balance voltios-segundo a la tensión aplicada a la inductancia en un periodo de conmutación. Antes de analizar las ecuaciones que describen la variación tanto de la tensión como de la corriente en la inductancia, conviene definir algunas relaciones básicas que tienen que ver con la transición resonante del modo QSW-

ZVS. En primer lugar, se asume que las capacidades parásitas C_{DS1} y C_{DS2} son iguales y de valor igual a

$$C_{DS1} = C_{DS2} = \frac{C_{SW}}{2} \tag{3.1}$$

La pulsación de resonancia queda por lo tanto definida a partir del valor de inductancia y de dicha capacidad como

$$\omega_o = \frac{1}{\sqrt{L \cdot C_{SW}}} \tag{3.2}$$

$$f_o = \frac{1}{2\pi \cdot \sqrt{L \cdot C_{SW}}} \tag{3.3}$$

La impedancia característica del circuito resonante se define como

$$Z_o = \sqrt{\frac{L}{C_{SW}}} \tag{3.4}$$

Por otra parte, en los convertidores con transiciones resonantes es muy habitual trabajar con lo que se denomina frecuencia normalizada, que no es más que el cociente entre la frecuencia de conmutación y la frecuencia de resonancia definida en (3.3). Matemáticamente, esta frecuencia normalizada se expresa como

$$F = \frac{f_s}{f_o} \tag{3.5}$$

En general, el valor de F será mucho menor que 1 (i.e. la frecuencia de conmutación será siempre menor que la frecuencia de resonancia). El periodo de conmutación estará compuesto por tres tiempos: el de magnetización, del de desmagnetización y el tiempo de resonancia. Matemáticamente, puede expresarse como:

$$T = t_{on} + t_{off} + t_d \tag{3.6}$$

Teniendo en cuenta estas relaciones, es posible establecer las ecuaciones que describen cada intervalo de conducción del convertidor. La corriente y la tensión de la inductancia pueden definirse por partes en cada uno de los intervalos según las expresiones (3.7) y (3.8)

$$i_L(t) = \begin{cases} i_{Lmag}(t) & ,0 < t < t_{on} \\ i_{Ldmag}(t) & ,t_{on} < t < t_{on} + t_{off} \\ i_{Lres}(t) & ,t_{on} + t_{off} < t < T \end{cases} \tag{3.7}$$

$$v_L(t) = \begin{cases} v_{Lmag}(t) & ,0 < t < t_{on} \\ v_{Ldmag}(t) & ,t_{on} < t < t_{on} + t_{off} \\ v_{Lres}(t) & ,t_{on} + t_{off} < t < T \end{cases} \tag{3.8}$$

Para cada intervalo de tiempo, es posible definir el valor de la corriente y de la tensión en la inductancia de manera independiente.

- *Intervalo de magnetización*

  La tensión de la inductancia durante este periodo es constante e igual a V_1.

$$v_{Lmag}(t) = V_1 \tag{3.9}$$

Durante este intervalo la corriente por la bobina viene descrita por la ecuación

$$i_{Lmag}(t) = \frac{V_1}{L} \cdot t + I_{L0mag} \tag{3.10}$$

El valor de la corriente de pico se alcanza particularizando la expresión (3.10) para $t = t_{on}$, quedando este como

$$I_{Lp} = \frac{V_1}{L} \cdot t_{on} + I_{L0mag} \tag{3.11}$$

- *Intervalo de desmagnetización*

La tensión en la inductancia durante este periodo es constante e igual a $V_1 - V_2$.

$$v_{Ldmag}(t) = -(V_2 - V_1) \tag{3.12}$$

Durante la desmagnetización, la corriente por la inductancia puede expresarse como

$$i_{Ldmag}(t) = I_{Lp} \cdot \left(1 - \frac{(t - t_{on})}{(t_{off} - t_{on})}\right) \tag{3.13}$$

- *Intervalo de resonancia*

Durante este intervalo, la corriente por la inductancia resuena con la tensión del nodo de conmutación, v_C, que se corresponde con la tensión drenador-fuente del transistor S_1. Las

expresiones analíticas tanto de la corriente como de la tensión resonante, pueden deducirse tanto si se aplica el análisis en espacio de estados presentado en la Figura 3.11, como si se analiza el circuito resonante resultante durante este intervalo (véase la Figura 3.8). Así pues, estas pueden escribirse como

$$\begin{aligned} i_{Lres}(t) &= -\frac{V_2}{Z_o} \cdot \sin\left(\omega_o \cdot \left(t - t_{on} - t_{off}\right)\right) = \\ &= -V_2 \cdot \sqrt{\frac{C_{SW}}{L}} \cdot \sin\left(\omega_o \cdot \left(t - t_{on} - t_{off}\right)\right) \end{aligned} \tag{3.14}$$

$$v_{DS}(t) = v_C(t) = V_1 + (V_2 - V_1) \cdot \cos\left(\omega_o \cdot \left(t - t_{on} - t_{off}\right)\right) \tag{3.15}$$

Es importante destacar que las expresiones analíticas (3.14) y (3.15) han sido obtenidas suponiendo que no existen pérdidas durante el periodo de resonancia (i.e. que no hay amortiguamiento en la resonancia ni de la tensión ni de la corriente debido a resistencias parásitas). En la ecuación (3.15) está implícita una condición necesaria para alcanzar la conmutación suave (i.e. que el valor de v_C pueda llegar a ser cero). Esta condición puede expresarse como

$$V_2 \geq 2 \cdot V_1 \tag{3.16}$$

La ecuación (3.16) establece que el convertidor opera en condiciones de conmutación suave siempre que la tensión de salida sea mayor o igual que el doble de la tensión de entrada. Estrictamente hablando, el convertidor elevador síncrono puede seguir operando en modo QSW a pesar de que la tensión de salida no sea el doble que la de entrada. No obstante, puesto que bajo tales condiciones se pierde la conmutación suave, muchos autores sugieren que fuera de este rango no tiene sentido seguir trabajando en este modo particular [3.11], [3.13].

La tensión aplicada a la inductancia durante este intervalo también es resonante y puede describirse como

$$V_{Lres}(t) = -(V_2 - V_1) \cdot \cos\left(\omega_o \cdot \left(t - t_{on} - t_{off}\right)\right) \tag{3.17}$$

A partir de las ecuaciones (3.14) y (3.15) es posible deducir algunos valores importantes de esta resonancia, sin más que aplicar las condiciones iniciales y finales que se dan en este intervalo de resonancia. Estas condiciones pueden expresarse matemáticamente como

$$\left.\begin{array}{c} v_C\left(t_{on}+t_{off}+t_{iLv}\right)=V_1 \\ v_C(T)=0 \\ i_{Lres}\left(t_{on}+t_{off}+t_{iLv}\right)=I_{Lv} \\ i_{Lres}(T)=I_{L0mag} \end{array}\right\} \tag{3.18}$$

En (3.18) se han recogido los valores iniciales y finales tanto de la corriente como de la tensión de la inductancia durante el intervalo de resonancia. Así mismo, también se define el valor mínimo de la corriente por la inductancia (I_{Lv}), que se alcanzará en el instante $t = t_{on} + t_{off} + t_{iLv}$.

De esta forma es posible obtener una expresión para el tiempo de duración de este intervalo, teniendo en cuenta que en t_d la tensión del nodo de conmutación se hace cero,

$$t_d = \frac{1}{\omega_o} \cdot \operatorname{acos}\left(-\frac{V_1}{V_2 - V_1}\right) \tag{3.19}$$

Como puede verse en la ecuación (3.19), el intervalo de tiempo t_d únicamente depende de las tensiones de entrada y de salida (V_1 y V_2 respectivamente) y de los valores de inductancia y capacidad (L y C_{SW}). En ningún caso este tiempo depende de la potencia que está procesando el convertidor. Por lo tanto, este tiempo se mantendrá constante ante cambios en el valor de la carga del convertidor (véase de nuevo el ejemplo de la Figura 3.10(b)).

El valor final de la corriente por la inductancia cuando se alcanza $t = t_{on} + t_{off} + t_d = T$ puede obtenerse particularizando la ecuación (3.14) para este instante de tiempo, quedando definido como

$$I_{L0mag} = -\frac{V_2}{Z_o} \cdot \sin(\omega_o t_d) \tag{3.20}$$

Al igual que en el caso anterior, el valor I_{L0mag} no depende de la carga y, por lo tanto, se mantendrá constante ante variaciones de la potencia procesada por el convertidor. Sustituyendo (3.19) en (3.20) es posible obtener el valor de I_{L0mag} expresado en función de las tensiones de entrada y de salida:

$$I_{L0mag} = -\frac{V_2}{Z_o} \cdot \sqrt{1 - \left(\frac{V_1}{(V_2 - V_1)}\right)^2} \tag{3.21}$$

Como ya se ha mencionado, el segundo instante de tiempo importante que se da durante este intervalo de resonancia es aquél en el que la corriente por la inductancia alcanza su valor mínimo. Este valor mínimo se puede obtener como

$$I_{Lv} = -\frac{V_2}{Z_o} = -V_2 \cdot \sqrt{\frac{C_{SW}}{L}} \tag{3.22}$$

Y el instante en el que se produce

$$t_{iLv} = \frac{\pi}{2\omega_o} \tag{3.23}$$

Nuevamente, estos valores únicamente dependen de la tensión de salida y de la capacidad e inductancia del convertidor.

A partir de todas estas ecuaciones mostradas de (3.1) a (3.23) es posible obtener una expresión de la ganancia estática entre la tensión de entrada y la tensión de salida del convertidor, definida como

$$M = \frac{V_2}{V_1} \tag{3.24}$$

Esta ganancia se llega a obtener mediante la resolución numérica del sistema de cinco ecuaciones y cinco incógnitas descritas por cada uno de los intervalos de conducción. La solución resulta compleja, como por ejemplo la dada por los autores de [3.21] y, en general, se precisan métodos numéricos para su resolución.

Un método para el cálculo distinto a los anteriores pasa por aplicar la metodología clásica de obtener el balance voltios-segundo en la inductancia del convertidor. Matemáticamente, esto puede expresarse como

$$\overline{v_L} = \frac{1}{T}\int_0^T v_L(t)dt = 0 \tag{3.25}$$

Aplicando las ecuaciones (3.9), (3.12) y (3.17) en (3.25) se llega a

$$\overline{v_L} = \frac{1}{T}\left[V_1 \cdot t_{on} - (V_2 - V_1) \cdot t_{off} + \frac{(V_2 - V_1)}{\omega_o} \cdot \left(2 + \frac{Z_o}{V_2} \cdot I_{L0mag}\right)\right] = 0 \tag{3.26}$$

El valor medio de la corriente por la inductancia puede obtenerse igualmente como suma de los valores medios en cada intervalo de conducción

$$\overline{i_1} = \overline{i_L} = \overline{i_{Lmag}} + \overline{i_{Ldmag}} + \overline{i_{Lres}} \tag{3.27}$$

Cada uno de los valores medios pueden definirse como

$$\overline{i_{Lmag}} = \frac{1}{T} \cdot \int_0^T i_L(t)dt = \frac{1}{T} \cdot \int_0^{t_{on}} i_{Lmag}(t)dt \tag{3.28}$$

$$\overline{i_{Ldmag}} = \frac{1}{T} \cdot \int_0^T i_L(t)dt = \frac{1}{T} \cdot \int_{t_{on}}^{t_{on}+t_{off}} i_{Ldmag}(t)dt \tag{3.29}$$

$$\overline{i_{Lres}} = \frac{1}{T} \cdot \int_0^T i_L(t)dt = \frac{1}{T} \cdot \int_{t_{on}+t_{off}}^{T} i_{Ldmag}(t)dt \tag{3.30}$$

Sustituyendo las expresiones deducidas en (3.10), (3.13) y (3.14) en (3.31), (3.32) y (3.33) se obtiene

$$\overline{i_{Lmag}} = \frac{1}{T} \cdot \left[\frac{V_1}{2L} \cdot t_{on}^2 + I_{L0mag} \cdot t_{on}\right] \tag{3.31}$$

$$\overline{i_{Ldmag}} = \frac{1}{2T} \cdot t_{off} \cdot I_{Lp} = \frac{1}{2T} \cdot t_{off} \cdot \left[\frac{V_1}{L} \cdot t_{on} + I_{L0mag}\right] \tag{3.32}$$

$$\overline{i_{Lres}} = -\frac{1}{T} \cdot \frac{V_2}{\omega_o \cdot Z_o}\left[1 + \frac{V_1}{(V_2 - V_1)}\right] \tag{3.33}$$

Combinando las expresiones (3.33) y (3.32) y usando las expresiones intermedias (3.19) y (3.21) es posible obtener una expresión analítica para la corriente media de salida:

$$\overline{i_2} = \frac{1}{2T}\left[\frac{V_1^2}{(V_2 - V_1)} \cdot t_{on}^2 + \frac{V_1}{(V_2 - V_1)} \cdot t_{on} \cdot I_{L0mag} \cdot (1 + L) + \frac{L}{(V_2 - V_1)} \cdot I_{L0mag}^2\right] \tag{3.34}$$

Con las ecuaciones (3.27), (3.31), (3.32), (3.33) y (3.34) se puede aplicar el balance energético entre la potencia de entrada y la potencia de salida para obtener una expresión del ciclo de trabajo del convertidor operando en modo QSW-ZVS:

$$d = \frac{t_{on}}{T} = \frac{(V_2 - V_1)}{V_2} \cdot \left[1 - \frac{t_d}{T} - \frac{1}{\omega_o T} \cdot (2 - \sin(\omega_o t_d))\right] \tag{3.35}$$

Analizando con atención la expresión obtenida en (3.35), es posible concluir que el ciclo de trabajo está definida por la misma expresión que un convertidor elevador operando en MCC, pero ahora multiplicado por un término que depende del periodo de conmutación y de la transición resonante. Llamando a este parámetro adicional α y definiéndolo como

$$\alpha = 1 - \frac{t_d}{T} - \frac{1}{\omega_o T} \cdot (2 - \sin(\omega_o t_d)) \tag{3.36}$$

es posible reescribir (3.35) en función de α, quedando como

$$d = \frac{t_{on}}{T} = \frac{(V_2 - V_1)}{V_2} \cdot \alpha \tag{3.37}$$

De igual forma, la ganancia estática se puede definir como

$$M = \frac{\alpha}{\alpha - D} \tag{3.38}$$

Cuando se lleva al caso extremo la expresión (3.36) (i.e. cuando se pasa del modo QSW-ZVS a un modo frontera o MCL), este parámetro resulta

$$\alpha|_{td=0} = 1 - \frac{2}{\omega_o T} \approx 1 \tag{3.39}$$

Por lo tanto, cuando se particulariza para $\alpha = 1$ las expresiones (3.34), (3.37) y (3.38) pasan a ser las expresiones analíticas que se pueden obtener en el análisis estático del convertidor elevador trabajando en MCL.

3.2.1.2. Variaciones de la frecuencia de conmutación y del ratio de conversión

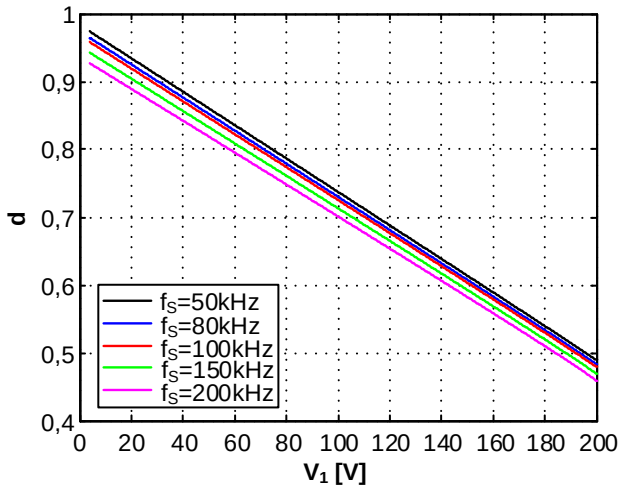
Utilizando las expresiones analíticas deducidas en el apartado anterior, cabe preguntarse cuál será la variación de los distintos intervalos de tiempo, de la frecuencia de conmutación y del ciclo de trabajo en función de las variaciones en la tensión de entrada, tensión de salida o de la carga del convertidor. Para todos los ejemplos que se mostrarán a continuación se han fijado unas condiciones nominales de funcionamiento que se recogen en la Tabla 3.1. En los resultados que se mostrarán a continuación, se ha modificado una de estas variables y se han mantenido fijas el resto para poder realizar una interpretación gráfica de las relaciones alcanzadas en el apartado anterior.

Tabla 3.1. Especificaciones tomadas como las condiciones nominales para ilustrar la variación de los parámetros fundamentales de funcionamiento del convertidor.

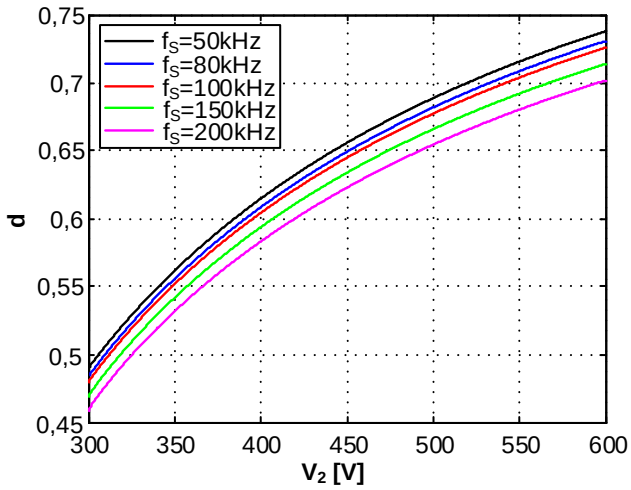
Parámetro	V_1	V_2	P	f_S	f_O	L
Valor	150V	400V	500W	100kHz	1,6MHz	97µH

Así pues, en la Figura 3.13 se ha representado la variación del ciclo de trabajo en función de las variaciones en las tensiones de entrada y de salida. En ambos casos, se ha mantenido la misma carga y el mismo valor de la frecuencia de resonancia y se han obtenido distintas curvas para distintos valores de la frecuencia de conmutación nominal. La frecuencia de conmutación nominal se define como aquella a la que trabaja el convertidor a plena carga en las condiciones

nominales de tensión de entrada y de salida (500W, 150V y 400V respectivamente). Por su parte, en la Figura 3.14 se ha representado nuevamente la variación del ciclo de trabajo en función de la tensión de entrada y de la tensión de salida pero manteniendo en este caso el mismo valor de la frecuencia de conmutación nominal y variando la frecuencia de resonancia (para distintas combinaciones de L y C_{SW}). Para obtener estas representaciones se ha utilizado la ecuación (3.37), haciendo uso también de las expresiones recogidas en (3.19), (3.35) y (3.36).

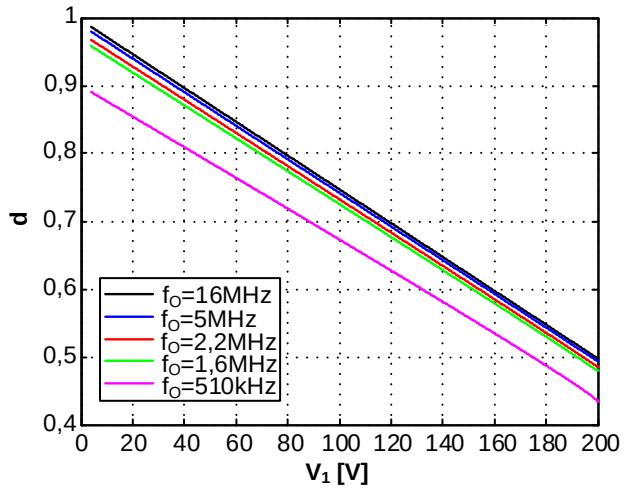


(a)

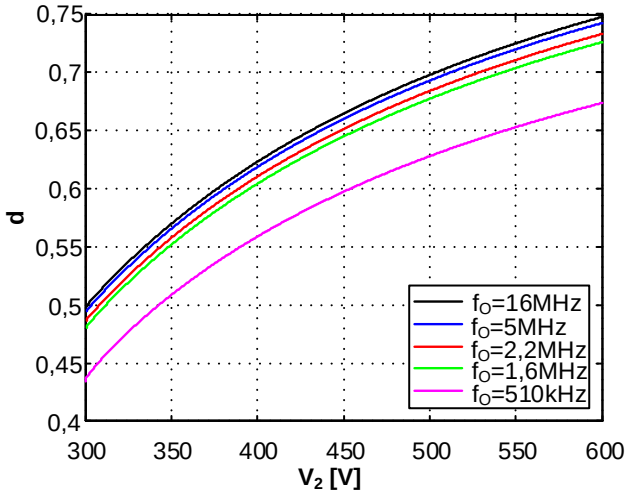


(b)

Figura 3.13. Variación del ciclo de trabajo para el convertidor elevador en QSW-ZVS para diferentes valores de la frecuencia de conmutación nominal f_S con una frecuencia de resonancia (f_o) de 1,6MHz. (a) Frente a variaciones de la tensión de salida. (b) Frente a variaciones de la tensión de entrada.



(a)



(b)

Figura 3.14. Variación del ciclo de trabajo para el convertidor elevador en QSW-ZVS para diferentes valores de la frecuencia de resonancia (f_o) a frecuencia de conmutación nominal f_s de 100kHz. (a) Frente a variaciones de la tensión de salida. (b) Frente a variaciones de la tensión de entrada.

Más concretamente, en la Figura 3.13(b) y Figura 3.14(b) se muestra la variación de d frente a V_2, cuando la tensión de entrada es 150V. Para las Figura 3.13(a) y Figura 3.14(a) se ha variado V_1 manteniendo la tensión de salida fija en 400V. En ambos casos se ha respetado el límite de conmutación suave que, como ya se ha mencionado en (3.16), establece que la tensión de salida ha de ser mayor o igual que el doble de la tensión de entrada. Como puede apreciarse, la tendencia es similar al funcionamiento en MCC o en MCL del convertidor elevador (i.e. un mayor valor de d para menores tensiones de entrada siendo fija la tensión de salida, o, de manera equivalente, un d creciente para mayores tensiones de salida siendo fija la tensión de entrada). También puede observarse que la tendencia de las representaciones gráficas es similar frente a variaciones tanto en la frecuencia de conmutación como en la frecuencia de resonancia.

Siguiendo con este sencillo ejercicio, también es posible, mediante la aplicación de las ecuaciones recopiladas en el apartado anterior, representar la variación de cada uno de los tres tiempos de cada intervalo de conducción (i.e. t_{on}, t_{off} y t_d) y del periodo de conmutación. Concretamente, es posible obtener el valor de t_{on} utilizando la ecuación (3.35), el valor de t_d con la ecuación (3.19), el valor de t_{off} se puede obtener a partir de los anteriores y el periodo de conmutación resulta de la suma de los tres anteriores, como se estableció en (3.6). Los resultados obtenidos para variaciones frente a la tensión de entrada se muestran en la Figura 3.15, para distintos valores de la f_s cuando f_o es fija, y en la Figura 3.16 para distintos valores de f_o cuando f_s es fija. Análogamente, las variaciones de los intervalos frente a la tensión de salida se recogen en la Figura 3.17 para distintos valores de f_s y en la Figura 3.18 para distintos valores de f_o. En ambos casos, los resultados concuerdan con los mostrados en la Figura 3.13 y en la Figura 3.14 para las variaciones en el ciclo de trabajo. Es importante destacar que el intervalo t_d es constante para las variaciones en la f_s, tal y como establece la ecuación (3.19), por lo que los resultados se solapan en la Figura 3.15(c) y en la Figura 3.17(c).

Concretamente, con respecto a las variaciones en la tensión de salida, en la Figura 3.15 y la Figura 3.17 puede verse cómo t_{on} crece de manera no lineal con V_2, mientras que el tiempo t_{off} decrece. Este hecho se explica a partir del concepto de magnetización y desmagnetización de la inductancia. Para una mayor tensión de salida, a tensión de entrada fija y potencia fija, la pendiente de la corriente por la inductancia durante la desmagnetización es mayor (pues el término $V_2 - V_1$ es mayor). Por lo tanto, se alcanza antes el valor nulo de corriente por la inductancia a tensiones de salida mayores. El tiempo de resonancia t_d también decrece de acuerdo a la evolución impuesta por el arco-coseno, como se dedujo en la expresión (3.19). Nótese como este tiempo es 10 veces menor que los tiempos t_{on} y t_{off}, como cabría esperar de un intervalo que define el tiempo muerto entre la conducción de ambos transistores. Una tendencia análoga pero a la inversa puede extraerse de los resultados respecto a la variación de la tensión de entrada (véase la Figura 3.15 y la Figura 3.16).

En todos los resultados analizados, puede verse que las tendencias de variación de los intervalos son similares para distintos valores de f_s y para distintos valores de f_o. En ambos casos conviene destacar que pese a que t_{on} y t_{off} varían notablemente, el periodo de conmutación no, puesto que el efecto de crecimiento y decrecimiento de un tiempo y el otro prácticamente llegan a compensarse. De hecho, la variación en el periodo de conmutación es ligeramente mayor para los resultados obtenidos ante la variación de f_o (véase la Figura 3.16(d) y la Figura 3.18(d)). No obstante, esta variación no resulta ser muy grande en comparación con el valor nominal del periodo de conmutación.

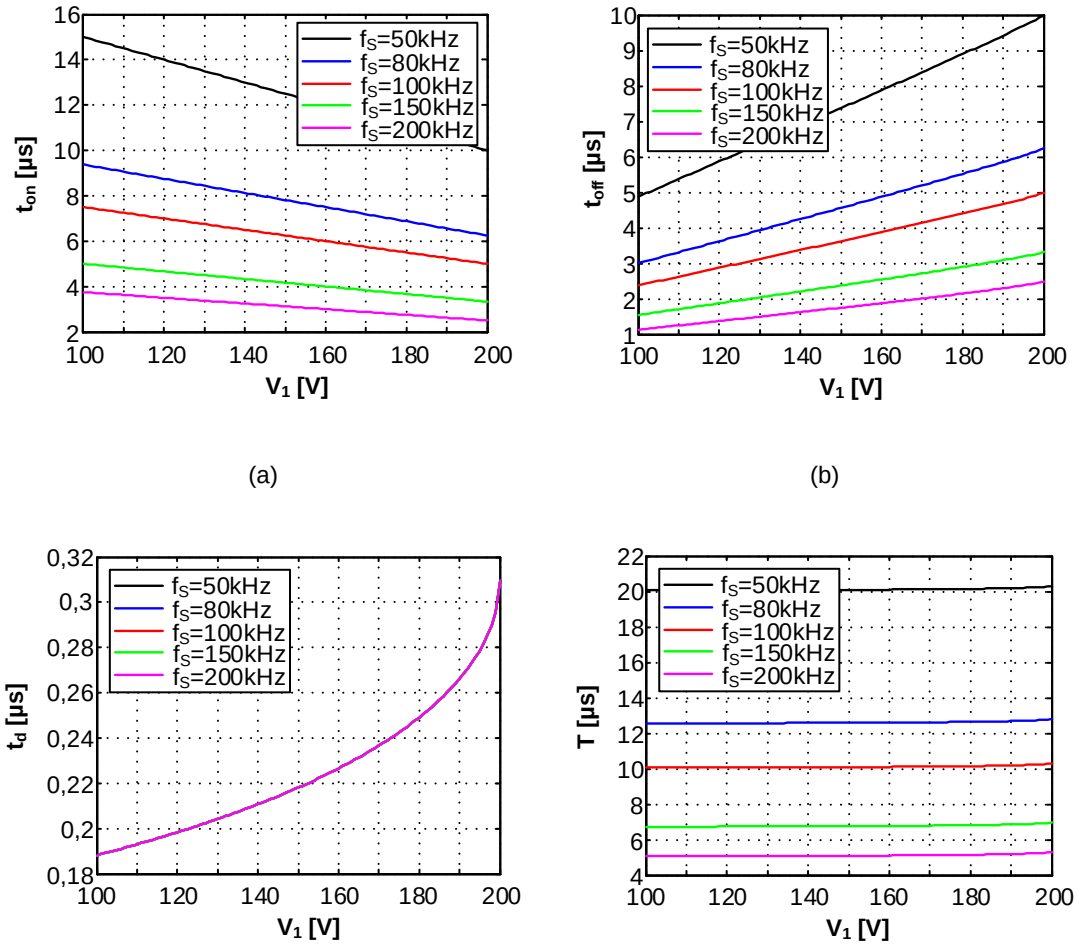
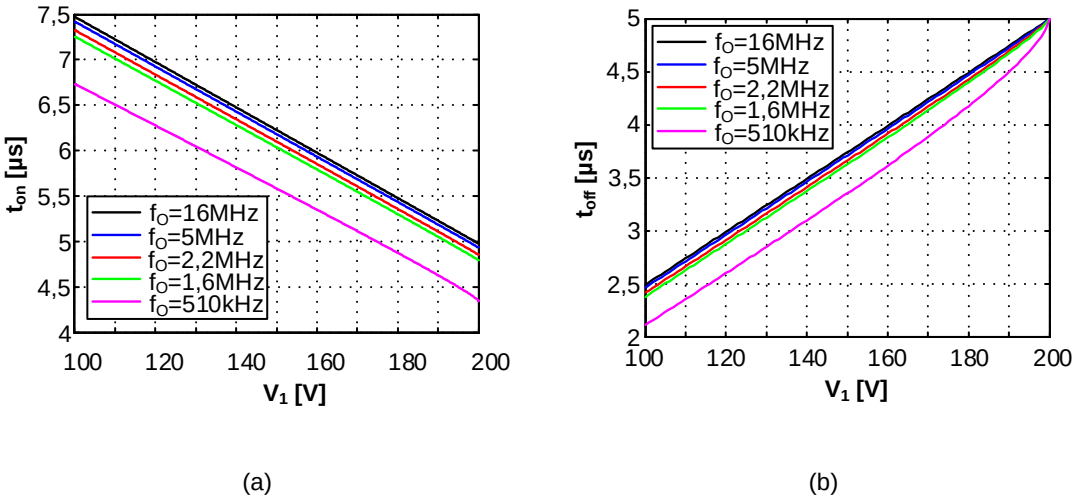
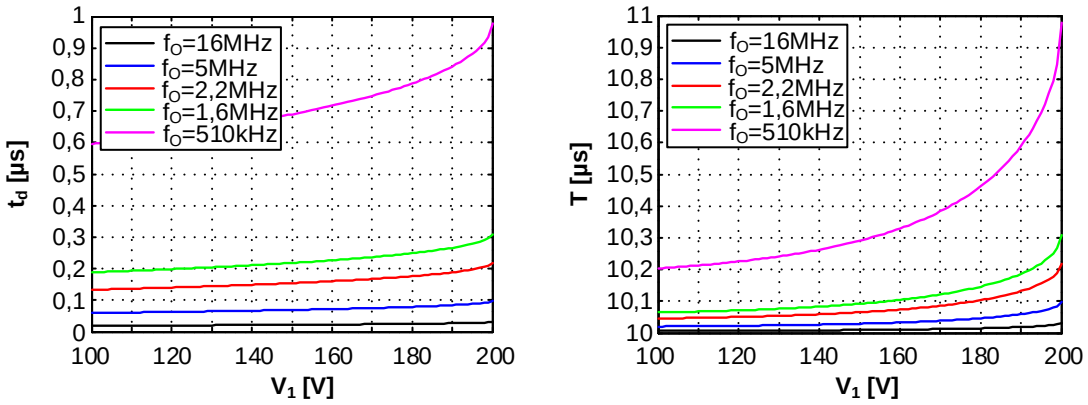


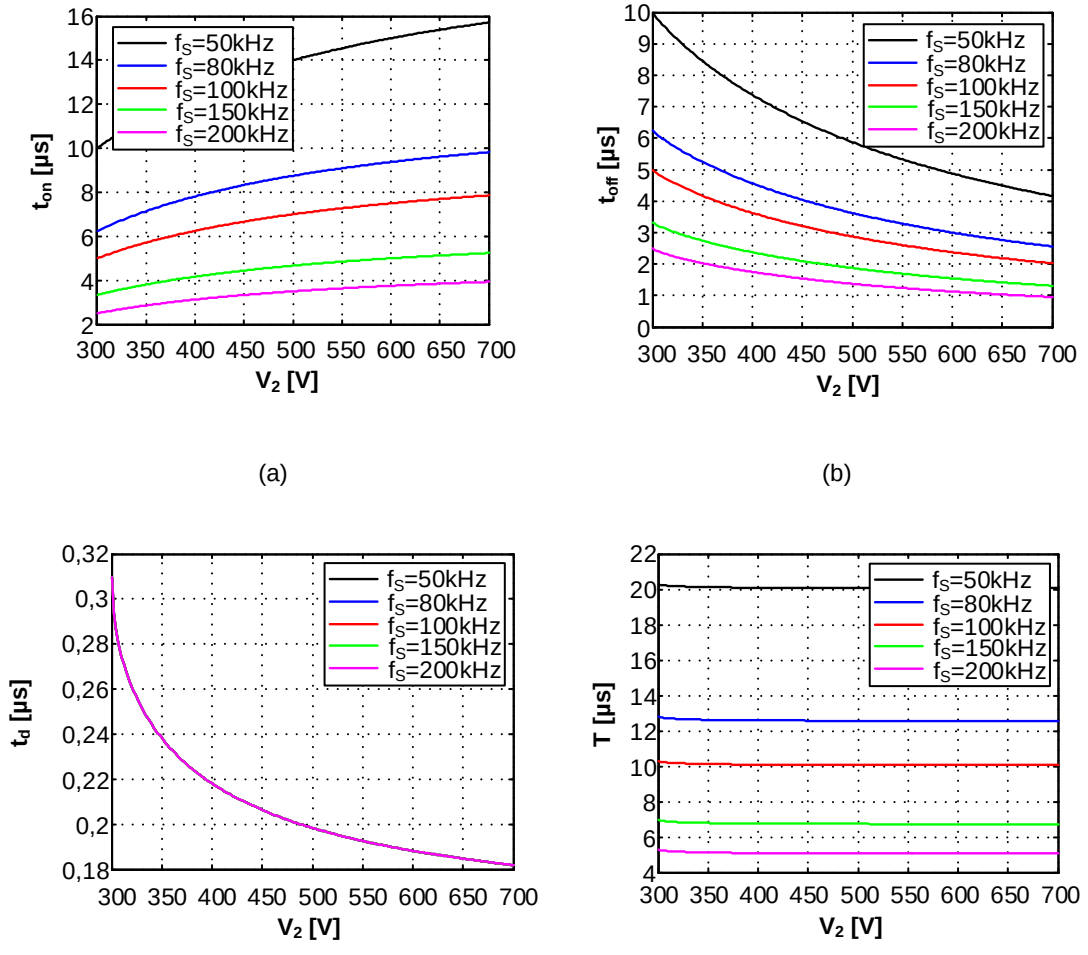
Figura 3.15. Variación de los intervalos de conmutación en función de la tensión de entrada para distintos valores de la frecuencia de conmutación (f_s) cuando la frecuencia de resonancia f_o es 1,6MHz.(a) Variación de t_{on}. (b) Variación de t_{off}. (c) Variación de t_d. (d) Variación de T.





(c) (d)

Figura 3.16. Variación de los intervalos de conmutación en función de la tensión de entrada para distintos valores de la frecuencia de resonancia (f_o) cuando la frecuencia de conmutación nominal f_s es 100kHz.(a) Variación de t_{on}. (b) Variación de t_{off}. (c) Variación de t_d. (d) Variación de T.



(a) (b)

(c) (d)

Figura 3.17. Variación de los intervalos de conmutación en función de la tensión de salida para distintos valores de la frecuencia de conmutación (f_s) cuando la frecuencia de resonancia f_o es 1,6MHz.(a) Variación de t_{on}. (b) Variación de t_{off}. (c) Variación de t_d. (d) Variación de T.

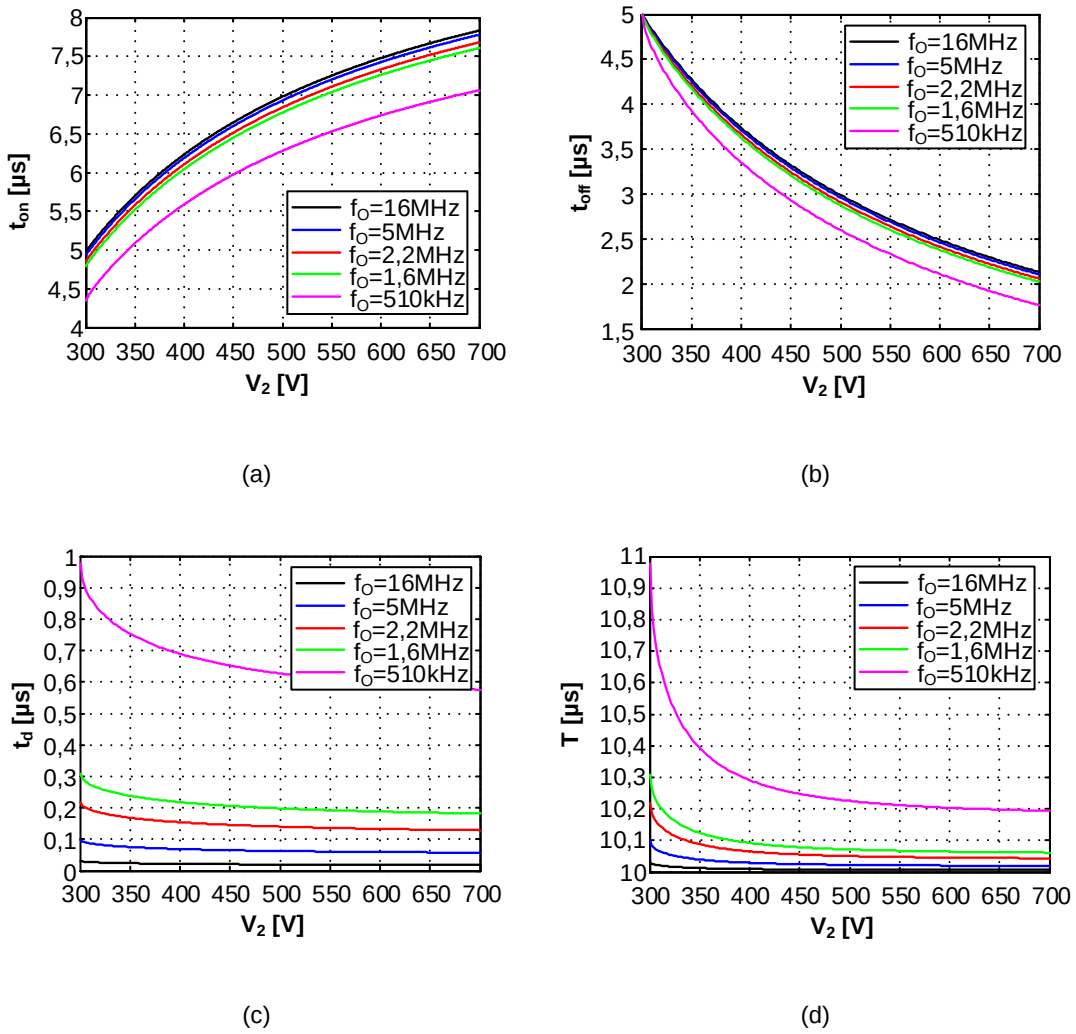
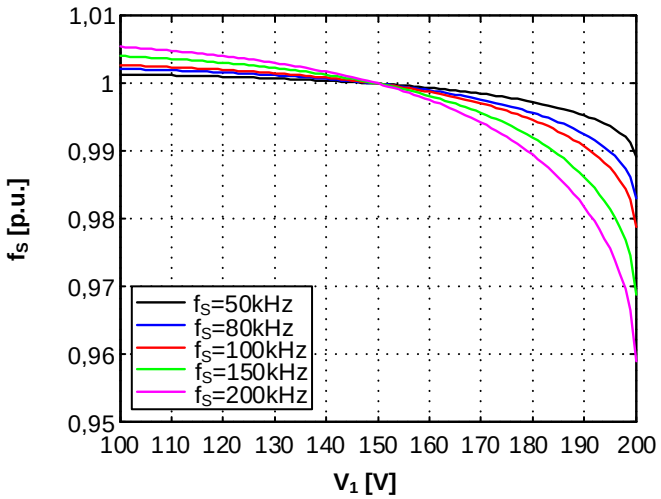


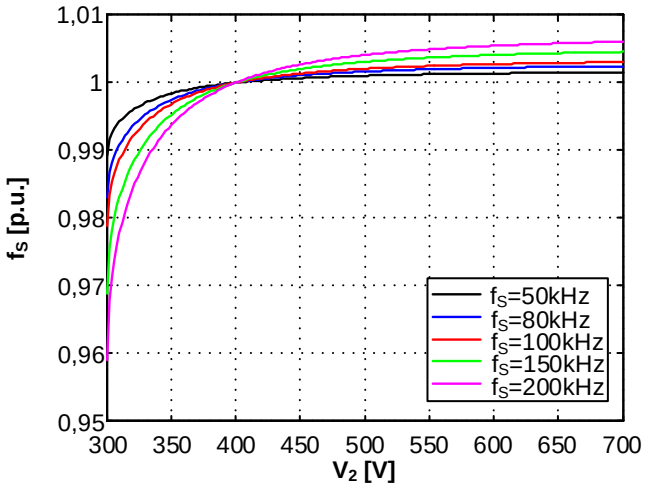
Figura 3.18. Variación de los intervalos de conmutación en función de la tensión de salida para distintos valores de la frecuencia de resonancia (f_o) cuando la frecuencia de conmutación nominal f_s es 100kHz.(a) Variación de t_{on}. (b) Variación de t_{off}. (c) Variación de t_d. (d) Variación de T.

Puesto que la variación de la frecuencia de conmutación es determinante en la operación de este convertidor y en su diseño, en la Figura 3.19 se ha representado la frecuencia de conmutación normalizada al valor nominal de las condiciones de funcionamiento impuestas como punto de trabajo (i.e. $V_1 = 150\text{V}$ y $V_2 = 400\text{V}$) para distintos valores de la frecuencia de conmutación nominal. Tanto para la variación en la tensión de entrada (véase Figura 3.19(a)) como para las variaciones en la tensión de salida (Figura 3.19(b)), la excursión en la frecuencia de conmutación apenas supera el 2% en el caso más extremo. Esto se traduce en una variación de 2Hz en dicha frecuencia suponiendo que la frecuencia de conmutación nominal (i.e. para las condiciones de trabajo nominales) es de 100kHz. Por lo tanto, se trata de una variación muy pequeña sobre el valor nominal. Si se presta atención a los resultados de la Figura 3.19(b) puede verse que mayores tensiones de salida requieren mayores frecuencias de conmutación. La tendencia contraria ocurre cuando la tensión de entrada crece, en cuyo caso, la frecuencia de conmutación es menor (véase Figura 3.19(a)). Las mismas conclusiones pueden extraerse de la

Figura 3.20, en donde se recogen las variaciones de la frecuencia de conmutación para distintos valores de f_o, nuevamente frente a la tensión de entrada (Figura 3.20(a)) como frente a la tensión de salida (Figura 3.20(b)).

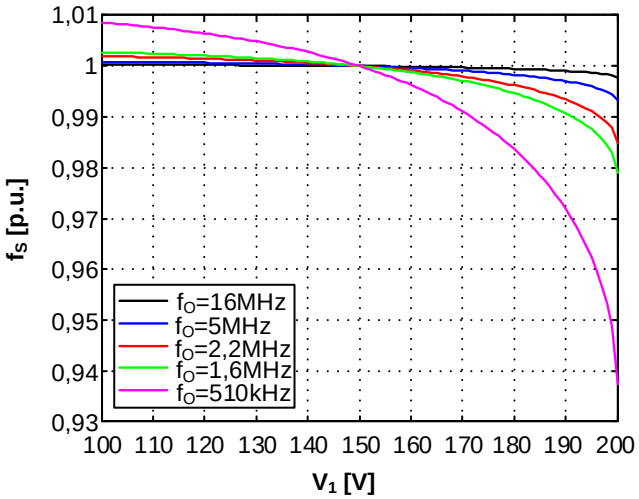


(a)

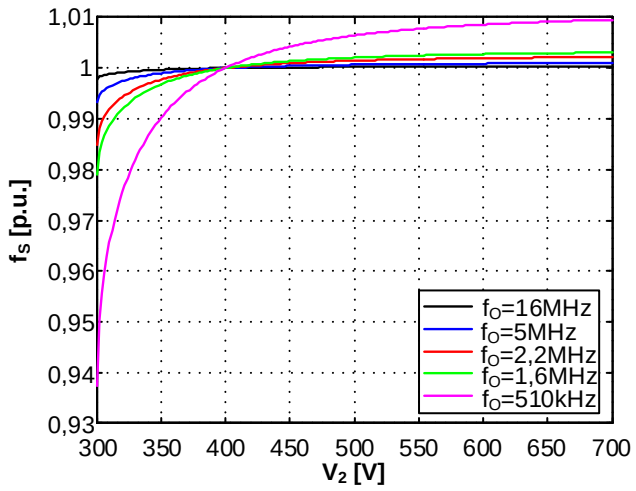


(b)

Figura 3.19. Variaciones en la frecuencia de conmutación (normalizada al valor nominal) para distintos valores de la frecuencia de conmutación (f_s) cuando la frecuencia de resonancia f_o es 1,6MHz. (a) En función de la tensión de entrada. (b) En función de la tensión de salida.



(a)

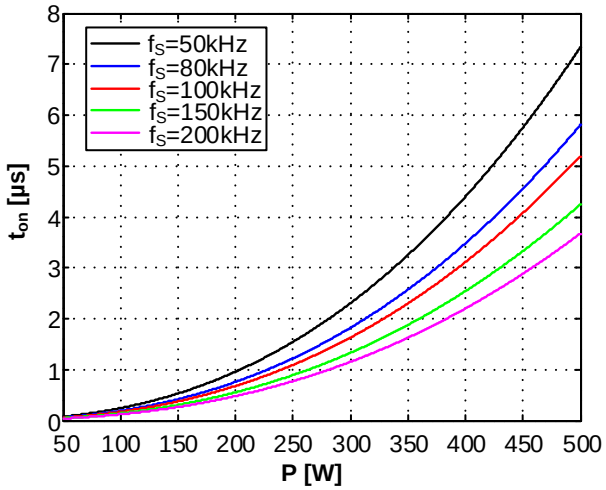


(b)

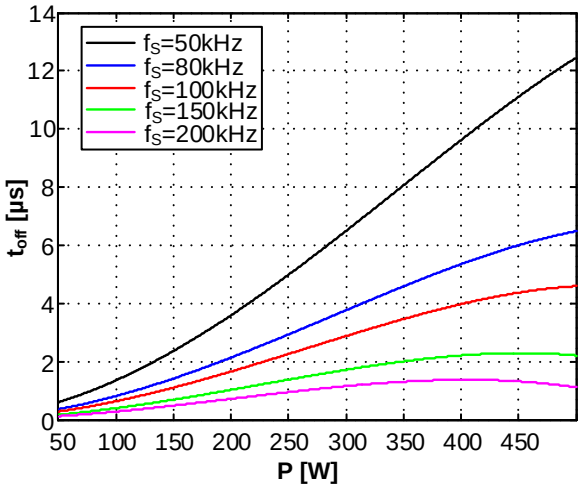
Figura 3.20. Variaciones en la frecuencia de conmutación (normalizada al valor nominal) para distintos valores de la frecuencia de resonancia (f_o) cuando la frecuencia de conmutación nominal f_s es 100kHz.. (a) En función de la tensión de salida. (b) En función de la tensión de entrada.

Hasta ahora, se ha supuesto que el nivel de potencia que estaba procesando el convertidor se mantenía constante, para poder analizar la variación en los parámetros de funcionamiento en función de la variación de las tensiones tanto de entrada como de salida. Como consecuencia de este análisis, se ha podido comprobar que la excursión en la frecuencia de conmutación no es muy significativa siempre que el rango de tensiones de trabajo del convertidor no sea excesivamente grande. No obstante, cabe preguntarse qué ocurre cuando la carga del convertidor varía. Ya se razonó en el apartado anterior qué ocurría si el convertidor tenía que operar con una potencia menor (como se expuso en la Figura 3.10(b)): a menor potencia procesada, menor periodo de conmutación y, por lo tanto, mayor frecuencia. Deducidas las expresiones analíticas que relacionan la potencia con los tiempos de conmutación, es posible

obtener una gráfica para discernir cuánto es dicha variación en la frecuencia. Así pues, a partir de las ecuaciones deducidas y presentadas anteriormente, se ha representado la variación de cada uno de los tiempos de cada intervalo de conmutación, en función de la potencia procesada por el convertidor. En la Figura 3.22 y en la Figura 3.21 se han representado el tiempo de magnetización (t_{on}) y el tiempo de desmagnetización (t_{off}) respectivamente. Como se puede ver, tanto t_{on} como t_{off} decrecen proporcionalmente con el descenso en el nivel de potencia, como cabía esperar. El t_{on} sufre un decremento de un 13,5% para un 20% (un quinto) de reducción en la potencia procesada. En el caso de t_{off}, éste varía aproximadamente un 20% cuando la potencia varía entre 100W y 500W.

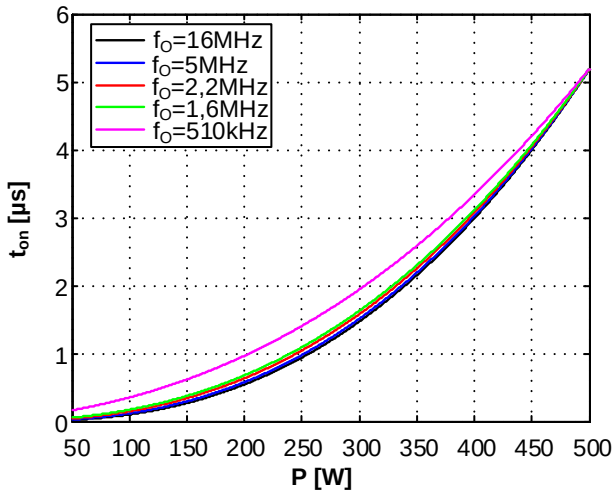


(a)

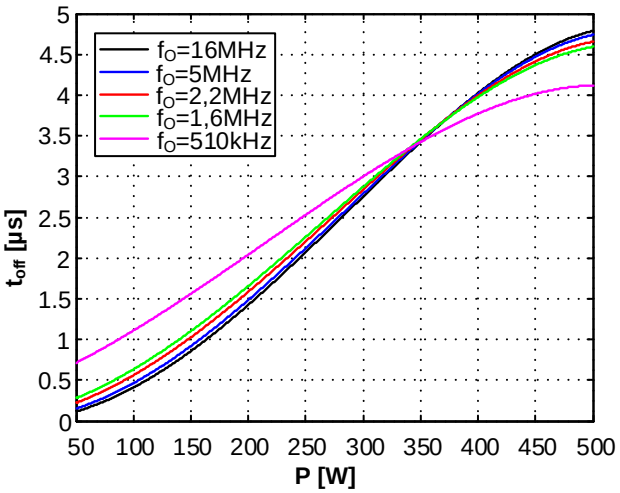


(b)

Figura 3.21. Variación de los intervalos de conmutación en función de la potencia procesada para distintos valores de la frecuencia de conmutación (f_s) cuando la frecuencia de resonancia f_o es 1,6MHz. .(a) Variación de t_{on}. (b) Variación de t_{off}.



(a)

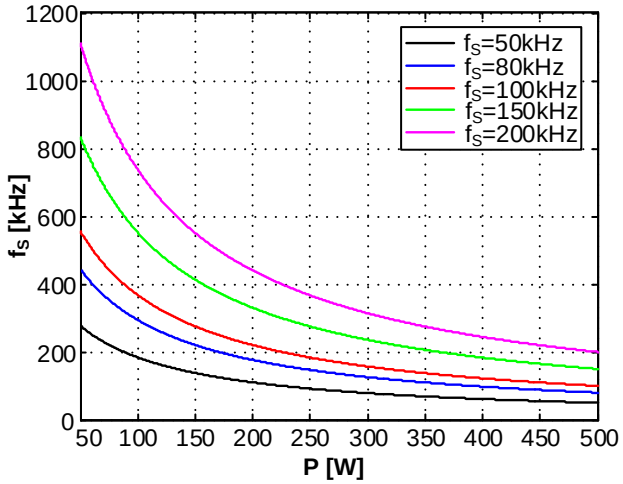


(b)

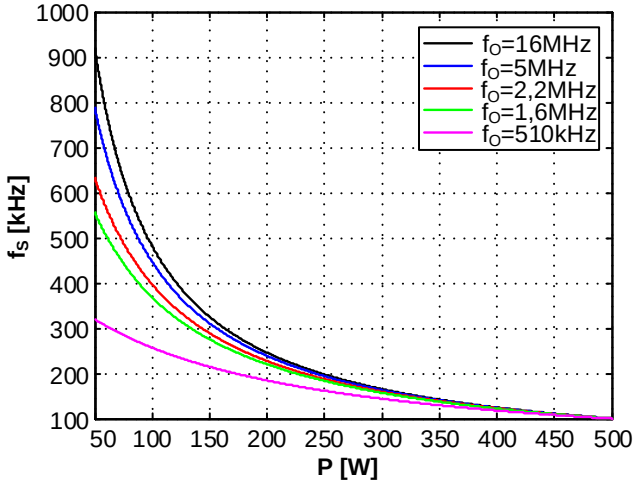
Figura 3.22. Variación de los intervalos de tiempo en función de la potencia procesada de magnetización t_{on} en función de la potencia procesada para distintos valores de la frecuencia de resonancia (f_o) cuando la frecuencia de conmutación nominal f_s es 100kHz. (a) Variación de t_{on}. (b) Variación de t_{off}.

Es importante recordar que el tiempo de resonancia t_d no varía con la potencia que está procesando el convertidor, por lo que se mantienen constante para cualquier carga. La variación de la frecuencia de conmutación en función de la potencia se muestra en la Figura 3.23, para distintos valores de f_s nominales en la Figura 3.23(a) y para distintos valores de f_o en la Figura 3.23(b). Como puede observarse, la frecuencia se triplica cuando se procesa un quinto de la potencia nominal (véase la Figura 3.23(a)), llegando a quintuplicarse para los distintos valores de f_o (como puede verse en la Figura 3.23(b)). Por lo tanto, bajo este análisis particular, puede decirse que la excursión en la frecuencia de conmutación en función de la carga es notable. Tanto, que a baja carga el convertidor puede operar incluso a una frecuencia que resulta ser cinco veces

la frecuencia de conmutación que en condiciones de plena carga. Ante tales circunstancias, lo más habitual desde el punto de vista práctico resulta fijar un límite máximo de frecuencia de conmutación (o un límite mínimo de potencia). Alcanzado dicho límite, el convertidor operaría a frecuencia constante, en un modo similar al que en su momento se comentó en el apartado anterior (véase de nuevo la Figura 3.20(a)). Esto conlleva un incremento en las pérdidas de conducción, al incrementar notablemente el valor eficaz de la corriente procesada por el hecho de conmutar a frecuencia constante y, por lo tanto, una disminución en el rendimiento del convertidor cuando éste opera a baja carga.



(a)



(b)

Figura 3.23. Variación de la frecuencia de conmutación f_s en función de la potencia procesada. (a) Para distintos valores de la frecuencia de conmutación (f_s) cuando la frecuencia de resonancia f_o es 1,6MHz. (b) Para distintos valores de la frecuencia de resonancia (f_o) cuando la frecuencia de conmutación nominal f_s es 100kHz

3.2.1.3. Proceso de diseño del modo QSW-ZVS

En el diseño de un convertidor elevador síncrono en modo QSW-ZVS a frecuencia variable intervienen al menos cuatro parámetros que hay que seleccionar: la frecuencia de conmutación nominal f_s (generalmente definida para potencia máxima y condiciones nominales de tensión tanto de entrada como de salida), la frecuencia de resonancia f_o, el valor de inductancia L y el valor del condensador C_{SW}.

Por lo general, es posible encontrar distintas combinaciones de f_s, f_o, L y C_{SW} que satisfagan las especificaciones iniciales. Para poder encontrar una solución única, se busca aquella solución que proporcione el mejor rendimiento posible cuando el convertidor opera en condiciones nominales. Con este criterio, el diseño del convertidor para encontrar la solución óptima pasa por un algoritmo iterativo que tenga en cuenta las pérdidas del convertidor para ponderar los parámetros f_s, f_o, L y C_{SW}.

Como resulta obvio, este proceso de diseño no es sencillo y resulta ser matemáticamente costoso, teniendo en cuenta las expresiones obtenidas en el apartado anterior. Por esta razón, los autores de [3.14] y [3.21] han planteado una simplificación para poder diseñar el convertidor en este modo de operación. Conviene destacar dos aspectos muy importantes de las técnicas planteadas en [3.14] y [3.21]. En primer lugar, estos algoritmos de diseño se han planteado para el modo QSW-ZVS operando a frecuencia constante, aunque pueden aplicarse al modo QSW-ZVS a frecuencia variable teniendo en cuenta ciertos aspectos que se comentarán más adelante. En segundo lugar, estos diseños pasan por aproximar el modo QSW-ZVS a un MCL en condiciones nominales, de forma que las pérdidas asociadas al convertidor QSW-ZVS se asumen similares a las del convertidor operando en MCL. Esta aproximación introduce un cierto error, como es lógico, pero éste resulta ser asumible en la mayoría de los casos de diseño. De esta forma se logra simplificar el proceso de diseño del modo QSW-ZVS.

Basándose en los algoritmos planteados en [3.14] y [3.21], se resumen aquí los pasos de diseño para el modo QSW-ZVS de frecuencia variable.

- ***Paso 1: determinar M_{min} y M_{max}***

El primer paso es calcular la relación de transformación mínima y máxima entre la tensión de salida y la tensión de entrada a partir de los datos fijados por las especificaciones.

- ***Paso 2: calcular el rango de variación de F***

Aunque en (3.38) se llegó a una expresión de M en función de α y d, es posible utilizar una expresión de M en función de F deducida y planteada en [3.21] y que se recoge a continuación:

$$M^5 \cdot (1-D) - M^4 + M^2 \cdot \frac{D \cdot Q^2}{2} + M \cdot [(D-1) \cdot (K \cdot D)^2] + (K \cdot D)^2 = 0 \tag{3.40}$$

en donde D es el ciclo de trabajo definido para MCL:

$$D = \frac{V_2 - V_1}{V_2} \tag{3.41}$$

Q se define como el factor de calidad:

$$Q = \frac{R}{Z_o} \tag{3.42}$$

y K se define como:

$$K = \frac{2L}{R \cdot T} = \pi \cdot \frac{Q}{F} \tag{3.43}$$

En la Figura 3.24 se ha representado la variación de M en función de F según la expresión (3.40). Con esta figura es posible determinar los valores de F_{min} y F_{max} a partir de los valores M_{min} y M_{max}. Como puede verse en la Figura 3.24, únicamente se han representado valores de $F < 1$. Por lo general, se emplea habitualmente esta configuración en el modo QSW-ZVS, es decir, un modo de operación en la que la frecuencia de resonancia siempre es mayor (pudiendo llegar a ser mucho mayor) que la frecuencia de operación. Este modo particular también se conoce como trabajo por debajo de resonancia. No obstante, es posible plantear, de manera teórica, diseños para $F > 1$ (para operación por encima de resonancia), pero no suele ser habitual este modo de operación en la práctica. Esto se debe a que para conseguir que f_s sea mayor que f_o, o bien se eleva mucho la frecuencia de conmutación (hasta el orden de MHz), lo que resulta complejo en la realización práctica, o bien se reduce mucho la frecuencia de resonancia, lo que resulta en valores de L y C_{SW} relativamente altos.

También es posible calcular un valor de F nominal utilizando la siguiente expresión planteada en [3.18]

$$F_{nom} = \frac{\pi}{\pi - \operatorname{atan}\left(\frac{\sqrt{2M_{nom} - 1}}{1 - M_{nom}}\right) + \frac{\sqrt{2M_{nom} - 1}}{1 - M_{nom}}} \tag{3.44}$$

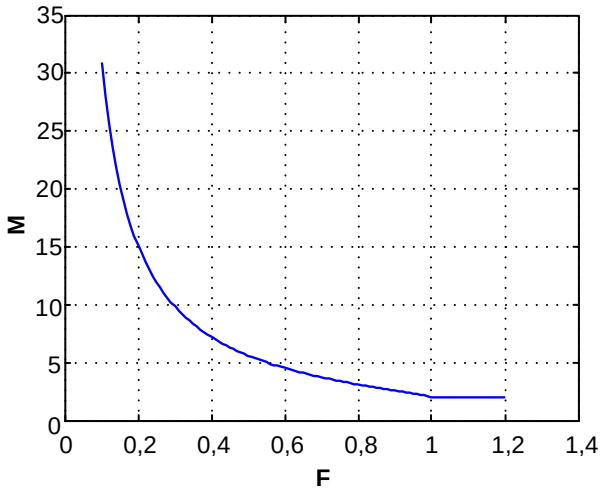


Figura 3.24. Variación de la ganancia estática entre la tensión de salida y la tensión de entrada en función de la frecuencia normalizada F según la expresión propuesta en [3.21].

- ***Paso 3: calcular el valor de t_{off} e I_{Lp}.***

Una vez que se tiene un rango de F, se pueden calcular los valores de tiempos de desmagnetización y corriente de pico. Para ello, se aproxima el modo QSW-ZVS al modo MCL, con lo que es posible obtener unas expresiones que relacionan el tiempo de desmagnetización y el valor de pico de la corriente con la frecuencia normalizada F, tal y como se plantea en [3.18]. El intervalo de desmagnetización se puede aproximar como

$$D_{off} \approx \frac{F}{4} \cdot \operatorname{atan}\left(\frac{F}{\pi \cdot \sqrt{1-F}}\right) \tag{3.45}$$

Mientras que la corriente de pico se aproxima por

$$I_{Lp-norm} \approx \frac{2}{\sqrt{1-F}} \tag{3.46}$$

Tanto D_{off} como $I_{Lp-norm}$ son valores normalizados. El tiempo de desmagnetización se puede obtener una vez que se determine la frecuencia de conmutación a partir de:

$$t_{off} = \frac{D_{off}}{f_s} \tag{3.47}$$

Mientras que el valor desnormalizado de la corriente de pico puede obtenerse a partir del valor de la corriente media por la inductancia:

$$I_{Lp} = I_{Lp-norm} \cdot I_{Lm} \tag{3.48}$$

- ***Paso 4: fijar un valor de F de acuerdo a los parámetros anteriores***

Con los valores aproximados dados por (3.45) y (3.46) es posible estimar aproximadamente las pérdidas de conducción del convertidor.

En este punto, se hace preciso fijar el valor de la frecuencia de conmutación f_s. Para ello, se tienen en cuenta los valores normalizados calculados en el paso 3 para estimar las pérdidas de conmutación para una f_s dada. De esta forma, es posible evaluar el peso de las pérdidas en el convertidor y obtener un valor óptimo de la frecuencia de conmutación tanto para el caso nominal como para el caso de F_{max} de forma que se minimicen las pérdidas del convertidor en ambos casos. A esta solución óptima se llega en un proceso de iteración como una solución de compromiso entre el peso de las pérdidas en conducción y el peso de las pérdidas en conmutación permitido para el convertidor.

Cabe destacar que en el caso del modo QSW-ZVS, esta frecuencia de conmutación es variable y se ajustará a la relación de tensión de entrada y tensión de salida en el rango de operación del convertidor, como ya se ha comprobado en las representaciones gráficas recogidas en la Figura 3.19. La frecuencia de resonancia permanecerá fija, puesto que los valores de L y C_{SW} no variarán en el convertidor para los distintos puntos de funcionamiento del convertidor.

El rango de excursión de la frecuencia de conmutación vendrá impuesto por los valores F_{min} y F_{max} calculados en el paso 1 de este diseño, y pueden utilizarse estos valores para alcanzar la solución óptima.

- ***Paso 5: obtener el valor de Z_o a partir del valor de f_s anterior y de la carga normalizada***

Una vez que se ha seleccionado un valor para la frecuencia de conmutación, es posible obtener un valor de la frecuencia de resonancia, sin más que despejar su valor de la frecuencia normalizada como

$$f_o = \frac{f_s}{F_{nom}} \tag{3.49}$$

A partir del valor de la frecuencia de resonancia no es posible determinar el valor de L y C_{SW}, por lo que se hace preciso otra condición para conseguir fijar al menos uno de estos dos valores.

Para ello, se utiliza el concepto de impedancia normalizada definido en [3.14]. La impedancia normalizada se define utilizando el análisis en espacio de estados como

$$\|Z\| = \frac{Z_o \cdot I_2}{V_1} \tag{3.50}$$

En [3.14] se recogen dos aproximaciones para el modo QSW-ZVS que relacionan el valor de la impedancia normalizada con M. Estas expresiones son:

$$\|Z\|_{nom} \approx \frac{\pi}{4} \cdot \left(\frac{1}{f_s} - 1\right) \tag{3.51}$$

$$\|Z\|(M) \approx \pm \frac{\left(M - (1 - M_{nom})\right) \cdot (M_{nom} - M)}{(M_{nom} - 2)^2} \cdot \|Z\|_{nom} \tag{3.52}$$

Si se sustituyen los valores de M_{nom} y M_{max} calculados en el paso 1 y el valor de f_s calculado en el paso 4 en (3.51) y (3.52) se puede obtener el valor máximo de la impedancia normalizada ($\|Z\|(M_{max}) = \|Z\|_{max}$). Conocido este valor, es posible despejar el valor de Z_o de la ecuación (3.50) como

$$Z_o = \frac{V_{1min} \cdot \|Z\|_{max}}{I_{2max}} \tag{3.53}$$

Conocido el valor de Z_o y f_o es posible continuar con el proceso de diseño.

- ***Paso 6: calcular los valores de L y C_{SW}***

Con los valores de Z_o y f_o calculados en el paso 5, se pueden obtener los valores de L y C_{SW} directamente de las relaciones de resonancia:

$$L = \frac{Z_o}{2\pi \cdot f_o} \tag{3.54}$$

$$C_{SW} = \frac{1}{2\pi \cdot f_o \cdot Z_o} \tag{3.55}$$

- ***Paso 7: fijar los límites de f_s***

Conocidos todos los valores, únicamente restaría establecer los rangos de variación de los tiempos de conmutación y de la frecuencia de conmutación en función de la variación en la potencia o del rango de tensiones. Para ello pueden emplearse las ecuaciones (3.6), (3.19) y (3.35) recogidas en el apartado anterior y repetir el ejercicio de análisis realizado en el apartado 3.2.1.3 (desde la Figura 3.13 a la Figura 3.23). A partir de dicho análisis, es posible establecer el valor límite máximo de la frecuencia de conmutación a partir de la cual se fija el modo de operación del convertidor a frecuencia constante.

Pese a que este algoritmo puede utilizarse para determinar los valores de L y C_{SW}, caben otras posibles opciones para poder llegar a un diseño óptimo. Como ya se ha mencionado anteriormente, las capacidades parásitas de salida de los transistores MOSFET utilizados en el

convertidor se utiliza para definir C_{SW}. Dado que el valor de esta capacidad parásita depende fuertemente de las solicitaciones de tensión máxima y corriente máxima del transistor, han de seleccionarse previamente los transistores a emplear para poder determinar el valor de esa capacidad. En tales casos suele emplearse una variación del algoritmo de diseño anterior, en el que se fija el valor de inductancia como menor que el dado por la ecuación de paso a MCD (también llamado valor de inductancia límite). Para ello, se emplea el parámetro K de diseño, recogido en la ecuación (3.43). En el paso 5 del algoritmo de diseño, una vez que se ha fijado un valor de la frecuencia de conmutación, es posible establecer el valor de inductancia límite como

$$L_{lim} = \frac{K \cdot R \cdot T}{2} \tag{3.56}$$

Como se ha citado anteriormente, ha de escogerse un valor de L menor que L_{lim}. Fijado el valor de la inductancia, se calcula el valor de pico de la corriente con la ecuación (3.11), aproximando esta expresión al MCL como

$$i_{Lp} = \frac{V_1}{L} \cdot D \cdot T \tag{3.57}$$

Con este valor de pico, se fija la especificación de la máxima corriente que ha de soportar el transistor. Para encontrar el valor óptimo de L, es posible calcular, a partir del valor de pico, el valor eficaz de la corriente del transistor y estimar las pérdidas en conducción del dispositivo. De esta forma, es posible seleccionar el transistor y determinar el valor de su capacidad parásita. A continuación, se repetiría el algoritmo de diseño anteriormente comentado, fijando en el paso 6 el valor de C_{SW} para recalcular el valor de la L. Este paso se repetiría de manera iterativa hasta conseguir el valor de inductancia que cumpla con los requisitos fijados por las especificaciones iniciales (es decir, con los valores de M y de F fijados en los pasos 1 y 2). Una vez que es conocido el valor de L, es posible continuar con el algoritmo en el paso 6.

Es cierto que, en algunos casos, se añade una capacidad externa colocada en paralelo con los transistores, cuando, por resultado del diseño anterior, la capacidad necesaria para el modo QSW-ZVS resulta ser mayor que la capacidad parásita de salida del transistor. También resulta habitual utilizar una capacidad externa para minimizar el efecto de la no linealidad de las capacidades parásitas de salida de un transistor MOSFET en función de la tensión drenador-fuente que se encuentre soportando el dispositivo. Este fenómeno es bien conocido en este tipo de transistores [3.24]-[3.31], y la variación del valor de capacidad (especialmente de la capacidad de salida) puede ser notable cuando la tensión drenador-fuente varía unos cientos de voltios. Este hecho es especialmente delicado en los transistores MOSFET de tensiones comprendidas entre los 400V y los 900V en general, y para los transistores MOSFET de super-unión en

particular. A modo de ejemplo, se recoge en la Figura 3.25 la variación de las capacidades parásitas del transistor IPW60R160C6 de Infineon [3.32], en función de la tensión drenador-fuente (V_{DS}). Como puede verse, el valor de C_{OSS} cae abruptamente cuando la tensión V_{DS} pasa de 0 a 100V. A partir de este valor, la capacidad C_{OSS} decrece pero la tendencia es significativamente más lenta que en el intervalo anterior. La solución para minimizar esta variación tan abrupta pasa por utilizar una capacidad colocada en paralelo con el transistor, con el objetivo de que dicha capacidad sea dominante en la capacidad resultante, obteniendo así, una capacidad más lineal con la variación de la tensión drenador-fuente.

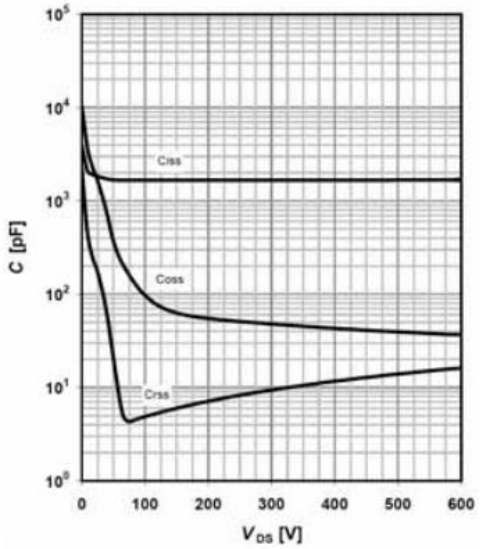


Figura 3.25. Variación de las capacidades parásitas del transistor IPW60R160C6 de Infineon en función de la tensión drenador-fuente, obtenidas a una frecuencia de conmutación de 1MHz. Gráfica extraída de la hoja de características [3.32].

3.2.2. ANÁLISIS DINÁMICO DEL MODO QSW-ZVS

3.2.2.1. Deducción teórica del modelo dinámico

Una vez que se ha presentado el modelo estático del convertidor elevador síncrono QSW-ZVS, se presenta a continuación el análisis dinámico de esta topología. Tradicionalmente, el análisis dinámico de los convertidores básicos (i.e. elevador, reductor y reductor-elevador) operando en QSW-ZVS se ha planteado utilizando el método de promediado de espacio de estados. Esta técnica, analizada en [3.33], se ha venido empleando frecuentemente para el estudio del comportamiento dinámico de convertidores, en particular para el modo MCD y el modo MCL [3.34], especialmente desde que los autores de [3.37] sugirieran su aplicación para analizar las topologías clásicas teniendo en cuenta los ciclos de trabajo útiles y los tiempos de transición en la conmutación. Siguiendo este método, en [3.35] ya se ha presentado un análisis dinámico de las topologías reductora, elevadora y reductora-elevadora para el modo QSW-ZVS. Concretamente, los autores de este trabajo comparan los resultados obtenidos con el convertidor operando en MCD. Además de esto, se utiliza como variables de control la corriente de pico de la inductancia y la frecuencia de conmutación. De esta forma, se plantea el modelo promediado teniendo en cuenta las variaciones de las tensiones tanto de entrada como de salida y su influencia sobre el valor de la corriente de pico y las variaciones en la frecuencia de conmutación (ya sea con un control modo tensión o con un control modo corriente).

En [3.36], se utiliza el método clásico de perturbar basado en promediar y linealizar derivado del análisis en espacio de estados, aplicado al convertidor reductor QSW-ZVS, y se generalizan estos resultados para el resto de familias elevadora y reductora-elevadora. En este caso, la variable de control es el ciclo de trabajo, por lo que se analizan las variaciones de éste en función de las variaciones de la frecuencia de conmutación derivadas a su vez de las variaciones en las tensiones de entrada y de salida, así como de la carga.

Siguiendo esta línea, en la presente tesis se ha planteado el análisis dinámico del convertidor elevador síncrono QSW-ZVS utilizando el método de la corriente inyectada. Esta técnica se propuso en [3.38] a partir de los trabajos previos centrados en modelar el control modo corriente [3.39], [3.40]. Al igual que las dos técnicas mencionadas anteriormente, su uso también ha sido muy extendido, en especial cuando se trata de abordar el problema del modelado dinámico en convertidores resonantes o cuasi-resonantes, como por ejemplo en [3.41]-[3.45]. Así pues, para el modelado de este convertidor se utilizará el esquema de bloques básico mostrado en la Figura 3.26. En el análisis que se va a presentar a continuación se han asumido las siguientes consideraciones. Al igual que en el análisis estático, se analizará únicamente el convertidor en modo elevador, siendo aplicable el análisis aquí realizado al modo reductor. Se considerará un

control modo tensión (i.e. un lazo de regulación de la tensión de salida). El control se encargará de mantener la condición de ZVS variando la frecuencia de conmutación, tal y como se detalló en el análisis estático presentado anteriormente. La variable de control será el tiempo de magnetización (t_{on}) y se analizarán las perturbaciones en las tensiones de entrada y salida y en la carga (V_1, V_2 y R, respectivamente). A continuación se detalla la notación empleada. Las magnitudes dependientes de las variables de control se denotan en minúsculas (e.g. v_1). El valor que toman las variables en el punto de trabajo se denotan en mayúsculas (e.g. V_1). Las perturbaciones de las variables linealizadas se denotan con un apóstrofe (e.g. $\hat{v}_1$).

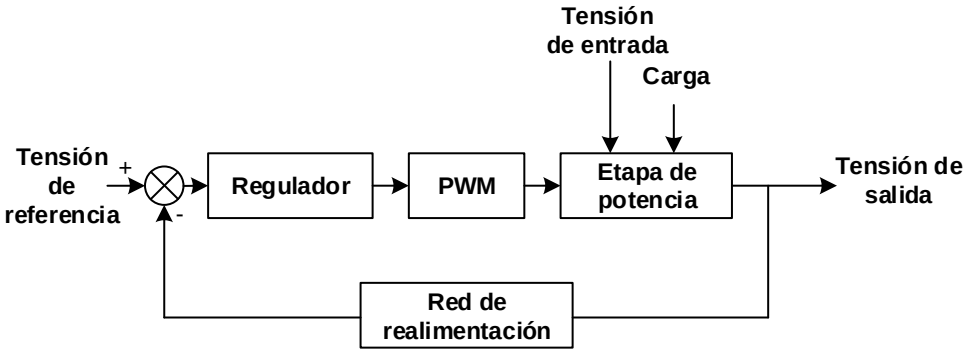


Figura 3.26. Esquema de bloques genérico para el modelado dinámico del convertidor.

El esquema general mostrado en la Figura 3.26 puede particularizarse para el caso del convertidor elevador teniendo en cuenta las consideraciones mostradas anteriormente.

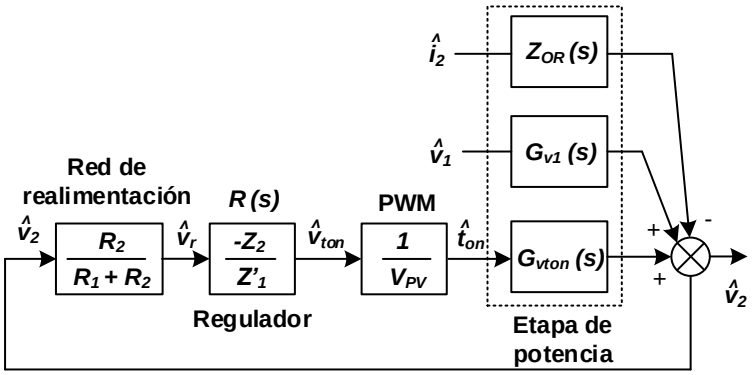


Figura 3.27. Esquema de bloques para el modelado dinámico del convertidor elevador síncrono QSW-ZVS controlado en modo tensión.

En la Figura 3.27 se han sustituido los bloques clásicos tradicionalmente más sencillos de modelar. Para este modelado, si se asume un control analógico, la red de realimentación se puede modelar como una ganancia constante resultado del divisor resistivo que se forma para medir la tensión de salida ($\hat{v}_2$), siendo ésta la variable que se quiere controlar. A su salida, se obtiene la tensión $\hat{v}_r$ que se comparará con la tensión de referencia para generar una señal de error. El regulador, parte esencial del lazo de control, se modela de manera genérica como dos impedancias (Z_1 y Z_2, respectivamente). Este regulador proporciona una tensión $\hat{v}_{ton}$ que se

comparará con la rampa del modulador de ancho de pulso (o PWM). Este bloque se modela como una ganancia constante relacionada con la amplitud de la tensión de la rampa (V_{PV}). Su salida será directamente la variable de control de la etapa de potencia ($\hat{t}_{on}$). Si se utiliza un control digital, el modelado de estos tres bloques sería distinto, sin embargo, el planteamiento del análisis dinámico del convertidor será conceptualmente igual.

Como es conocido en el modelado dinámico de convertidores y siguiendo la teoría clásica de control, la etapa de potencia se modela con unas funciones de transferencia que relacionan las variables a controlar con las variables de entrada o variables de control. En el caso del convertidor elevador síncrono QSW-ZVS, estas funciones de transferencia se han denotado como:

- $G_{ton}(s)$ como la función de transferencia que relaciona los cambios en la tensión de salida ($\hat{v}_2$) respecto a los cambios en la variable de control ($\hat{t}_{on}$).
- $G_{v1}(s)$ como la función de transferencia que relaciona los cambios en la tensión de salida ($\hat{v}_2$) con respecto a los cambios en la tensión de entrada ($\hat{v}_1$).
- $Z_{OR}(s)$ como la función de transferencia que relaciona las variaciones en la tensión de salida ($\hat{v}_2$) con respecto a las variaciones en la corriente de salida ($\hat{\imath}_2$).

Cabe recordar que para poder aplicar la teoría de control clásica, el sistema bajo estudio ha de ser lineal. Un convertidor conmutado es un sistema no lineal, por lo tanto, es preciso linealizar y promediar el convertidor. El promediado de las señales del convertidor elimina la información relativa a la frecuencia de conmutación, pero permite el estudio del valor medio de las variables, lo que resulta ser suficiente para poder deducir la estabilidad del sistema. Por su parte, la linealización del convertidor permite estudiar el comportamiento del mismo en un punto de trabajo y en las cercanías del mismo (es decir, en las variaciones de pequeña señal de las variables de control en torno al punto de trabajo).

El método de la corriente inyectada [3.38]-[3.40] se basa en promediar el comportamiento del convertidor analizado (y en particular, la red de conmutación no lineal) por un circuito lineal equivalente basado en dos fuentes de corriente dependientes. Estas fuentes de corriente se corresponden con los valores promedio de la corriente de entrada y de salida del convertidor. En la Figura 3.28 se ha representado la interpretación de este método, tanto la corriente inyectada a la salida o a la red RC (véase la Figura 3.28(a)) como la corriente extraída de la fuente (Figura 3.28(c)). A su vez, en la Figura 3.28(b) se muestra el circuito promediado equivalente para la salida, mientras que en la Figura 3.28(d) se recoge el circuito promediado para la entrada. En el caso particular del convertidor elevador síncrono QSW-ZVS, la corriente i_{RC} se corresponde con la corriente del transistor S_2, mientras que la corriente de entrada (i_1) es la corriente que circula por la inductancia, i_L, tal y como se ha representado en el circuito equivalente de la Figura 3.29.

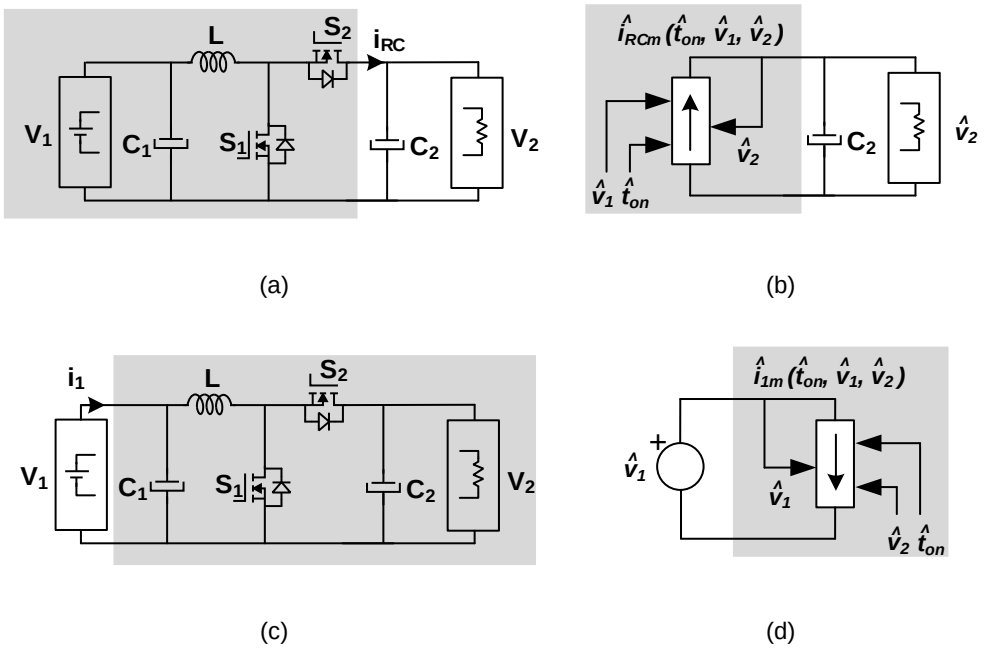


Figura 3.28. Aplicación del método de la corriente inyecta al convertidor elevador síncrono. (a) Modelado respecto a la salida. (b) Circuito promediado equivalente respecto a la salida. (c) Modelado respecto a la entrada. (d) Circuito promediado equivalente respeto a la entrada.

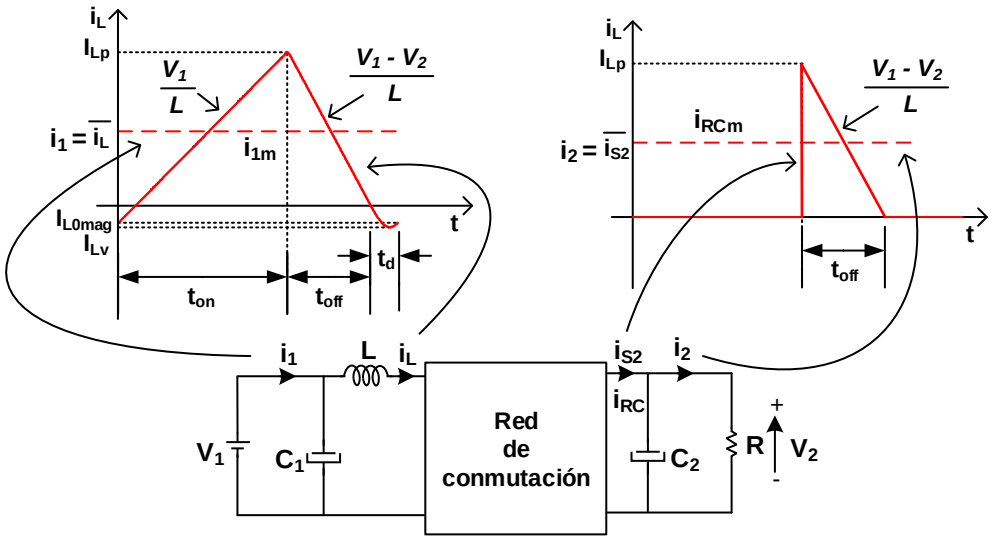


Figura 3.29. Corrientes de entrada y de salida del convertidor elevador síncrono QSW-ZVS para el modelo de la corriente inyectada.

Posteriormente al promediado, se procede a la linealización del sistema en un determinado punto de funcionamiento para obtener el circuito de pequeña señal. Siguiendo este procedimiento, la etapa de potencia puede modelarse como dos fuentes de corriente lineales dependientes de las variables de control, $\hat{t}_{on}$, $\hat{v}_1$ y $\hat{v}_2$. En la Figura 3.30 se ha representado este circuito equivalente utilizando la notación comentada anteriormente.

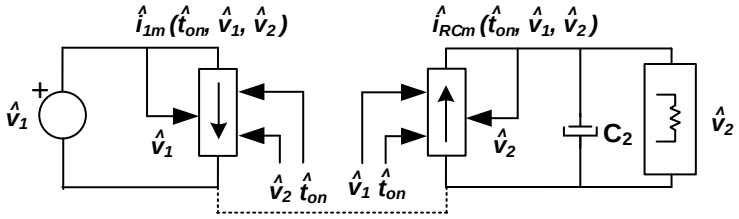


Figura 3.30. Circuito equivalente basado en dos fuentes de corriente dependientes según el método de la corriente inyectada.

Matemáticamente, la linealización de ambas corrientes puede escribirse como

$$\hat{\imath}_{1m}(\hat{t}_{on}, \hat{v}_1, \hat{v}_2) = \left.\frac{\partial i_{1m}}{\partial t_{on}}\right|_{Pto} \cdot \hat{t}_{on} + \left.\frac{\partial i_{1m}}{\partial v_1}\right|_{Pto} \cdot \hat{v}_1 + \left.\frac{\partial i_{1m}}{\partial v_2}\right|_{Pto} \cdot \hat{v}_2 \tag{3.58}$$

$$\hat{\imath}_{RCm}(\hat{t}_{on}, \hat{v}_1, \hat{v}_2) = \left.\frac{\partial i_{RCm}}{\partial t_{on}}\right|_{Pto} \cdot \hat{t}_{on} + \left.\frac{\partial i_{RCm}}{\partial v_1}\right|_{Pto} \cdot \hat{v}_1 + \left.\frac{\partial i_{RCm}}{\partial v_2}\right|_{Pto} \cdot \hat{v}_2 \tag{3.59}$$

en donde se ha denotado por Pto la particularización en el punto de trabajo escogido para la linealización. En las ecuaciones (3.58) y (3.59) existen tres variaciones a las perturbaciones de ambas corrientes: las variaciones en la variable de control ($\partial i_{1m}/\partial t_{on}$), las variaciones respecto a la tensión de entrada ($\partial i_{1m}/\partial v_1$) y las variaciones respecto a la tensión de salida ($\partial i_{1m}/\partial v_2$). Cada una de estas contribuciones puede modelarse como dos fuentes de corriente dependientes y una resistencia. De esta forma, es posible redibujar el circuito equivalente de pequeña señal de la Figura 3.30 con cada una de estas contribuciones por separado. Así se llega al circuito equivalente de pequeña señal mostrado en la Figura 3.31. A este circuito se le conoce como circuito canónico equivalente de pequeña señal para la metodología de la corriente inyectada.

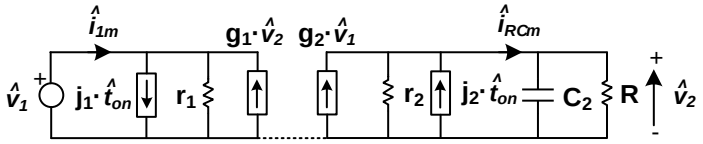


Figura 3.31. Circuito canónico equivalente para el convertidor elevador síncrono QSW-ZVS.

Los valores de cada elemento del circuito canónico se corresponden con el término de la linealización de cada variable de estado particularizada en el punto de trabajo escogido. Matemáticamente, estos términos pueden escribirse como

$$j_1 = \left.\frac{\partial i_{1m}}{\partial t_{on}}\right|_{Pto} \tag{3.60}$$

$$\frac{1}{r_1} = \left.\frac{\partial i_{1m}}{\partial v_1}\right|_{Pto} \tag{3.61}$$

$$g_1 = -\frac{\partial i_{1m}}{\partial v_2}\bigg|_{Pto} \tag{3.62}$$

$$j_2 = \frac{\partial i_{RCm}}{\partial t_{on}}\bigg|_{Pto} \tag{3.63}$$

$$\frac{1}{r_2} = -\frac{\partial i_{RCm}}{\partial v_2}\bigg|_{Pto} \tag{3.64}$$

$$g_2 = \frac{\partial i_{RCm}}{\partial v_1}\bigg|_{Pto} \tag{3.65}$$

El circuito canónico de la Figura 3.31, se podría aplicar a este convertidor cuando opera en MCL (o en MCD si se sustituye la variable de control t_{on} por d). No obstante, la diferencia entre estos modos de conducción y el modo QSW-ZVS estarán en los términos que recogen las ecuaciones (3.60) a (3.65), que serán, en general, distintos para cada modo de conducción.

Para calcular los parámetros de las ecuaciones (3.60)- (3.65), se parte de los valores medios de las corrientes de entrada y de salida calculados según el análisis estático presentado en el apartado anterior. Llegado este punto, conviene recordar tres parámetros intrínsecos del modo QSW-ZVS que se utilizarán en las expresiones posteriores: t_d (véase la ecuación (3.19)), I_{L0mag} (véase la ecuación (3.21)) y α (véase la ecuación (3.36)). Este último parámetro se ha reformulado en función de las tensiones de entrada y de salida sustituyendo el valor de t_d alcanzado en la ecuación (3.19) en la ecuación (3.36), quedando ésta como:

$$\alpha = \frac{1}{\omega_0} \cdot \sqrt{1 - \left(\frac{v_1}{v_2 - v_1}\right)^2} \tag{3.66}$$

Es importante resaltar que si se lleva el modo QSW-ZVS al límite MCL, los tres parámetros se anulan. Además, puesto que estos parámetros dependen de las variaciones de las tensiones de entrada y de salida de una manera no lineal, es necesario linealizar estas expresiones. Para ello, se calculan las derivadas parciales de estos términos.

$$\frac{\partial t_d}{\partial v_1}\bigg|_{Pto} = \frac{1}{\omega_0} \cdot \frac{1}{\sqrt{1 - \left(\frac{V_1}{V_2 - V_1}\right)^2}} \cdot \left[\frac{V_2}{(V_2 - V_1)^2}\right] \tag{3.67}$$

$$\left.\frac{\partial t_d}{\partial v_2}\right|_{Pto} = -\frac{1}{\omega_0}\cdot\frac{1}{\sqrt{1-\left(\frac{V_1}{V_2-V_1}\right)^2}}\cdot\left[\frac{V_1}{(V_2-V_1)^2}\right] \tag{3.68}$$

Las derivadas parciales del parámetro α pueden expresarse a su vez en función de las anteriores como

$$\left.\frac{\partial \alpha}{\partial v_1}\right|_{Pto} = -\frac{V_1}{V_2-V_1}\cdot\left.\frac{\partial t_d}{\partial v_1}\right|_{Pto} \tag{3.69}$$

$$\left.\frac{\partial \alpha}{\partial v_2}\right|_{Pto} = -\frac{V_1}{V_2-V_1}\cdot\left.\frac{\partial t_d}{\partial v_2}\right|_{Pto} \tag{3.70}$$

En el caso de la corriente de entrada, el valor medio de la corriente por la inductancia puede calcularse como la suma del valor medio de las corrientes de magnetización, de desmagnetización y de resonancia. Estos valores medios son

$$i_{1m} = \overline{i_L} = \overline{i_{Lmag}} + \overline{i_{Ldmag}} + \overline{i_{Lres}} \tag{3.71}$$

$$\overline{i_{Lmag}} = \frac{1}{2\cdot\left(\frac{v_1}{v_2-v_1}\cdot t_{on}+\alpha+t_d\right)}\cdot\left[\frac{v_1}{2L}\cdot t_{on}^2 + I_{L0mag}\cdot t_{on} + \frac{L}{v_1}\cdot I_{L0mag}\right] \tag{3.72}$$

$$\overline{i_{Ldmag}} = \frac{1}{2\cdot\left(\frac{v_1}{v_2-v_1}\cdot t_{on}+\alpha+t_d\right)}\cdot\left[\frac{v_1}{v_2-v_1}\cdot t_{on}+\alpha\right]\cdot\left[\frac{v_1}{L}\cdot t_{on}+I_{L0mag}\right] \tag{3.73}$$

$$\overline{i_{Lres}} = -\frac{1}{\left(\frac{v_1}{v_2-v_1}\cdot t_{on}+\alpha+t_d\right)}\cdot\frac{1}{\omega_o\cdot Z_o}\cdot\frac{v_2^2}{(v_2-v_1)} \tag{3.74}$$

A partir de las ecuaciones (3.73), (3.74) y (3.82) es posible calcular los términos lineales a través de las derivadas parciales como

$$j_1 = \left.\frac{\partial i_{1m}}{\partial t_{on}}\right|_{Pto} = \frac{1}{A_1}\cdot$$
$$\left[V_1\cdot\left(\frac{V_1}{V_2-V_1}\cdot t_{on}+\alpha\right)\cdot\left[\frac{1}{L}-\frac{2}{A_1\cdot(V_2-V_1)}\cdot\left(\frac{V_1\cdot t_{on}}{L}-\frac{V_2}{Z_0}\cdot\omega_0\cdot\alpha\right)\right]-\right.$$
$$-\frac{2}{A_1}\cdot\frac{V_1}{V_2-V_1}\cdot\left(\frac{V_1\cdot t_{on}^2}{2\cdot L}-\left(t_{on}+\frac{L}{V_1}\right)\cdot\frac{V_2}{Z_0}\cdot\omega_0\cdot\alpha\right)+ \tag{3.75}$$
$$\left.+\frac{V_1}{V_2-V_1}\cdot\left(\frac{V_1\cdot t_{on}}{L}-\frac{V_2}{Z_0}\cdot\omega_0\cdot\alpha\right)+\frac{4}{A_1}\cdot\frac{1}{\omega_0\cdot Z_0}\cdot\frac{V_1\cdot V_2^2}{(V_2-V_1)^2}\right]$$

$$\frac{1}{r_1} = \left.\frac{\partial i_{1m}}{\partial v_1}\right|_{Pto} = \frac{1}{A_1}\cdot$$
$$\left[\frac{1}{2}\cdot\left[\frac{t_{on}^2}{L}+\frac{V_2}{Z_0}\cdot\left(\frac{B_1}{\omega_0\cdot\alpha}\cdot(t_{on}+L)+\frac{L}{V_1^2}\cdot\omega_0\cdot\alpha\right)\right]-\frac{C_1}{A_1}\cdot\left[\frac{V_1\cdot t_{on}^2}{2\cdot L}-\left(t_{on}+\frac{L}{V_1}\right)\cdot\frac{V_2}{Z_0}\cdot\omega_0\cdot\alpha\right]+\right.$$
$$+\left(\frac{V_1\cdot t_{on}}{L}-\frac{V_2}{Z_0}\cdot\omega_0\cdot\alpha\right)\cdot\left[\frac{t_{on}\cdot V_2^2}{(V_2-V_1)^2}+\frac{B_1}{2\cdot\omega_0^2\cdot\alpha}-C_1\cdot\left(\frac{V_1}{V_2-V_1}\cdot t_{on}+\alpha\right)\right]+ \tag{3.76}$$
$$\left.+\left(\frac{V_1}{V_2-V_1}\cdot t_{on}+\alpha\right)\cdot\left(\frac{t_{on}}{L}-\frac{B_1\cdot V_2}{Z_0\cdot\omega_0\cdot\alpha}\right)+\left(\frac{2\cdot V_2^2}{Z_0\cdot\omega_0\cdot(V_2-V_1)}\right)\cdot\left(\frac{C_1-A_1}{A_1}\right)\right]$$

$$-g_1 = \left.\frac{\partial i_{1m}}{\partial v_2}\right|_{Pto} = \frac{1}{A_1}\cdot$$
$$\left[-E_1\cdot\left[\frac{V_1\cdot t_{on}^2}{2\cdot L}-\frac{V_2}{Z_0}\cdot\omega_0\cdot\alpha\cdot\left(t_{on}+\frac{L}{V_1}\right)\right]-\right.$$
$$-\frac{\omega_0\cdot\alpha}{Z_0}\cdot\left[t_{on}+\frac{L}{V_1}+\frac{V_1\cdot V_2}{(V_2-V_1)^3}\cdot\left(L+t_{on}\cdot\frac{Z_0}{\omega_0^2\cdot\alpha^2}\right)\right]-$$
$$-E_1\left(\frac{V_1\cdot t_{on}}{L}-\frac{V_2}{Z_0}\cdot\omega_0\cdot\alpha\right)\cdot\left[\left(\frac{V_1}{V_2-V_1}\cdot t_{on}+\alpha\right)+\frac{V_1}{(V_2-V_1)^2}\cdot\left(t_{on}+\frac{V_1}{V_2-V_1}\cdot\frac{1}{\omega_0^2\cdot\alpha}\right)\right]-$$
$$-\left(\frac{V_1}{V_2-V_1}\cdot t_{on}+\alpha\right)\cdot\left(\frac{\omega_0\cdot\alpha}{Z_0}+\frac{1}{Z_0\cdot\omega_0^2\cdot\alpha}\cdot\frac{V_2\cdot V_1^2}{(V_2-V_1)^3}\right)+$$
$$\left.+2\cdot\frac{V_2}{(V_2-V_1)}\cdot\frac{1}{\omega_0\cdot Z_0}\cdot\left(\frac{E_1}{A_1}\cdot V_2-\frac{2}{A_1}+\frac{V_2}{(V_2-V_1)}\right)\right] \quad (3.77)$$

donde los parámetros A_1, B_1, C_1 y E_1 se pueden expresar como

$$A_1 = 2\cdot\left(\frac{V_1}{V_2-V_1}\cdot t_{on}+\alpha+t_d\right) \quad (3.78)$$

$$B_1 = -2\cdot\frac{V_1\cdot V_2}{(V_2-V_1)^3} \quad (3.79)$$

$$C_1 = 2\cdot\left(\frac{V_2}{(V_2-V_1)^2}\cdot\left(t_{on}+\frac{1}{\omega_0^2\cdot\alpha}\right)\right)+\frac{B_2}{\omega_0^2\cdot\alpha} \quad (3.80)$$

$$E_1 = \frac{2\cdot V_1}{(V_2-V_1)^2}\cdot\left[\frac{1}{\omega_0^2\cdot\alpha}\cdot\left(\frac{2\cdot V_1-V_2}{V_2-V_1}\right)-t_{on}\right] \quad (3.81)$$

Por otro lado, la corriente media inyectada a la red RC se corresponde con la corriente media por el transistor y su valor es

$$\overline{i_2} = i_{RCm} = \left[\frac{v_1}{2L}\cdot t_{on}-\frac{\omega_0}{Z_0}\cdot v_2\cdot\alpha\right]\cdot\left[\frac{v_1\cdot t_{on}+\alpha\cdot(v_2-v_1)}{v_2\cdot t_{on}+(t_d+\alpha)\cdot(v_2-v_1)}\right] \quad (3.82)$$

A partir de la ecuación (3.82) es posible calcular de nuevo los términos lineales a través de las derivadas parciales como

$$j_2 = \left.\frac{\partial i_{RCm}}{\partial t_{on}}\right|_{Pto} = \frac{V_1}{2L}\cdot\left[\frac{V_1\cdot t_{on}+\alpha\cdot(V_2-V_1)}{V_2\cdot t_{on}+(t_d+\alpha)\cdot(V_2-V_1)}\right]+\frac{V_1}{V_2\cdot t_{on}+(t_d+\alpha)\cdot(V_2-V_1)}- \\ -V_2\cdot\left[\frac{V_1\cdot t_{on}+\alpha\cdot(V_2-V_1)}{[V_2\cdot t_{on}+(t_d+\alpha)\cdot(V_2-V_1)]^2}\right] \tag{3.83}$$

$$-\frac{1}{r_2} = \left.\frac{\partial i_{RCm}}{\partial v_1}\right|_{Pto} = A_2\cdot\left[\frac{V_1\cdot t_{on}+\alpha\cdot(V_2-V_1)}{V_2\cdot t_{on}+(t_d+\alpha)\cdot(V_2-V_1)}\right]+B_2\cdot\left[\frac{V_1}{2L}\cdot t_{on}-\frac{\omega_0}{Z_0}\cdot V_2\cdot\alpha\right] \tag{3.84}$$

$$g_2 = \left.\frac{\partial i_{RCm}}{\partial v_2}\right|_{Pto} = C_2\cdot\left[\frac{V_1\cdot t_{on}+\alpha\cdot(V_2-V_1)}{V_2\cdot t_{on}+(t_d+\alpha)\cdot(V_2-V_1)}\right]+E_2\cdot\left[\frac{V_1}{2L}\cdot t_{on}-\frac{\omega_0}{Z_0}\cdot V_2\cdot\alpha\right] \tag{3.85}$$

donde los parámetrosA_2, B_2, C_2 y E_2 pueden calcularse como

$$A_2 = \frac{t_{on}}{2L}-\frac{\omega_0}{Z_0}\cdot V_2\cdot\frac{\partial\alpha}{\partial v_1} \tag{3.86}$$

$$B_2 = \frac{t_{on}+\frac{\partial\alpha}{\partial v_1}\cdot(V_2-V_1)-\alpha}{V_2\cdot t_{on}+(t_d+\alpha)\cdot(V_2-V_1)}- \\ -\frac{\left(V_1\cdot t_{on}+\alpha\cdot(V_2-V_1)\right)\cdot\left[\left(\frac{\partial t_d}{\partial v_1}+\frac{\partial\alpha}{\partial v_1}\right)\cdot(V_2-V_1)-(t_d+\alpha)\right]}{[V_2\cdot t_{on}+(t_d+\alpha)\cdot(V_2-V_1)]^2} \tag{3.87}$$

$$C_2 = -\frac{\omega_0}{Z_0}\cdot\left(V_2\cdot\frac{\partial\alpha}{\partial v_2}-\alpha\right) \tag{3.88}$$

$$E_2 = \frac{\frac{\partial\alpha}{\partial v_2}\cdot(V_2-V_1)+\alpha}{V_2\cdot t_{on}+(t_d+\alpha)\cdot(V_2-V_1)}- \\ -\frac{\left(V_1\cdot t_{on}+\alpha\cdot(V_2-V_1)\right)\cdot\left[t_{on}+\left(\frac{\partial t_d}{\partial v_2}+\frac{\partial\alpha}{\partial v_2}\right)\cdot(V_2-V_1)-(t_d+\alpha)\right]}{[V_2\cdot t_{on}+(t_d+\alpha)\cdot(V_2-V_1)]^2} \tag{3.89}$$

Pese a la complejidad de estas expresiones en el modo QSW-ZVS, nuevamente si se lleva la operación al caso límite (i.e. $t_d = 0$ y $\alpha = 0$), puede comprobarse que las expresiones tanto de entrada, (3.75), (3.76) y (3.77), como las expresiones de salida, (3.83), (3.84) y (3.85) coinciden con los valores obtenidos para un convertidor elevador operando en MCL aplicando el método de la corriente inyectada. Las expresiones del modelado dinámico para este convertidor en MCL pueden encontrarse en el anexo A3.

Una vez que se han obtenido las expresiones que definen la linealización de las fuentes de corriente y se obtiene el circuito equivalente de pequeña señal, es posible calcular las expresiones

de las funciones de transferencia que relacionan las variables de estado, i.e. las funciones de transferencia que describen el comportamiento dinámico del convertidor. En primer lugar, la función de transferencia que describe los cambios en la tensión de salida con respecto a los cambios en la variable de control se obtiene anulando las variaciones de la tensión de entrada y resolviendo el circuito equivalente de pequeña señal. Matemáticamente esto puede expresarse como

$$G_{vton}(s) = \frac{\hat{v}_2}{\hat{t}_{on}}\bigg|_{\hat{v}_1=0} = \frac{R_P \cdot j_2}{R_P \cdot C \cdot s + 1} \tag{3.90}$$

donde R_P es

$$R_P = \frac{R \cdot r_2}{R + r_2} \tag{3.91}$$

En (3.90) y (3.91) pueden sustituirse los valores de j_2 y r_2 calculados anteriormente para obtener la expresión de esta ganancia.

De manera análoga, es posible obtener la función de transferencia que relaciona las variaciones de la tensión de salida con las variaciones de la tensión de entrada, anulando los efectos de las variaciones de la variable de control, como

$$G_{v1}(s) = \frac{\hat{v}_2}{\hat{v}_1}\bigg|_{\hat{t}_{on}=0} = \frac{R_P \cdot g_2}{R_P \cdot C \cdot s + 1} \tag{3.92}$$

Las expresiones (3.90) y (3.92) describen el comportamiento dinámico del convertidor elevador síncrono QSW-ZVS en lazo abierto.

3.2.2.2. Interpretación del modelo dinámico

Como recogen las ecuaciones (3.90) y (3.92), el comportamiento dinámico de un convertidor elevador síncrono operando en modo QSW-ZVS se corresponde con un sistema de primer orden, cuya frecuencia de corte es

$$f_c = \frac{1}{2\pi \cdot R_P \cdot C} \tag{3.93}$$

Esta conclusión, obtenida aquí utilizando el método de la corriente inyectada, ya fue alcanzada en su momento por los autores de [3.35] y [3.36], basándose en el método del promediado en espacio de estados. En concreto, los autores de estos trabajos comparan el comportamiento dinámico del modo QSW-ZVS con el mismo convertidor operando en MCD o en MCL. Puesto que

las ecuaciones del análisis dinámico realizado para el modo QSW-ZVS son relativamente complejas, para poder realizar una comparativa con MCL se ha optado por realizarla a través de la representación gráfica de sus funciones de transferencia. Para ello, se han utilizado las mismas especificaciones que se han recogido en la Tabla 3.1 que se presentó en su momento en el apartado 3.2.2.4 de este capítulo. En la Figura 3.32 se han representado los diagramas de Bode de $G_{vton}(s)$ del convertidor operando en QSW-ZVS y en MCL, a partir de los modelos dinámicos teóricos de ambos modos. En este segundo caso, se han mantenido las mismas especificaciones de diseño, con la salvedad de recalcular los valores de la inductancia y del ciclo de trabajo para ajustar el modo de operación.

Como puede observarse, el comportamiento en frecuencia de ambos modos de operación para el convertidor elevador es prácticamente análogo. El módulo de la función de transferencia es ligeramente distinto (el modo QSW-ZVS tiene algo más de ganancia) y la fase es idéntica. La frecuencia de corte de para ambos modos también es muy similar.

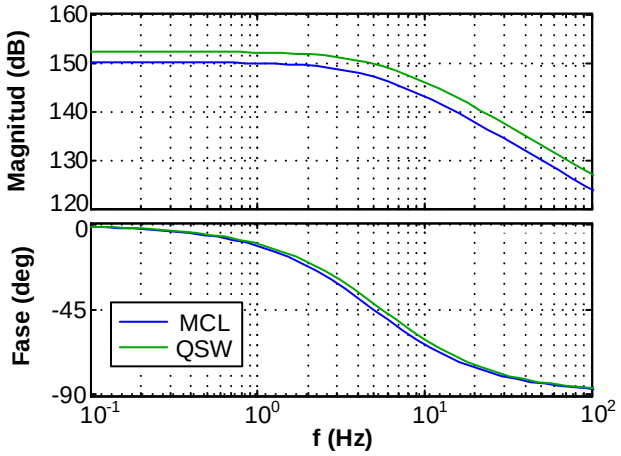


Figura 3.32. Diagrama de Bode teórico de $G_{vton}(s)$ para el modo QSW-ZVS y MCL.

El comportamiento dinámico del convertidor se puede deducir a partir del cálculo e interpretación de $G_{vton}(s)$. Es bien conocido que el comportamiento dinámico del convertidor elevador en MCC se corresponde con el de un sistema de segundo orden con un cero en el semiplano positivo. Este comportamiento dinámico se debe a la posición de la inductancia en el circuito equivalente del convertidor (a la entrada), a su valor (generalmente elevado para garantizar la operación en MCC) y al hecho de que el valor medio de la corriente que circula por la misma dependa del valor medio en el periodo anterior (i.e. el valor de valle de la corriente por la inductancia varía frente a los cambios en la variable de control). Cuanto menor sea el valor de la inductancia, mayor frecuencia tendrán los polos conjugados de $G_{vton}(s)$, y por lo tanto, su influencia se va reduciendo a medida que el valor de inductancia se acerca al valor que propicia un MCL. Igualmente, es conocido que en MCD el convertidor elevador posee un modelo dinámico de primer orden definido por $G_{vton}(s)$. En este modo de conducción, el valor de la inductancia es

notablemente menor que el utilizado en MCC y que el valor medio de la corriente de la inductancia no depende del valor medio del periodo anterior (i.e. el valor de valle de la corriente por la inductancia siempre parte del mismo punto, sea cual sea su valor medio). Es por ello que su comportamiento dinámico es el de un sistema de primer orden. El modo crítico (MCL) es similar al MCD, puesto que el valor de valle siempre parte de cero sea cual sea el valor medio de la corriente por la inductancia, ya que el control para este modo de conducción cambia la frecuencia para ajustarse a esta condición. El modo QSW-ZVS puede verse como un MCL particular, en el que el valor de valle de la corriente por la inductancia no es cero, sino un valor negativo. Ya se dedujo en el análisis estático que este valor de valle no depende de la carga, sino exclusivamente del valor de la inductancia, del condensador de resonancia y de la tensión de salida. Por lo tanto, en un convertidor elevador regulando la tensión de salida en modo QSW-ZVS, un cambio en el valor medio de la corriente (i.e. un cambio en la potencia que procesa el convertidor) no provoca un cambio en el valor de valle de la corriente por la bobina. O lo que es lo mismo, el valor medio de la corriente no depende de los valores medios de anteriores periodos. Además de esto, en el modo QSW-ZVS se utiliza un valor de inductancia menor que el valor límite, con lo que el polo de alta frecuencia se desplaza hacia la parte más elevada del espectro, reduciendo así su influencia en la respuesta dinámica al igual que en MCL.

Para tratar de analizar con mayor detalle las similitudes y diferencias entre los modos QSW-ZVS y MCL, en la Figura 3.33, Figura 3.34 y Figura 3.35 se han representado los valores de j_2, g_2 y r_2 respectivamente para ambos modos de operación cuando la tensión de salida varía entre 350V y 750V. Como puede apreciarse, las fuentes dependientes de corriente tienen valores mayores para el caso de QSW-ZVS que para MCL, mientras que se obtiene un valor de resistencia menor.

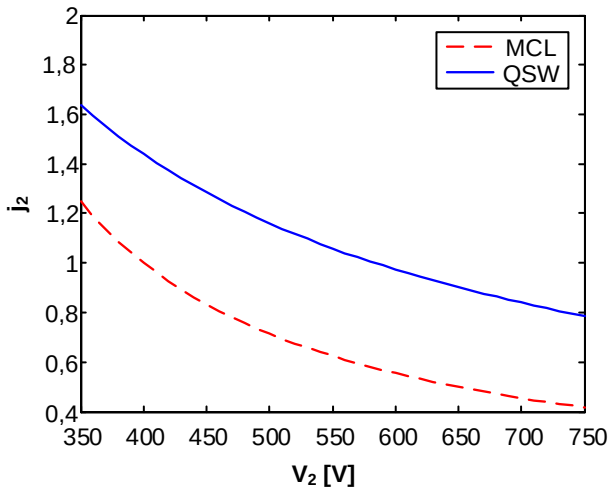


Figura 3.33. Comparativa de la variación del parámetro j_2 en función de la tensión de salida para QSW-ZVS y MCL.

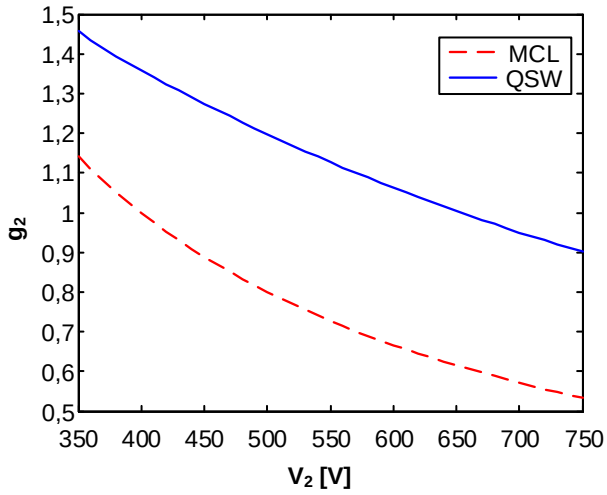


Figura 3.34. Comparativa de la variación del parámetro g_2 en función de la tensión de salida para QSW-ZVS y MCL.

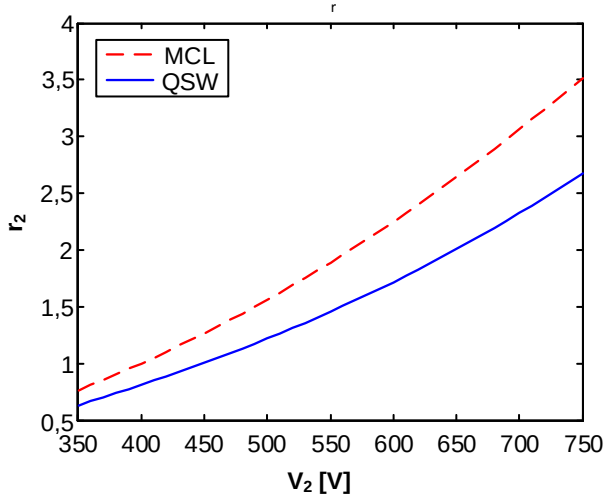


Figura 3.35. Comparativa de la variación del parámetro r_2 en función de la tensión de salida para QSW-ZVS y MCL.

Nuevamente, las diferencias entre los dos modos de operación pueden razonarse basándose en el funcionamiento del convertidor en QSW-ZVS. Para un mismo valor de corriente media por la inductancia, el modo QSW-ZVS opera con un valor de la corriente de pico mayor que el valor de pico de dicha corriente si el convertidor opera en MCL. Esto se debe a que, en primer lugar, el modo QSW-ZVS tiene un valor de inductancia menor y, en segundo lugar, a que ha de compensarse, en valor medio, la corriente reactiva que se pone en juego durante la resonancia.

Como ya se ha citado anteriormente, el valor de valle de la corriente por la inductancia en el modo QSW-ZVS depende de la tensión de salida. A mayor tensión de salida, se alcanzará una mayor corriente de pico negativa durante la resonancia. Esto, por lo tanto, genera un valor menor de corriente media durante este intervalo. Para compensar este efecto, el valor de pico de la corriente ha de ser mayor a medida que la tensión de salida se hace mayor (para mantener el valor medio de la corriente constante). Debido a esto, las diferencias entre MCL y QSW-ZVS aumentan cuando la tensión de salida crece. Pese a que existe esta diferencia, también puede

observarse que las diferencias no son notables entre un modo y otro (véanse de nuevo la Figura 3.33, la Figura 3.34 y la Figura 3.35).

En este punto, y después de las valoraciones realizadas en las comparativas, parece razonable preguntarse si es posible utilizar el modelado dinámico del convertidor operando en MCL para describir el comportamiento dinámico del modo QSW-ZVS, ya que, al ser sus expresiones matemáticas más simples, resulta más sencillo de manejar. La respuesta a esta premisa pasa, lógicamente, por encontrar unos límites en los que el comportamiento dinámico del convertidor operando en QSW-ZVS no difiera notablemente del modo MCL. Anteriormente se ha deducido que la variación del modelo dinámico del modo QSW-ZVS no difiere de manera notable en un rango relativamente amplio de la tensión de salida. Por otro lado, otro parámetro que puede influir en el modelo dinámico es la variación de la frecuencia normalizada, F, bien porque se cambie la frecuencia de conmutación en un rango amplio o bien porque se cambie la frecuencia de resonancia (por el cambio del valor de la inductancia, del condensador resonante o de ambos). En general, en el proceso de diseño en el modo de operación QSW-ZVS, la frecuencia de resonancia siempre tiende a ser mayor que la frecuencia de conmutación (del orden de una década), con la que el convertidor siempre opera por debajo de resonancia aunque varíe su frecuencia de conmutación. En el ejemplo mostrado en la Figura 3.32 el valor de F es 0,06. En la Figura 3.36 se ha representado de nuevo del diagrama de Bode de $G_{vton}(s)$ del modo QSW-ZVS cuando el valor de la frecuencia normalizada es próximo a uno (i.e. la frecuencia de resonancia y la frecuencia de conmutación son prácticamente iguales). Como puede observarse, el comportamiento dinámico del convertidor a alta frecuencia (por encima de la frecuencia de corte) es similar a MCL. Sin embargo, la frecuencia de corte es menor (se encuentra una década por debajo de la frecuencia de corte del modo MCL) y la ganancia de continua es mayor. Como puede observarse, no resulta sencillo establecer un límite máximo en la frecuencia normalizada de manera teórica en el que el modelo dinámico QSW-ZVS puede aproximarse por el modelo MCL y, por lo general, hay que recurrir al modelado teórico presentado en esta tesis.

En el caso particular de las especificaciones con las que se trabaja en esta tesis, se ha encontrado que un valor de $F = 0{,}4$ resulta ser el límite en el que podría utilizarse el modelo del modo MCL para describir la dinámica del modo QSW-ZVS. Este límite se ha obtenido fijando como criterio que la respuesta dinámica del modo QSW-ZVS no difiera de la respuesta dinámica del modo MCL en más de 6dB en magnitud, y 20Hz en la frecuencia de corte. El diagrama de Bode de $G_{vton}(s)$ para este caso se ha representado en la Figura 3.37. No obstante, no es habitual operar a una frecuencia tan próxima a resonancia, y, por lo general, el rango de operación práctico del modo QSW-ZVS rara vez supera un valor de $F = 0{,}5$, en el que el comportamiento dinámico de este modo y del MCL se mantienen equivalentes.

Aunque la operación por encima de resonancia es posible (i.e. con $F > 1$) muy rara vez se suele emplear en la práctica puesto que exige valores de condensador o inductancia muy grandes.

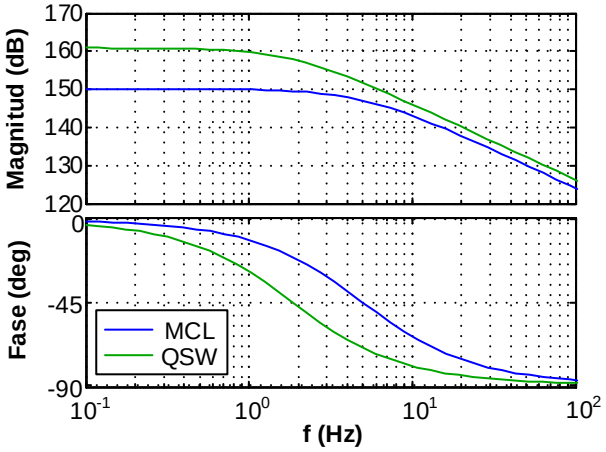


Figura 3.36. Diagrama de Bode teórico de $G_{vton}(s)$ para el modo QSW-ZVS y MCL cuando $F \approx 1$.

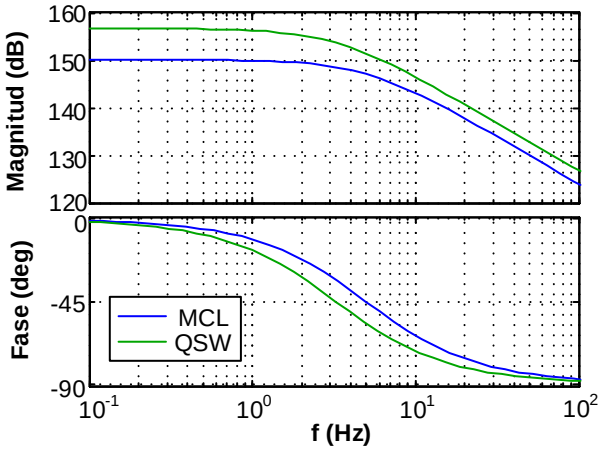


Figura 3.37. Diagrama de Bode teórico de $G_{vton}(s)$ para el modo QSW-ZVS y MCL cuando $F = 0{,}4$.

No obstante, en la Figura 3.38 y en la Figura 3.39 se ha representado el diagrama de Bode de $G_{vton}(s)$ del modo QSW-ZVS cuando se opera por encima de resonancia. Como puede verse, al contrario de lo que ocurre en la operación por debajo de resonancia, en estos casos la ganancia de continua del convertidor es menor que en MCL. La frecuencia de corte, en lugar de ser más baja, pasa a crecer a medida que F aumenta, tal y como puede verse en la Figura 3.39 con un valor de $F = 5$, en donde el comportamiento dinámico del modo QSW-ZVS es notablemente diferente con respecto al MCL. Puesto que la operación por encima de resonancia no se emplea por cuestiones prácticas, no se ha buscado un límite máximo en la frecuencia normalizada en el que el modelo dinámico QSW-ZVS puede describirse de manera aproximada con el modo MCL.

Al igual que ocurría con la tensión de salida y con la carga, es posible buscar una causa que justifique las conclusiones anteriormente expuestas con la variación de F respecto a $G_{vton}(s)$.

Para poder operar por encima de resonancia, f_s ha de ser mayor que f_o. Para ello, o bien se aumenta el valor de f_s y se mantiene f_o fija, o bien se reduce el valor de f_o manteniendo fijo el valor de f_s. En el primer caso, al aumentar f_s el valor de la inductancia ha de reducirse para cumplir con las relaciones estáticas de la corriente media que circula por dicha inductancia. Con un valor de inductancia menor, la frecuencia de corte de un sistema de primer orden aumenta, tal y como refleja la función de transferencia $G_{vton}(s)$ en la Figura 3.39. En el segundo caso, al reducir el valor de f_o se aumenta el valor de corriente reactiva que maneja el convertidor. Por lo tanto, ha de aumentarse el valor de pico de la corriente por la inductancia para que, en media, el valor de la corriente permanezca igual. La única forma de lograr este objetivo manteniendo constante f_s es, nuevamente, reducir el valor de la inductancia. Por lo tanto, se puede alcanzar la misma conclusión que en el primer caso.

La reducción del valor de la inductancia sólo ocurre en el modo de operación QSW-ZVS y no en el modo MCL, puesto que en este modo de operación el valor de la inductancia queda determinado por el valor de la carga y de las tensiones de entrada y de salida respectivamente. Así pues, a medida que el valor de F aumenta en el modo QSW-ZVS, el valor de L tiende a reducirse y la respuesta dinámica de esto se hace más rápida, alejándose cada vez más del comportamiento dinámico del modo MCL.

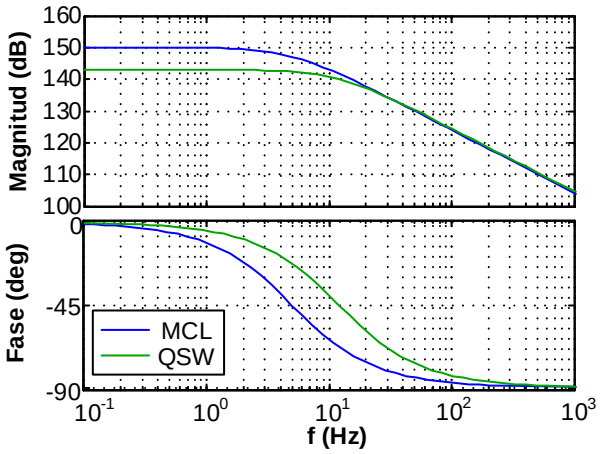


Figura 3.38. Diagrama de Bode teórico de $G_{vton}(s)$ para el modo QSW-ZVS y MCL cuando $F = 2$.

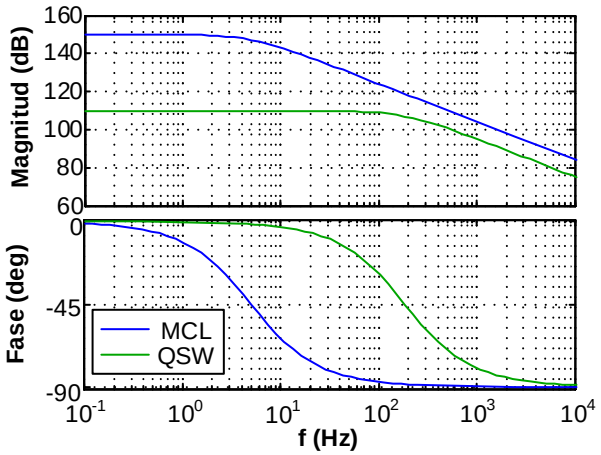


Figura 3.39. Diagrama de Bode teórico de $G_{vton}(s)$ para el modo QSW-ZVS y MCL cuando $F = 5$.

Por último, también se han obtenido los diagramas de Bode de $G_{vton}(s)$ del convertidor QSW-ZVS operando a distintos valores de carga. Concretamente, en la Figura 3.40 se ha representado la respuesta dinámica del modo QSW-ZVS cuando el convertidor opera a un quinto de la carga nominal para las especificaciones recogidas en la Tabla 3.1. Puede observarse que la frecuencia de corte es mayor que para el modo MCL así como la ganancia en continua. Utilizando el mismo criterio que se ha usado para comparar la respuesta dinámica en el caso de los distintos valores de F, (6dB de diferencia en magnitud o 20Hz de diferencia en la frecuencia de corte), puede verse que el caso mostrado en la Figura 3.40 sería justo el límite en el que podría aplicarse la aproximación del modelo dinámico del MCL para el modelo dinámico QSW-ZVS. A medida que la carga se reduce, esta diferencia aumenta. Por lo tanto, a partir de este valor de un quinto de la potencia nominal, no podría aproximarse el comportamiento dinámico del QSW-ZVS por el modelo del MCL para funcionamiento a más baja carga.

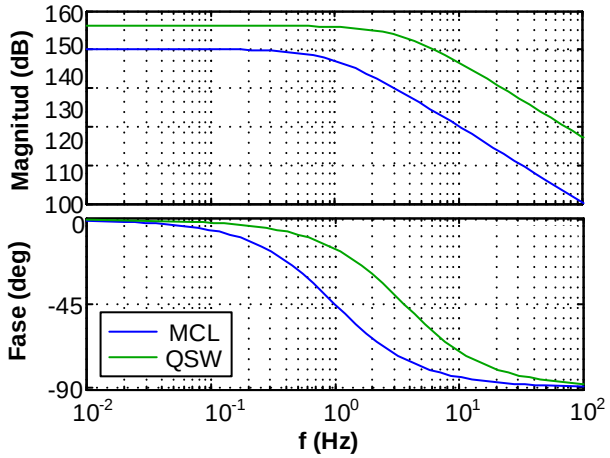


Figura 3.40. Diagrama de Bode teórico de $G_{vton}(s)$ para el modo QSW-ZVS y MCL a un quinto de carga.

3.2.3. CONTROL DIRECTO DE FRECUENCIA VARIABLE

El control del convertidor elevador síncrono QSW-ZVS de frecuencia variable se ha abordado en distintos trabajos desde distintas perspectivas. En [3.46] y [3.47] los autores proponen un modo de control que pasa por calcular los tiempos óptimos de conmutación (de cada intervalo) en función de la tensión y corriente de salida. Para ello, se emplea un lazo de regulación basado en un modo tensión, y se combina un dispositivo lógico programable (en adelante FPGA de sus siglas en inglés *Field-Programmable Gate Array*) con un procesador digital de señales (en adelante DSP de sus siglas en inglés *Digital Signal Processor*). El cálculo de los tiempos óptimos se implementa sobre el DSP a través de una tabla de búsqueda (o *look-up table* en su terminología inglesa). Posteriormente, una vez que los tiempos han sido calculados, esta información pasa a la FPGA que se encarga de generar las señales PWM. Esta solución permite conseguir siempre las condiciones de conmutación óptimas, siempre y cuando el rango de tensiones de entrada no sea muy amplio. Como inconveniente, esta propuesta exige un coste computacional muy alto (puesto que para cada valor de potencia y para cada valor de la tensión de entrada y de salida se necesita recalcular la tabla de búsqueda de tiempos óptimos). Esta complejidad en el control puede suponer un impedimento si se quiere utilizar este convertidor en las técnicas de agrupación modular, puesto que, como ya se ha comentado en el capítulo anterior, el módulo de potencia debe poder controlarse de una manera sencilla, ya que el convertidor modular va a exigir un control más elaborado que un único convertidor.

Otra solución distinta se planteó en [3.48] y [3.49], en donde se propuso un control modo corriente de pico para el convertidor QSW-ZVS. Esta solución es menos costosa que la anterior en términos de coste computacional y mantiene la condición de conmutación suave siempre que la tensión de entrada y de salida no varíe en un rango amplio. Sin embargo, esta solución no resulta óptima, pues trabaja siempre con un tiempo muerto t_d fijo (i.e. con un valor de corriente de valle negativa siempre fijo). En este caso siempre se ha de recalcular dicho tiempo muerto para cada valor de tensión de salida o de entrada en el rango de funcionamiento del convertidor. Además de este inconveniente, este control muestrea la corriente por la inductancia, teniendo que utilizar, por lo tanto, un sensor de corriente con suficiente ancho de banda para poder detectar el valor de pico de la corriente y así obtener el funcionamiento en el modo QSW-ZVS.

Precisamente tratando de evitar el uso un sensor de corriente, en [3.50] se plantea un control modo corriente para un reductor síncrono QSW-ZVS en el que se mezclan las dos técnicas anteriores. En este caso, se utiliza la medida de la corriente promediada de la inductancia. A partir de este valor, es posible establecer los valores máximos y mínimos de la corriente (utilizando las ecuaciones del análisis estático del convertidor) y determinar, así, los tiempos de cada sub-

intervalo de conducción. Esta técnica, basada en los métodos de corriente promediada aplicados para los reductores síncronos tradicionales [3.51], combina ventajas y desventajas de las dos anteriores. Por un lado, no necesita un sensor de corriente tan preciso como en el caso anterior y el coste computacional no es tan elevado como el visto en la primera técnica (aquí los autores utilizan únicamente un DSP). Por otro lado, no es un control tan sencillo como el planteado en el caso del modo corriente de pico, puesto que, como en la primera técnica, los tiempos de cada sub-intervalo deben calcularse en cada periodo de conmutación.

Por lo tanto, el objetivo ahora es plantear alguna mejora de las técnicas de control propuestas hasta el momento, especialmente para aumentar su sencillez. En el contexto de esta tesis se ha desarrollado un control para el convertidor elevador síncrono operando en QSW-ZVS bajo la premisa de la sencillez, robustez y la capacidad de asegurar las conmutaciones suaves en un rango amplio de tensiones. El control aquí propuesto se ha basado en los trabajos realizados en el ámbito de los Correctores de Factor de Potencia (CFP), particularmente en las técnicas de control aplicadas al modo límite o frontera para estos convertidores [3.52]-[3.55]. La sencillez en el control de este convertidor resulta ser fundamental para su uso como módulo de potencia, puesto que un control más sencillo permite no sobrecargar la plataforma de control de este convertidor y poder utilizar medios y recursos de la misma para el control de agrupaciones modulares más complejas.

El control que se propone se ha denominado control directo de frecuencia variable. Su nombre se debe a que este control es capaz de generar las señales de gobierno para un convertidor elevador síncrono directamente a partir de dos eventos que se producen en la etapa de potencia. Por lo tanto, no existe un procesamiento o cálculo de los tiempos de cada intervalo, sino que las señales son generadas directamente a partir de eventos. De igual forma, las condiciones de frecuencia variable y de conmutación suave también se mantienen de manera “directa”, sin necesidad de realizar ningún cálculo computacional adicional.

Como ya se ha comentado durante el análisis estático del convertidor, el periodo de conmutación se divide en cuatro sub-intervalos: magnetización, tiempo muerto, desmagnetización y tiempo muerto de resonancia. Cada uno de estos sub-intervalos tiene una duración distinta (t_{on}, t_{d1}, t_{off} y t_{d2} respectivamente). El tiempo de magnetización (t_{on}) es la acción de control de este convertidor y vendrá definido por un lazo de regulación para mantener constante la tensión de salida. El primer intervalo definido por el tiempo muerto t_{d1} será fijo y puede ser calculado previamente a partir de las características de los transistores empleados. El tiempo de desmagentización (t_{off}) tiene que durar hasta que la corriente por la inductancia alcance un valor nulo. Su valor vendrá determinado por el valor de pico de la corriente por la inductancia, que a su vez viene fijado por el tiempo de magnetización fijado por el lazo de regulación. Por último, el tiempo de resonancia (t_{d2}) vendrá definido como aquel que permita la

descarga de la capacidad parásita del transistor. Estos dos tiempos (t_{off} y t_{d2}) pueden calcularse analíticamente utilizando las ecuaciones deducidas en el análisis estático del convertidor, pero el coste computacional de estos cálculos es elevado, como ha sido demostrado en los trabajos previos.

Para poder determinar estos tiempos, se medirán la corriente y la tensión del convertidor identificando dos eventos para su cálculo: el paso por cero de la corriente por la inductancia y la descarga del condensador parásito del transistor S_1. En la Figura 3.41 se ha representado un detalle de las formas de onda teóricas del convertidor durante los intervalos de desmagnetización y de resonancia. En esta misma figura se han resaltado los dos eventos que se utilizarán en el control directo: ZCD (del término *Zero Crossing Detection*) para el cálculo de t_{off} y ZVD (del término *Zero Voltage Detection*) para el cálculo de t_{d2}.

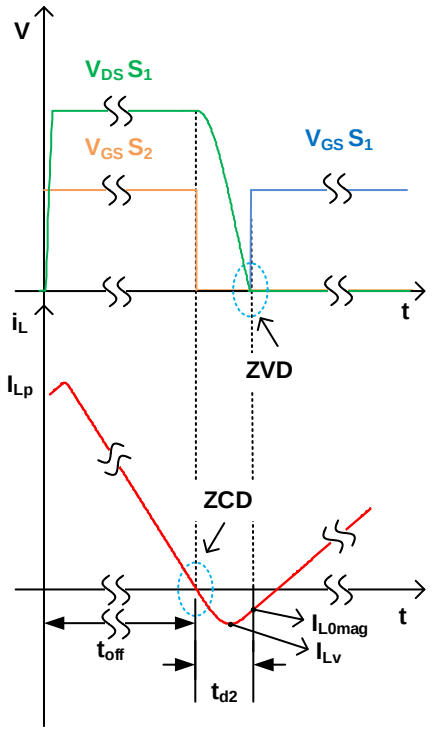


Figura 3.41. Detalle de las formas de onda del convertidor elevador síncrono QSW-ZVS. Se han destacado los dos eventos que se utilizarán en el control directo.

Utilizando estos dos eventos, se puede generar la secuencia completa de sub-intervalos del periodo de conmutación. El periodo de magnetización se inicia al comienzo de un nuevo periodo de conmutación. Como ya se ha dicho, su duración (t_{on}) viene determinada por el lazo de realimentación de la tensión de salida. A continuación, se inicia el primer tiempo muerto, cuya duración (t_{d1}) es fija. Finalizado este sub-intervalo, se inicia el periodo de desmagnetización. Su duración (t_{off}) viene determinada por el evento ZCD. Una vez se produzca este evento, se inicia el segundo tiempo muerto o intervalo de resonancia. Su duración (t_{d2}) está determinada por el segundo evento, ZVD. Cuando se produzca este evento, finaliza el sub-intervalo de resonancia y

se inicia un nuevo periodo de conmutación, repitiendo la misma secuencia. Así, los tiempos de inicio y de fin de cada intervalo están completamente definidos.

En la Figura 3.42 se ha representado un esquema del control directo de frecuencia variable. Como puede verse, para la implementación de este control se precisa información de la tensión de salida, de la corriente que circula por el transistor S_2 y de la tensión que soporta el transistor S_1. De las tres señales, la tensión de salida medida (escalada por un factor K_{R1}) es la única que necesita una conversión analógico-digital (en adelante ADC, de su término en inglés *Analog to Digital Converter*), ya que es la variable a controlar por el lazo de realimentación. Las dos últimas señales medidas pueden utilizarse directamente en formato digital, puesto que únicamente ha de detectarse si ocurre el evento ZVD o ZCD, y no es necesario medir el valor exacto ni de la corriente por el transistor S_2 ni la tensión del transistor S_1. Por lo tanto, una vez digitalizada la señal de la tensión de salida, la etapa de control genera la señal de gobierno PWM (de su término inglés *Pulse Width Modulator*) con esta información aplicando la secuencia lógica comentada en el párrafo anterior, incluyendo el regulador para el lazo de tensión.

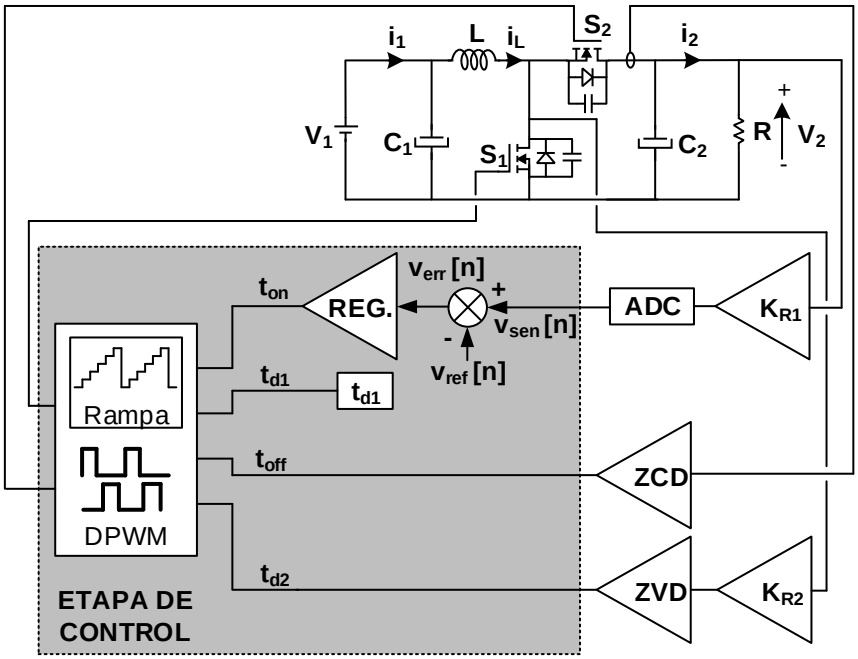


Figura 3.42. Esquema de bloques del control directo de frecuencia variable.

Una posible implementación práctica del control pasa por utilizar como sensores dos divisores resistivos (en el caso de la tensión de salida y la tensión V_{DS1}) y un sensor de corriente para la corriente i_{DS2}. En la Figura 3.43 se ha representado el convertidor elevador síncrono con los sensores necesarios para la implementación del control directo de frecuencia variable, y las señales de entrada al dispositivo de control, todas ellas referidas a la masa del circuito.

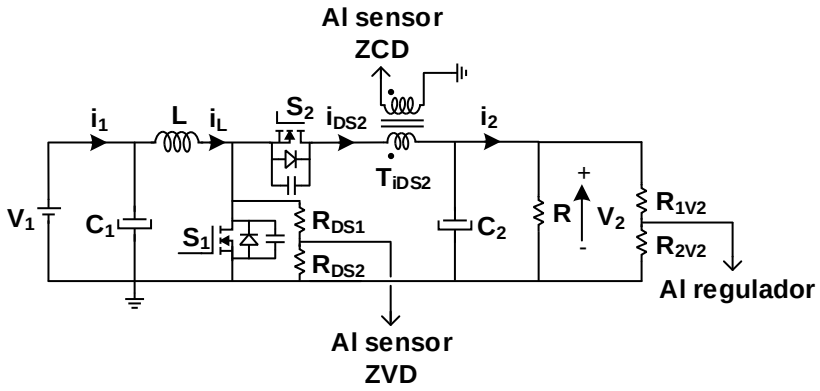


Figura 3.43. Etapa de potencia con los sensores necesarios para el control directo de frecuencia variable.

En la implementación de las señales ZCD y ZVD que debe procesar el control se ha optado por dos comparadores analógicos. El esquema eléctrico de ambos circuitos puede verse en la Figura 3.44 y Figura 3.45 respectivamente. En el caso de la señal ZCD (Figura 3.44), se utiliza un transformador de corriente para obtener una muestra de la señal de la corriente i_{DS2}. En la resistencia R_S se mide un valor de tensión proporcional a la corriente i_{DS2} (que responde a la ecuación $V_{Rs} = R_s \cdot i_{DS2}/N$). La tensión que cae en la resistencia R_S se mide sobre un nivel de tensión flotante determinado por la tensión del diodo D_Z, para evitar posibles rebotes o falsos positivos cuando la señal se encuentra próxima a cero. En el caso de la señal ZVD (véase la Figura 3.45) el circuito es mucho más sencillo, puesto que se emplea directamente la señal medida por el divisor resistivo. Tanto para la generación de la señal ZCD como para la señal ZVD se utilizan dos comparadores analógicos para la obtención de las señales digitales de los eventos. Las tensiones fijadas por el potenciómetro R_{POT1} y R_{POT2} se emplean como niveles de comparación para detectar tanto el paso por cero de la corriente por la inductancia como el paso por cero de la tensión V_{DS1}, pudiendo ser ambos niveles distintos y ajustables según el rango de tensiones y potencia que maneje el convertidor. La señal de salida de los comparadores se limita a una tensión máxima utilizando una resistencia de *pull-up.* Como puede verse, además, la señal ZCD se ha decidido que sea activa a nivel alto mientras que la señal ZVD será activa a nivel bajo.

Una vez descrito el sistema de generación de las señales ZCD y ZVD, es posible establecer el algoritmo de generación de las señales de control del convertidor a partir del flujograma que se recoge en la Figura 3.46. Al inicio de un periodo de conmutación, se pone en conducción el transistor S_1 y se deja abierto el transistor S_2. Esta situación se mantiene hasta que se haya alcanzado el valor de t_{on} que viene fijado por el lazo de realimentación. Una vez alcanzado t_{on}, se inicia el primer tiempo muerto dejando abiertos ambos transistores. Esta situación dura el tiempo t_{d1} que es fijo para la aplicación. A continuación, se abre S_1 y se cierra S_2 hasta que se alcance el evento ZCD. Cuando se detecta este evento, se abren de nuevo ambos transistores iniciando el intervalo de resonancia. Las señales de control se mantienen desactivadas hasta que

se alcance el evento ZVD, momento en el que se inicia un nuevo periodo de conmutación. Este sería el funcionamiento normal del algoritmo, tal y como se describió previamente en los párrafos anteriores. También se han añadido dos limitaciones de seguridad: el periodo máximo y el periodo mínimo de conmutación (o la frecuencia de conmutación mínima y frecuencia de conmutación máxima).

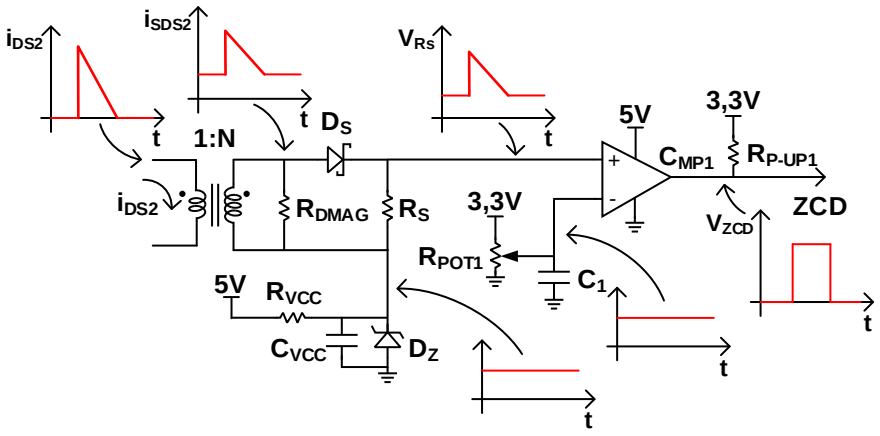


Figura 3.44. Esquema eléctrico del sensor de corriente para generar la señal ZCD.

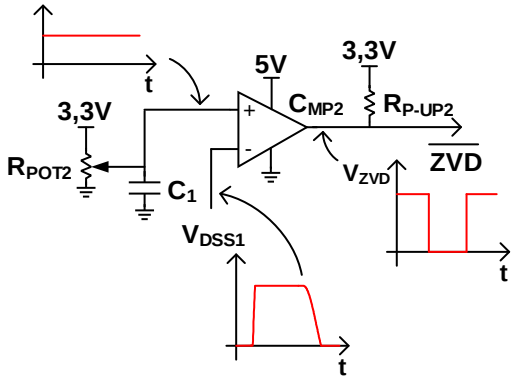


Figura 3.45. Esquema eléctrico del sensor de corriente para generar la señal ZVD.

En primer lugar, tanto el t_{on}, t_{off} y t_{d2} pueden estar limitados a unos valores máximos fijados como seguridad según las especificaciones en las que trabaja el convertidor. Estos valores máximos se comprueban cada vez que se ejecuta la parte del algoritmo encargada de definir los valores de los tres tiempos (véase la parte izquierda del flujograma de la Figura 3.46). El máximo tiempo de magnetización se fija como un parámetro de seguridad en caso de que el lazo de regulación falle o proporcione un valor demasiado elevado. De esta forma, se limita la tensión máxima de salida y la potencia máxima que es capaz de soportar el convertidor. De manera semejante, el tiempo de desmagnetización también se limita a un valor máximo, en caso de que el evento ZCD no se produzca o no se detecte. Por último, el tiempo de resonancia (t_{d2}) también tiene un valor máximo que se alcanza bien ante un fallo del sistema de generación de la señal ZVD o bien cuando no se produzca este evento porque no se dan las condiciones de conmutación

suave. En este caso, se evita que la inductancia y el condensador de salida resuenen durante un tiempo relativamente elevado provocando una situación indeseada que puede causar la ruptura del convertidor. Es importante destacar que una vez que se alcanza este valor máximo de t_{d2}, los semiconductores presentarán conmutaciones duras.

La segunda limitación de seguridad tiene que ver con el periodo mínimo permitido o la frecuencia de conmutación máxima. Como ya se comentó en su momento, la frecuencia de conmutación crece a medida que el convertidor procesa menos potencia. Durante el análisis estático realizado en el primer apartado de este capítulo, ya se analizó esta variación de la frecuencia en función de la carga y se anticipó que el sistema de control se encargaría de limitar el valor máximo de frecuencia de conmutación. Cuando se alcanza esta situación, el convertidor pasa a operar en MCC a frecuencia constante (e igual a la frecuencia máxima). Por lo tanto, en esta situación no se sigue el algoritmo recogido en la Figura 3.46. Se alcanza esta situación cuando el lazo de regulación proporciona un t_{on} menor que un determinado valor mínimo. Este valor mínimo puede calcularse a partir del periodo mínimo de conmutación que establecerá una potencia mínima. Estos parámetros pueden obtenerse fácilmente a partir del análisis estático del convertidor cuando opera en MCC,

$$t_{onmin} = D \cdot T_{min} \tag{3.94}$$

donde

$$D = \frac{V_2 - V_1}{V_2} \tag{3.95}$$

El periodo mínimo puede venir fijado por diseño o bien a partir de un nivel de potencia mínimo en el que se quiera pasar a operar en MCC. Ambas magnitudes quedan relacionadas como

$$P_{min} = V_1^2 \cdot \frac{D \cdot T_{min}}{2L} \tag{3.96}$$

Así pues, en el caso de trabajar con un $t_{on} < t_{onmin}$, se omiten las señales ZCD y ZVD para generar el resto de tiempos. En este caso, se opera con tiempos muertos fijos. Por sencillez, se ha tomado que el segundo tiempo muerto pase a ser igual que el primero ($t_{d1} = t_{d2} = t_d$). Por otro lado, el tiempo de desmagnetización viene determinado por

$$t_{off} = T_{min} - t_{on} - 2 \cdot t_d \tag{3.97}$$

Cabe recordar, como ya se mencionó durante el análisis estático de este convertidor, que en este modo de operación, se pierden las conmutaciones suaves y se maneja un nivel de corriente reactiva mayor que si el convertidor opera en QSW-ZVS, aunque hay que tener en cuenta que

este modo únicamente se alcanza cuando el convertidor opera a baja carga. Además, el paso de QSW-ZVS a MCC implica un cambio en la dinámica del convertidor, como ya se vio en el análisis dinámico estudiado en el anterior apartado, lo que ha de tenerse en cuenta a la hora de diseñar el regulador.

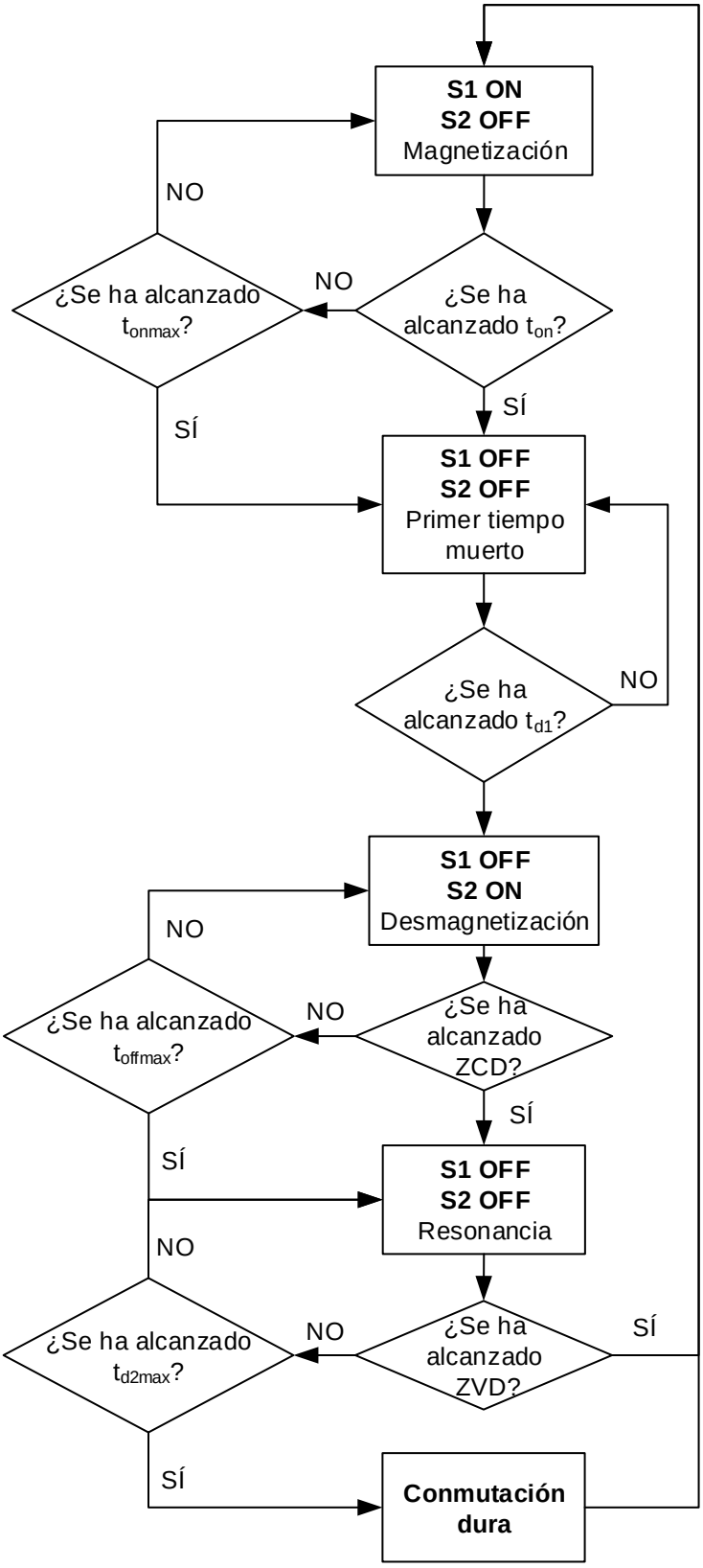


Figura 3.46. Flujograma del algoritmo del control directo de frecuencia variable.

3.2.3.1. Diseño del regulador

Una vez que se ha validado la secuencia de control, es necesario diseñar un lazo de realimentación que regule la tensión de salida. Pese a que ya ha sido mencionado anteriormente, es muy importante destacar que el diseño del regulador es independiente de utilizar el control directo planteado anteriormente. Es decir, el regulador puede diseñarse e implementarse siguiendo el método que resulte más efectivo, sin tener en cuenta que el control a frecuencia variable se generará de forma independiente detectando los eventos ZCD y ZVD. De esta forma se permite flexibilizar el diseño de toda la etapa de control, pudiendo adoptar el método para el regulador de tensión que resulte más adecuado.

En el contexto de esta tesis, se ha optado por una regulación en modo tensión, como ya se mencionó anteriormente. En el apartado anterior de este capítulo, se estudió el comportamiento dinámico de este convertidor, llegando a la conclusión de que su respuesta dinámica se correspondía con un sistema de primer orden. Por lo tanto, desde el punto de vista del regulador del lazo de tensión, el convertidor elevador trabajando en QSW-ZVS no tiene unas restricciones críticas (sobre todo si se compara con esta topología cuando opera en MCC).

En este caso se ha optado por diseñar un regulador proporcional, En un primer momento, como aproximación inicial, se diseñó un regulador analógico basado en el esquema que se muestra en la Figura 3.47, cuya función de transferencia se recoge en la ecuación (3.98). Los parámetros K_P, T_D y T_I se determinan utilizando el método comentado anteriormente y se comprobará el diseño con la herramienta SisoTool de Matlab combinada con Simulink.

$$G_R(s) = \frac{K_P \cdot T_D \cdot s}{T_I \cdot s} \tag{3.98}$$

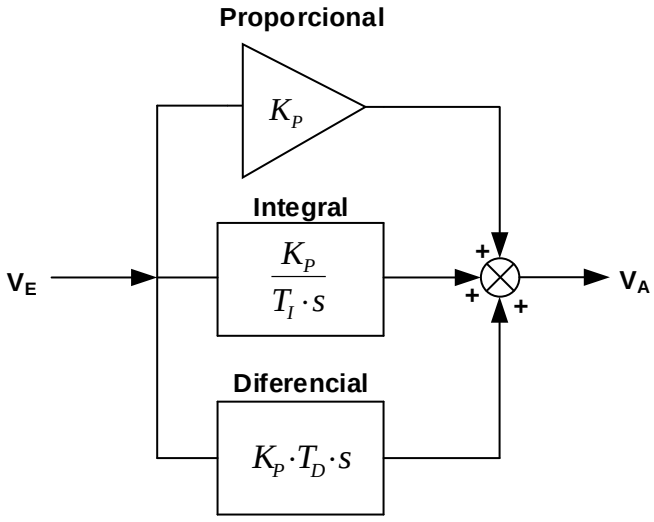


Figura 3.47. Esquema de bloques del regulador PID analógico. V_E representa la tensión del error y V_A la tensión de salida del regulador.

Sin embargo, una vez concebido el control directo con frecuencia variable tal y como se ha propuesto, parece lógico que el regulador se diseñe en formato digital para ser implementado en el dispositivo utilizado como etapa de control, que englobará también la detección de los eventos ZCD y ZVD.

Para obtener la expresión del regulador PID discreto, se parte de la ecuación en diferencias de una respuesta proporcional, integral y diferencial.

$$a[n] = K_P \cdot e[n] + K_I \cdot (e[n] + e[n-1]) + K_D \cdot (e[n] - e[n-1]) \tag{3.99}$$

donde $e[n]$ es la señal del error y $a[n]$ es la señal de salida del regulador. Si se aplica la transformada Z a esta expresión se obtiene

$$A(z) = (K_P + K_I + K_D) \cdot E(z) + (K_I - K_D) \cdot z^{-1} \cdot E(z) \tag{3.100}$$

donde $A(z)$ y $E(z)$ son las transformadas Z de las señales $a[n]$ y $e[n]$ respectivamente. Reordenando términos, es posible agrupar los retardos, tal que

$$\frac{A(z)}{E(z)} = K_P + K_I \cdot (1 + z^{-1}) + K_D \cdot (1 - z^{-1}) \tag{3.101}$$

Aplicando la transformada Z inversa a esta expresión y ordenando de nuevo los parámetros, puede llegarse a la ecuación en diferencias que describe el regulador PID digital a implementar:

$$a[n] = (K_P + K_I + K_D) \cdot e[n] + (-K_P - 2K_D) \cdot e[n-1] + K_D \cdot e[n-2] + a[n-1] \tag{3.102}$$

Esta ecuación en diferencias contiene cada una de las acciones del regulador PID: proporcional (término $K_P + K_I + K_D$), diferencial (término $-K_P - 2K_D$) e integral (término K_D). Cada uno de estos términos puede determinarse siguiendo el método de Zieger-Nichols u otro método de diseño de reguladores.

En la Figura 3.48 se ha representado un diagrama de bloques con el regulador PID digital diseñado. La señal $v_{FB}[n]$ es la versión muestreada de la tensión de salida medida. La señal $v_{REF}[n]$ es la referencia del lazo. A partir de la diferencia de estas dos señales se genera la señal de error $e[n]$ a la que se aplican los distintos retardos en sus muestras para aplicarle cada una de las acciones del regulador PID. El parámetro K_{coeff} es una potencia de dos suficientemente elevada para poder operar con números enteros positivos fácilmente manejables por el dispositivo digital sobre el que se implementa la etapa de control (en este caso una FPGA). Este parámetro se determina de manera empírica como una solución de compromiso entre la resolución máxima que puede manejar el dispositivo digital y el redondeo mínimo que permite obtener una resolución

aceptable en la variable de control. La señal de salida ($a[n]$) se utilizará como el valor que se compara con la rampa digital del generador DPWM.

Un ejemplo de la respuesta en frecuencia del regulador PID diseñado puede verse en la Figura 3.49. Cabe destacar que este regulador se ha diseñado para asegurar la estabilidad del lazo con un margen de fase y de ganancia razonables, pero en ningún caso es un diseño optimizado desde el punto de vista de la respuesta temporal en el tiempo de establecimiento o en la sobreoscilación ante la respuesta a un escalón.

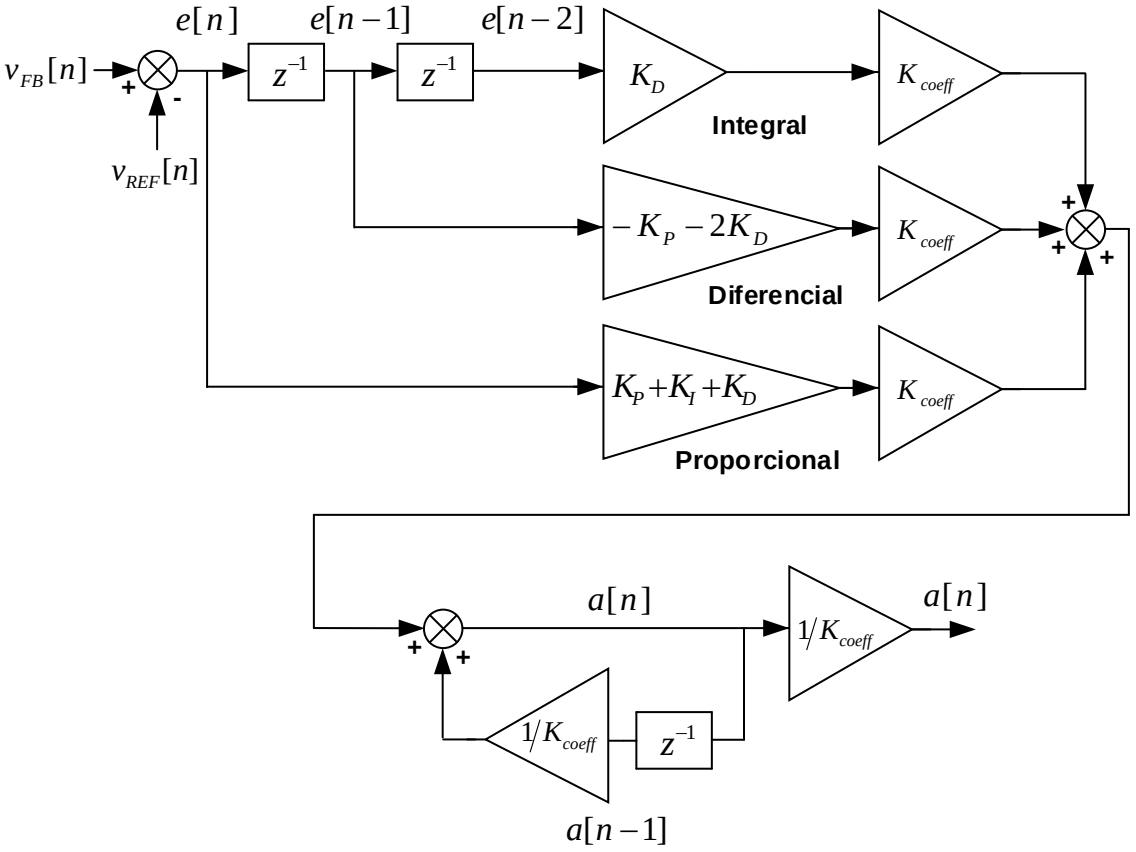


Figura 3.48. Diagrama de bloques del regulador digital PID según la ecuación en diferencias obtenida.

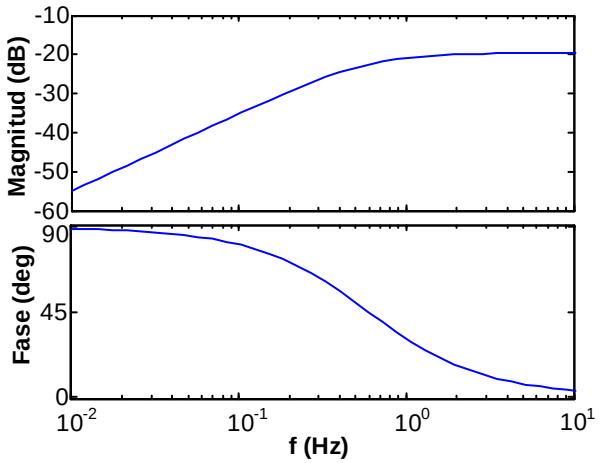


Figura 3.49. Respuesta en frecuencia del regulador PID diseñado.

3.2.3.2. Resultados experimentales

Una vez se ha analizado el algoritmo general del control directo de frecuencia variable y las limitaciones impuestas por seguridad, se ha utilizado la herramienta ModelSim para validar todo este algoritmo de control operando en lazo abierto (i.e. sin utilizar un regulador). Esta herramienta permite simular la secuencia de control emulando las señales ZCD y ZVD bajo distintos casos, así como realizar distintas pruebas forzando errores o haciendo que el convertidor opere a baja carga, lo que ha permitido probar tanto el algoritmo de control básico planteado aquí, como los algoritmos adicionales de protección. A modo de ejemplo, en la Figura 3.50 se muestra una captura del cronograma generado con ModelSim en una de estas pruebas. Como puede verse en este cronograma, las señales de puerta se generan correctamente siguiendo el algoritmo comentado anteriormente, generando el tiempo muerto t_{d2}.

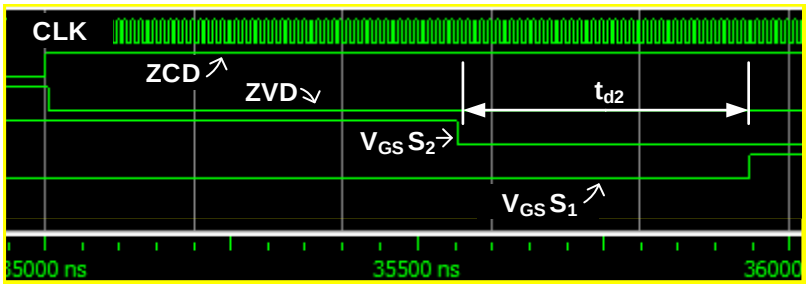


Figura 3.50. Captura de un cronograma obtenido con ModelSim para validar la secuencia de control operando en lazo abierto. Se han resaltado las señales ZVD y ZCD que controlan los eventos de conmutación así como las señales de puerta.

Para validar el control directo a frecuencia variable propuesto en este apartado, se ha utilizado un prototipo siguiendo las especificaciones básicas presentadas en la introducción de este capítulo. En la Tabla 3.2 se resumen las especificaciones del prototipo construido y los distintos componentes utilizados.

Para implementar la etapa de control se ha utilizado una FPGA de Xilinx modelo Spartan 6 con la placa de desarrollo Nexxys 3 de Digilent. Como conversor ADC se ha utilizado el modelo AD7476A, conversor serie de 12 bits. Los sensores y generadores de las señales ZCD y ZVD se han fabricado siguiendo los esquemas mostrados en la Figura 3.44 y en la Figura 3.45, utilizando comparadores analógicos modelo LM393 de Texas Instruments. El transformador de corriente se ha fabricado ex-profeso para esta aplicación con un toroide de material 4A11 de Ferroxcube y una relación de transformación de 1:50.

Las señales de control generadas por la FPGA se han llevado hasta la etapa de potencia utilizando una adaptación de niveles y un *driver* para la puerta de los transistores MOSFET. Un diagrama de bloques de la etapa de adaptación puede verse en la Figura 3.51. En esta etapa se aísla la señal de control PWM que llega de la FPGA con un aislador digital (ISO721 de Texas

Instruments). A partir de los 5V suministrados por la alimentación, se convierten a 12V aislados con el convertidor CC-CC (DCH010512 de Texas Instruments). A partir de esta tensión, se emplean dos reguladores lineales de tensión para suministrar la alimentación al aislador digital (una referencia fija de 5V generada con el ADP3300 de Analog Devices) y una tensión variable que será la tensión máxima de alimentación proporcionada al *driver* de control (a través del LT1763 de Linear Technology). Esta etapa de adaptación se sitúa entre la FPGA y el *driver* de puerta (o *driver* de control) de los transistores MOSFET, sin que la distancia física entre ambos circuitos sea crítica.

Tabla 3.2. Especificaciones de diseño para la experimentación del control directo de frecuencia variable.

Parámetro	**Valor**
V_1	150V
V_2	400V
f_S	100kHz (min. 80kHz-max. 240kHz)
Potencia máxima	500W
C_{OSS}	2,2nF
L	97µH, ETD42, 3F3, Ferroxcube
C_1	2 x 3.3µF, 250V, MKT 1 x 22 µF, 250V, electr.
C_2	2 x 1µF, 680V, MKP 1 x 4.7µF, 450V, electr.
Transistores	SPW47N60CFD, Infineon 600V, 46A, 83mΩ, 2200pF

El *driver* de control de los transistores MOSFET se sitúa físicamente muy próximo a la puerta de estos en la placa de circuito impreso (o PCB) de la etapa de potencia. Un esquema de bloques del mismo puede verse en la Figura 3.52. En este caso, se ha empleado el *driver* comercial EL7104 de Intersil. Así mismo, se ha empleado una resistencia serie, denotada como R_{DRV1}, para retrasar el encendido del transistor y limitar el valor de las posibles sobre-oscilaciones en la tensión puerta-fuente durante el *turn-on* del mismo. En antiparalelo con esta resistencia, se coloca otra resistencia, R_{DRV2} y un diodo Schottky, D_{DRV2}. Esta parte del circuito tiene como objetivo acelerar la descarga de las capacidades de puerta del transistor durante el apagado. Tanto las

dos resistencias como el diodo Schottky se colocan lo más próximos posible a la puerta del transistor MOSFET, para reducir, en la medida de los posible, las inductancias parásitas del bucle del circuito.

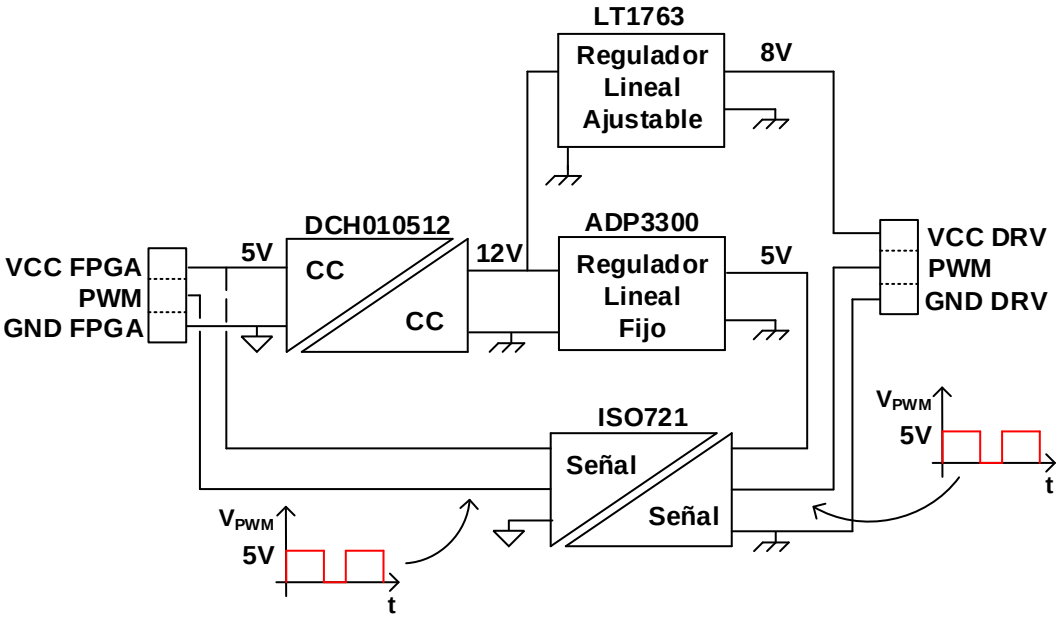


Figura 3.51. Diagrama de bloques de la etapa de adaptación para las señales de puerta.

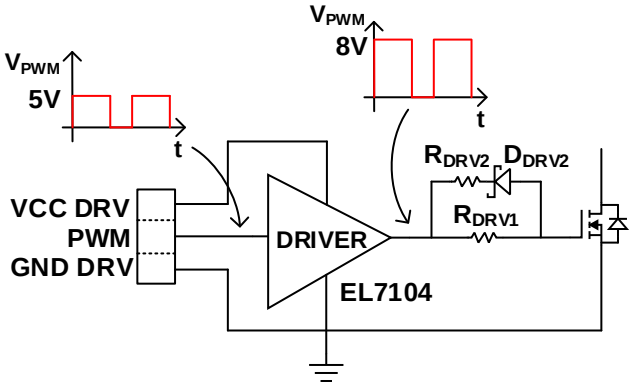


Figura 3.52. Diagrama de bloques del *driver* de control en la etapa de potencia.

En la Figura 3.53 puede verse una fotografía tomada del prototipo, incluyendo la inductancia, la etapa de adaptación y la etapa de potencia. Las dimensiones y el detalle de esta última PCB pueden encontrarse en la Figura 3.54. El radiador se ha retirado de esta placa para poder visualizar con mayor claridad todos los elementos que la componen. Además, la inductancia está instalada fuera de la PCB de potencia. Cada uno de los elementos que componen la etapa de potencia se ha resaltado en la Figura 3.55, en la que pueden verse con facilidad los condensadores de entrada y de salida, los transistores, los *drivers* de potencia, el sensor de corriente utilizado y los circuitos de generación de las señales ZCD y ZVD. Además, pueden verse los conectores de entrada de las señales de control que provienen de la FPGA y el conector de salida para la FPGA con las señales ZCD, ZVD, tensión de salida medida, masa y alimentación.

Por último, en la Figura 3.56 se recoge una fotografía en detalle de la PCB de la etapa de adaptación con sus componentes y dimensiones. Nuevamente, en la misma pueden identificarse cada uno de los componentes enumerados en la Figura 3.51.

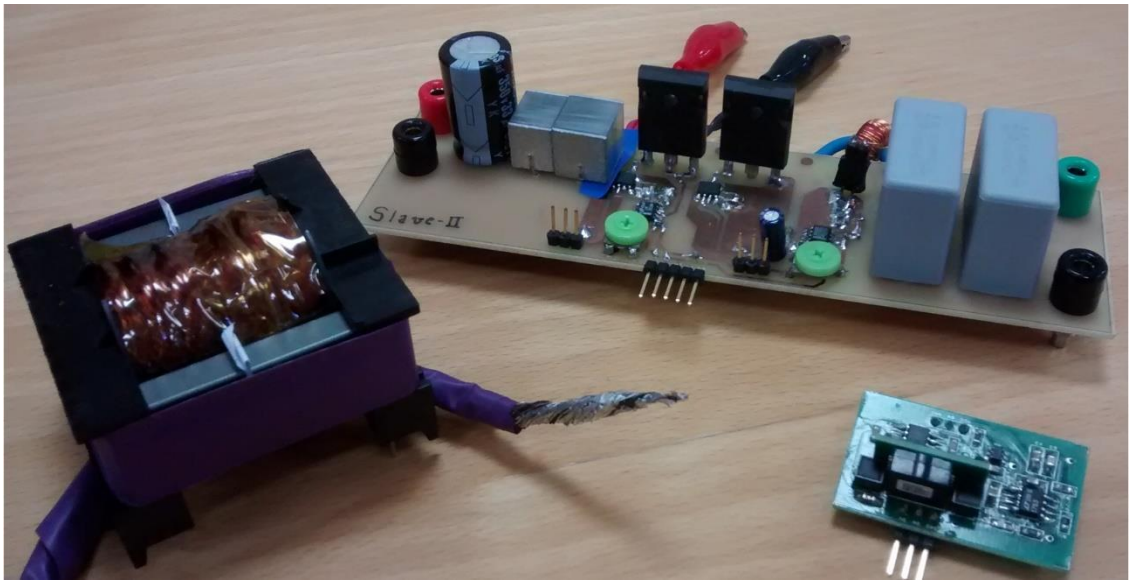


Figura 3.53. Fotografía del convertidor fabricado en el laboratorio. Etapa de potencia, inductancia y etapa de adaptación.

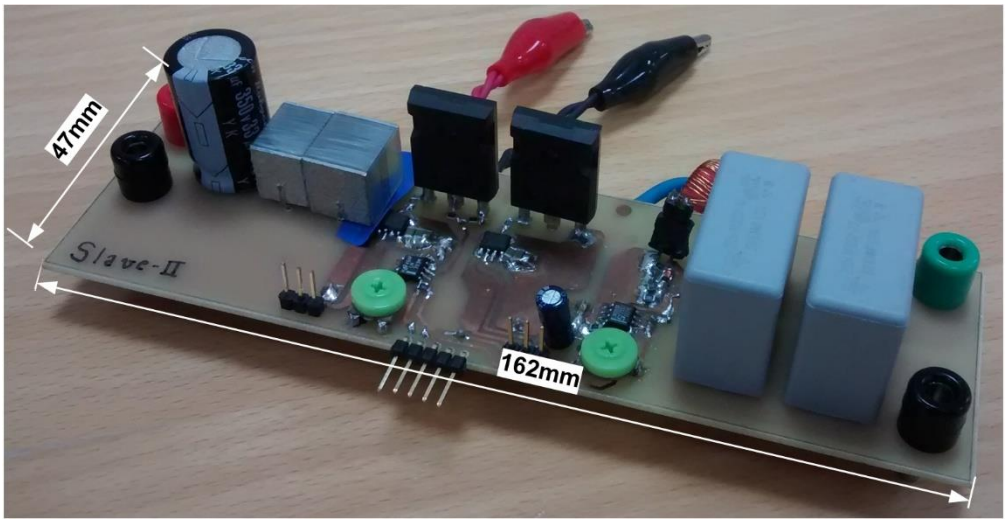


Figura 3.54. PCB de la etapa de potencia con sus dimensiones.

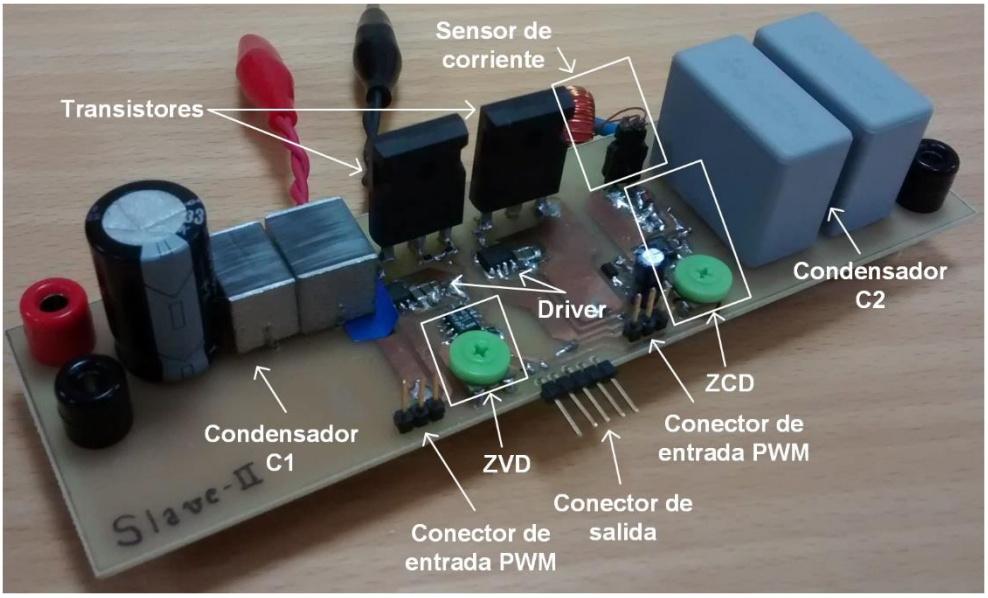


Figura 3.55. PCB de la etapa de potencia con sus componentes destacados.

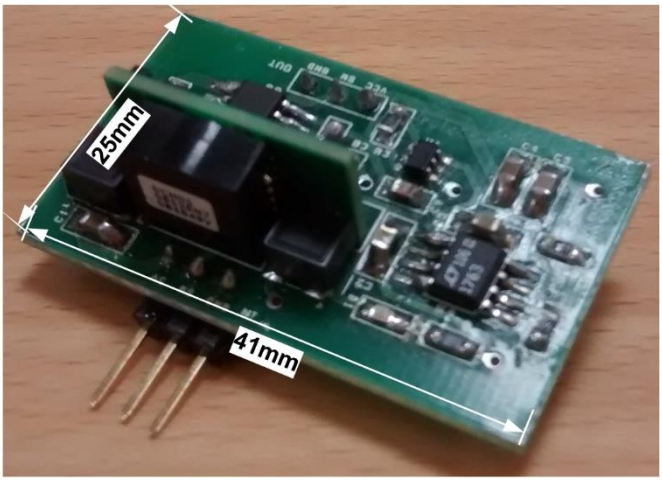


Figura 3.56. PCB de la etapa de adaptación con sus dimensiones.

Tras describir el *hardware* del prototipo desarrollado, se pasa ahora a mostrar algunas formas de onda del funcionamiento del convertidor operando en modo QSW-ZVS utilizando el control directo de frecuencia variable descrito anteriormente. En la Figura 3.57 se muestran las formas de onda básicas del convertidor operando a plena carga. Puede verse cómo el control directo de frecuencia variable mantiene al convertidor operando en el punto óptimo de funcionamiento. Esto puede apreciarse con mayor nitidez en la Figura 3.58, en donde se ha recogido un detalle de un periodo de conmutación. En esta captura puede observarse cómo se alcanza la condición de conmutación suave, entrando el transistor S_1 en conducción cuando la tensión que soporta ha llegado a cero.

Por otra parte, en la Figura 3.59 se recoge el detalle del sub-intervalo de resonancia durante el tiempo t_{d2}. En esta captura se han resaltado los eventos ZCD y ZVD y el papel que juegan en la conmutación. Como puede observarse, el control es capaz de generar de manera directa las

señales de conmutación a partir de estos dos eventos, siguiendo el funcionamiento teórico y simulado realizado anteriormente.

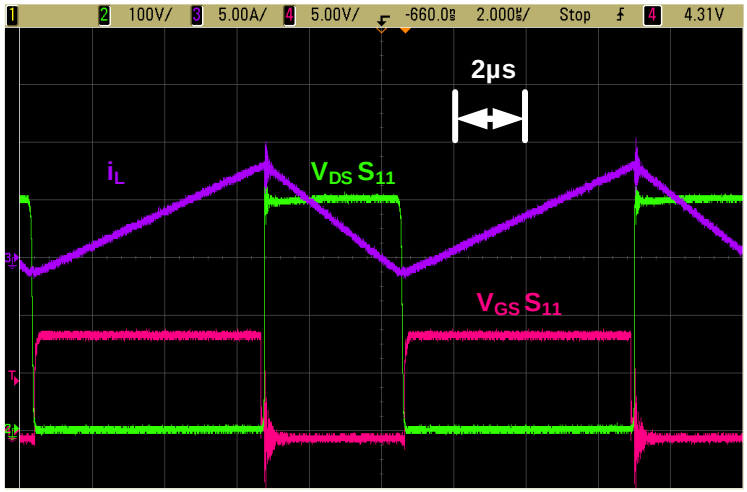


Figura 3.57. Formas de onda del convertidor operando a plena carga.

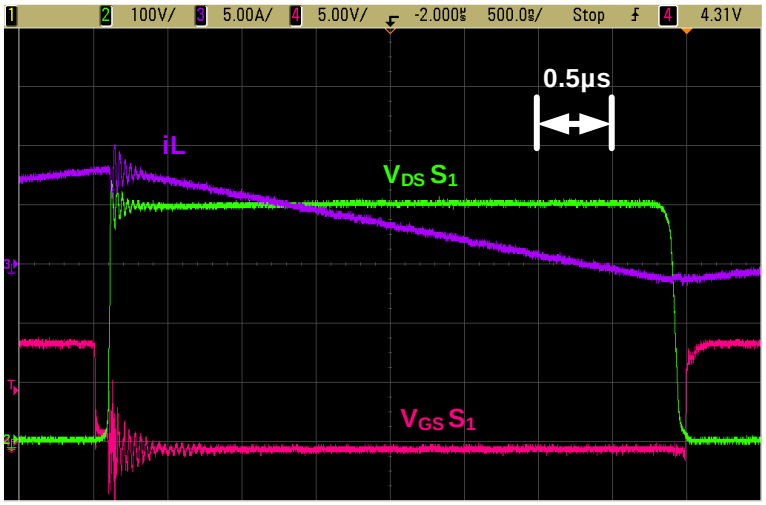


Figura 3.58. Detalle de las formas de onda del convertidor operando a plena carga.

De manera adicional, también se ha recogido el funcionamiento del convertidor operando a media carga. En la Figura 3.60 se recoge un detalle de las formas de onda en esta condición, en donde se ha resaltado la señal ZCD generada por el comparador analógico y las señales de puerta. Por último, en la Figura 3.61 se muestra el rendimiento medido en el convertidor, sin incluir las pérdidas en la etapa de control. Para medir este rendimiento se utilizaron multímetros digitales Fluke 187 para medir la corriente tanto de entrada como de salida, Fluke 87V como voltímetro de la tensión de salida y HP 974A como voltímetro de la tensión de entrada. La fuente de alimentación empleada fue el modelo 6813B de Agilent (actualmente Keysight) y como carga electrónica el modelo N3300A del mismo fabricante.

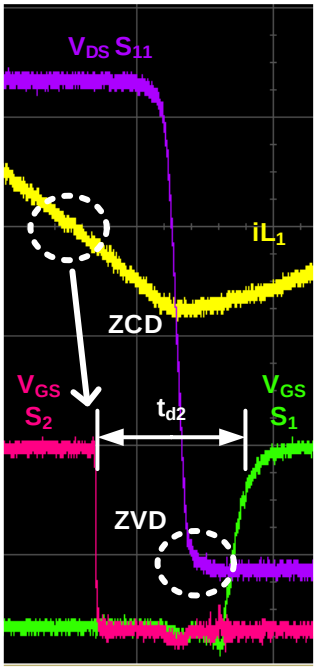


Figura 3.59. Detalle de las formas de onda de operación del convertidor operando a plena carga. Se han resaltado los eventos ZCD y ZVD, así como el tiempo muerto t_{d2}.

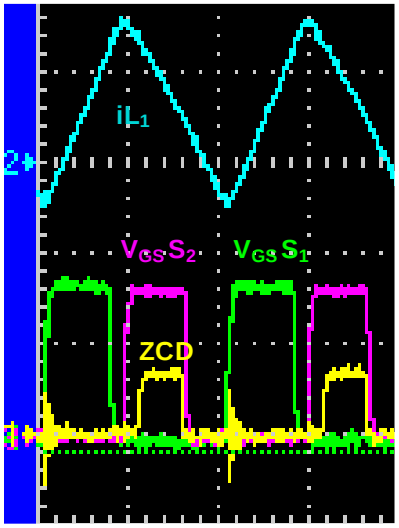


Figura 3.60. Detalle de las formas de onda de operación del convertidor operando a mitad de carga. Se han incluido la señal ZCD generada.

Como puede observarse, el rendimiento obtenido a plena carga se sitúa en un 98,01%, manteniéndose muy próximo a este valor hasta los 200W. Por debajo de esta potencia, el rendimiento obtenido decae, siendo la caída más abrupta por debajo de los 100W. Esta caída en el rendimiento se debe, fundamentalmente, a la limitación de la frecuencia de conmutación y a la entrada en modo MCC. La corriente reactiva a manejar por el convertidor en este modo aumenta a medida que la potencia disminuye, por lo que las pérdidas asociadas a este efecto también se incrementan.

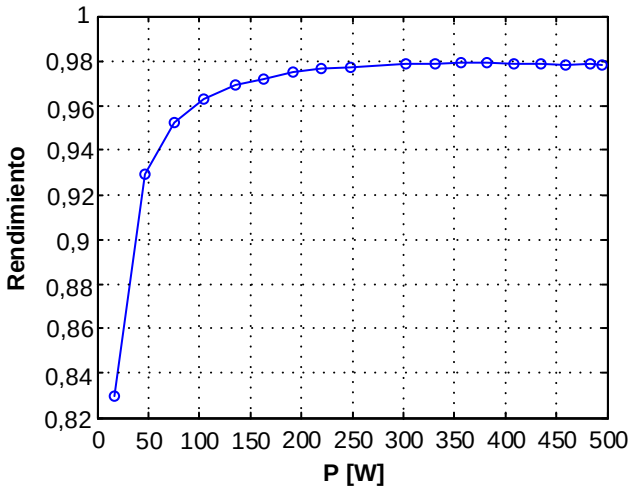


Figura 3.61. Rendimiento medido del convertidor.

Ya por último, en la Figura 3.62 se recoge una captura del osciloscopio con la respuesta del convertidor operando en lazo cerrado cuando se realiza un salto de carga desde plena carga a media carga y viceversa. Como puede observarse, la respuesta dinámica del lazo de regulación es lenta: el tiempo de establecimiento es aproximadamente de 1,5s en ambos casos, con una respuesta de tipo sub-amortiguada. Cabe recordar que no se ha optimizado el lazo de regulación para obtener una respuesta dinámica rápida, puesto que la aplicación no lo exigía. Si tal fuera el caso, podría haberse planteado un diseño más optimizado del lazo de regulación.

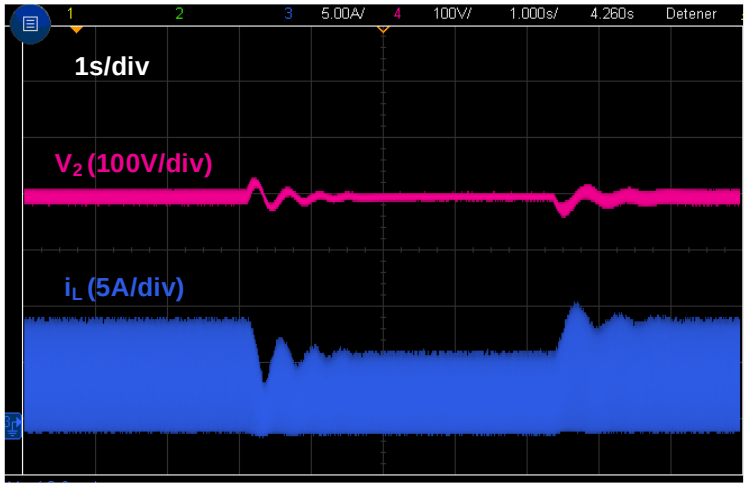


Figura 3.62. Captura del osciloscopio en la que se muestra la tensión de la salida y la corriente por la inductancia frente a dos saltos de carga: el primero de plena carga a media carga y el segundo de media carga a plena carga.

3.2.3.3. Ventajas y desventajas del control directo de frecuencia variable

A modo de conclusión, se resumen a continuación las principales ventajas y desventajas del control directo de frecuencia variable.

La principal ventaja del control directo de frecuencia variable radica en su sencillez. Este control no necesita realizar ningún cálculo aritmético complejo para obtener los tiempos de cada sub-intervalo. Por lo tanto, este control puede implementarse en un dispositivo lógico digital de bajas prestaciones y coste reducido. La segunda ventaja que puede citarse del control propuesto es que consigue mantener las conmutaciones suaves en un rango amplio de potencia y para variaciones de la tensión de entrada y de salida. En general, los controles propuestos por otros autores ya citados al comienzo de este apartado, sí conseguían mantener las condiciones de conmutación suave para un determinado rango de potencias, pero no para un rango de variación en la tensión de entrada. Sin embargo, con este control es posible conseguir ambos objetivos gracias a la generación de los eventos ZCD y ZVD. La tercera ventaja de este control es que el diseño del lazo de regulación puede realizarse de manera independiente, con lo que se gana en flexibilidad a la hora de implementar dicho lazo. Otras técnicas de control ya mencionadas precisan un control modo corriente (bien sea de pico, bien sea promediado) con lo que se pierde la flexibilidad en el diseño del modo de control y del lazo de regulación.

El control propuesto aquí también posee una serie de desventajas. La primera, y más obvia, es que necesita un sensor de corriente y un sensor de tensión adicional. Es cierto que tanto el sensor de corriente como el de tensión no necesitan conversiones analógico-digitales ni una precisión muy grande. Pese a esto, otras técnicas de control no necesitan un sensor de corriente lo que las hace más atractivas desde el punto de vista de reducir la complejidad en la medida de magnitudes presentes en la etapa de potencia.

Un segundo problema de este control es la sensibilidad del nivel de tensión en la comparación para obtener las señales ZCD y ZVD. Si se recuerda la explicación dada, aquí se ha optado por utilizar un comparador analógico para evitar el uso de una conversión ADC adicional. Esto lleva consigo dos limitaciones muy importantes que han de tenerse en cuenta. La primera es esta: el nivel de la tensión de comparación es muy crítico a la hora de generar correctamente ambas señales. En la implementación práctica, aquí se optó por un ajuste analógico basado en un potenciómetro. No obstante, como mejora puede plantearse que la propia etapa de control sea la que fije este nivel de comparación. En cualquier caso, su ajuste es un punto crítico a la hora de implementar este control.

La segunda limitación debida al uso de comparadores analógicos trae consigo la tercera desventaja del control propuesto: la velocidad de los propios comparadores. Si se persigue incrementar notablemente la frecuencia de conmutación del convertidor (i.e. pasar al orden de MHz), el retardo originado por los comparadores analógicos puede ocasionar una pérdida de resolución en la variable de control. Así, este retardo puede llegar a ser comparable (o incluso mayor) que los tiempos muertos que han de introducirse en la señales de control. Por lo tanto, cuanto mayor sea dicho retardo, menor será la capacidad de conmutar a frecuencias más altas.

Esta limitación puede superarse si se utilizan comparadores más rápidos (aunque esto conlleva un aumento del coste final del convertidor) o bien implementar técnicas de compensación del retardo en la etapa de control (lo que conlleva un incremento en la complejidad del propio control).

Por último, la cuarta desventaja del control directo de frecuencia variable es la limitación en la frecuencia máxima de conmutación. Como ya se ha citado anteriormente, a medida que la carga del convertidor disminuye, aumenta su frecuencia de conmutación. Esto conlleva que la etapa de control ha de fijar un límite superior dicha frecuencia de conmutación. Cuanto más restrictivo sea este límite, en un rango de potencia más limitado puede operar el convertidor. Bien es cierto que aquí se ha propuesto una posible solución a este problema (el paso a operación a frecuencia constante en MCC), sin embargo esta solución tiene un impacto directo sobre el rendimiento del convertidor a baja carga (como se demostró en los resultados experimentales obtenidos para el prototipo construido).

3.3. REFERENCIAS

[3.1] Kasper, M.; Bortis, D.; Kolar, J.W., "Scaling and balancing of multi-cell converters," *Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE-ASIA), 2014 International*, vol., no., pp.2079,2086, 18-21 May 2014.

[3.2] Hernandez, M.; Aguilar, C.; Arau, J.; Sebastian, J.; Uceda, J., "Comparative analysis of boost and buck-boost derived topologies used as power factor correctors," *Power Electronics Congress, 1995. Technical Proceedings. CIEP 95., IV IEEE International*, vol., no., pp.14,19, 16-19 Oct 1995.

[3.3] Sebastian, J.; Fernandez, A.; Hernando, M.M.; Lamar, D.G., "Simple control and high efficiency in the boost converter used to shape the line current to comply with the IEC 61000-3-2 regulations," *Applied Power Electronics Conference and Exposition, 2005. APEC 2005. Twentieth Annual IEEE*, vol.2, no., pp.1163,1169 Vol. 2, 6-10 March 2005.

[3.4] Lamar, D.G.; Fernandez, A.; Arias, M.; Rodriguez, M.; Sebastian, J.; Hernando, M.M., "A Unity Power Factor Correction Preregulator With Fast Dynamic Response Based on a Low-Cost Microcontroller," *Power Electronics, IEEE Transactions on*, vol.23, no.2, pp.635,642, March 2008.

[3.5] Maksimovic, D.; Yungtaek Jang; Erickson, R.W., "Nonlinear-carrier control for high-power-factor boost rectifiers," *Power Electronics, IEEE Transactions on*, vol.11, no.4, pp.578,584, Jul 1996.

[3.6] Moschopoulos, G.; Shumin Li, "A soft-switched AC-DC boost converter with power factor correction and reduced switch voltage stress," *Electrical and Computer Engineering, 2003. IEEE CCECE 2003. Canadian Conference on*, vol.1, no., pp.375,378 vol.1, 4-7 May 2003.

[3.7] Jindong Zhang; Jovanovic, M.M.; Lee, F.C., "Comparison between CCM single-stage and two-stage boost PFC converters," *Applied Power Electronics Conference and Exposition, 1999. APEC '99. Fourteenth Annual*, vol.1, no., pp.335,341 vol.1, 14-18 Mar 1999.

[3.8] Nussbaumer, T.; Raggl, K.; Kolar, J.W., "Design Guidelines for Interleaved Single-Phase Boost PFC Circuits," *Industrial Electronics, IEEE Transactions on*, vol.56, no.7, pp.2559,2573, July 2009.

[3.9] Mahesh, M.; Panda, A.K., "A high performance single-phase AC-DC PFC boost converter with passive snubber circuit," *Energy Conversion Congress and Exposition (ECCE), 2012 IEEE*, vol., no., pp.2888,2894, 15-20 Sept. 2012.

[3.10] Musavi, F.; Eberle, W.; Dunford, W.G., "Efficiency evaluation of single-phase solutions for AC-DC PFC boost converters for plug-in-hybrid electric vehicle battery chargers," *Vehicle Power and Propulsion Conference (VPPC), 2010 IEEE*, vol., no., pp.1,6, 1-3 Sept. 2010.

[3.11] Vorperian, V., "Quasi-square-wave converters: topologies and analysis," *Power Electronics, IEEE Transactions on* , vol.3, no.2, pp.183,191, Apr 1988.

[3.12] Yang, L.; Zhang, Y.; Lee, C.Q., "A family of constant-switching-frequency quasi-square-wave converters," *Electrical and Computer Engineering, 1993. Canadian Conference on*, vol., no., pp.309,312 vol.1, 14-17 Sep 1993.

[3.13] Yang, L.; Zhang, Y.F.; Lee, C.Q., "Analysis of the boost constant-frequency quasi-square-wave converters," *Circuits and Systems, 1994., Proceedings of the 37th Midwest Symposium on*, vol.2, no., pp.1172,1175 vol.2, 3-5 Aug 1994.

[3.14] Maksimovic, D., "Design of the zero-voltage-switching quasi-square-wave resonant switch," *Power Electronics Specialists Conference, 1993. PESC '93 Record., 24th Annual IEEE*, vol., no., pp.323,329, 20-24 Jun 1993.

[3.15] Liu, Kwang-Hwa; Oruganti, R.; Lee, F.C.Y., "Quasi-Resonant Converters-Topologies and Characteristics," *Power Electronics, IEEE Transactions on*, vol.PE-2, no.1, pp.62,71, Jan. 1987.

[3.16] Lee, F.C., "High-frequency quasi-resonant converter technologies," *Proceedings of the IEEE*, vol.76, no.4, pp.377,390, Apr 1988.

[3.17] Tabisz, W.A; Lee, F.C., "Zero-voltage-switching multi-resonant technique-a novel approach to improve performance of high frequency quasi-resonant converters," *Power Electronics Specialists Conference, 1988. PESC '88 Record., 19th Annual IEEE*, vol., no., pp.9,17 vol.1, 11-14 April 1988.

[3.18] Maksimovic, D.; Cuk, Slobodan, "A general approach to synthesis and analysis of quasi-resonant converters," *Power Electronics, IEEE Transactions on*, vol.6, no.1, pp.127,140, Jan 1991.

[3.19] R.W. Erickson, D. Maksimovic, "Fundamentals of Power Electronics," 2ª Edición, Springer Science+Business, 2001.

[3.20] Costa, J.M.F.D.; Silva, M.M., "Small-signal models and dynamic performance of quasi-square-wave ZVS converters with voltage-mode and current-mode control," *Circuits and Systems, 1995., Proceedings., Proceedings of the 38th Midwest Symposium on*, vol.2, no., pp.1183,1188 vol.2, 13-16 Aug 1995.

[3.21] Moussa, W.M.; Morris, J.E., "DC and AC characteristics of zero voltage switching PWM converters," *Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE*, vol., no., pp.236,242 vol.1, 29 Jun-3 Jul 1992.

[3.22] Jingquan Chen; Erickson, R.; Maksimovic, D., "Averaged switch modeling of boundary conduction mode DC-to-DC converters," *Industrial Electronics Society, 2001. IECON '01. The 27th Annual Conference of the IEEE*, vol.2, no., pp.844,849 vol.2, 2001.

[3.23] Polivka,W.M.; Chetty, P.R.K.; Middlebrook, R.D., "State-space average modelling of converters with parasitics and storage-time modulation", *Power Electronics Specialists Conference, PESC '80*, pp. 119-143, June 16-20, 1980.

[3.24] Infineon, Nota de Aplicación AN 2013-10, "CoolMOS CFDA. 650V rated superjunction MOSFET with fast body diode for automotive", pp. 1-40, Oct. 2013.

[3.25] Infineon, Nota de Aplicación, "CoolMOS CFD2. First 650V rated super junction MOSFET with fast body diode suitable for resonant topologies", pp. 1-20, Feb. 2011.

[3.26] Fairchild, Nota de Aplicación AN-9725, "Robust body diode characteristics of the latest power MOSFETs, UNIFET II for resonant converters", pp. 1-8, Oct. 2011.

[3.27] Fairchild, Nota de Aplicación AN-5232, "New generation super-junction MOSFETs, SuperFET II and SuperFET II Easy Drive MOSFETs for high efficiency and lower switching noise", pp. 1-15, Sept. 2013.

[3.28] Fairchild, Nota de Aplicación AN-7500, "Understanding power MOSFETs", Oct. 1999.

[3.29] Fairchild, Nota de Aplicación AN-9010, "MOSFET basics", pp. 1-17, Sept. 2013.

[3.30] IXXYS, Nota de Aplicación IXAN0061, "Power MOSFET basics", pp. 1-11.

[3.31] International Rectifier, Nota de Aplicación, "Power MOSFET basics".

[3.32] Infineon, Hoja de Características del transistor MOSFET CoolMos IPx60R160C6. Online: http://goo.gl/Bh2uk3. Última vez visitada: 26/12/2014.

[3.33] Witulski, A.F.; Erickson, R.W., "Extension of state-space averaging to resonant switches and beyond," *Power Electronics, IEEE Transactions on*, vol.5, no.1, pp.98,109, Jan 1990.

[3.34] Jingquan Chen; Erickson, R.; Maksimovic, D., "Averaged switch modeling of boundary conduction mode DC-to-DC converters," *Industrial Electronics Society, 2001. IECON '01. The 27th Annual Conference of the IEEE*, vol.2, no., pp.844,849 vol.2, 2001.

[3.35] Costa, J.M.F.D.; Silva, M.M., "Small-signal models and dynamic performance of quasi-square-wave ZVS converters with voltage-mode and current-mode control," *Circuits and Systems, 1995., Proceedings., Proceedings of the 38th Midwest Symposium on*, vol.2, no., pp.1183,1188 vol.2, 13-16 Aug 1995.

[3.36] Moussa, W.M.; Morris, J.E., "DC and AC characteristics of zero voltage switching PWM converters," *Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE*, vol., no., pp.236,242 vol.1, 29 Jun-3 Jul 1992.

[3.37] Polivka,W.M.; Chetty,P.R.K.; Middlebrook,R.D., "State-space average modelling of converters with parasitics and storage-time modulation", *Power Electronics Specialists Conference, PESC '80*, pp.119-143, June 16-20, 1980.

[3.38] Kislovski, A.S.; Redl, R., "Generalization of the injected-absorbed-current dynamic analysis method of DC-DC switching power cells," *Circuits and Systems, 1992. ISCAS '92. Proceedings., 1992 IEEE International Symposium on*, vol.4, no., pp.1895,1898 vol.4, 3-6 May 1992.

[3.39] Middlebrook R D, "Modelling current-programmed buck and boost regulators", ibid, pp 36-52.

[3.40] Ridley R B, "A new, continuous-time model for current-mode control", ibid, pp 271-280.

[3.41] S. Freeland, R.D. Middlebrook, "A unified analysis of converters with resonant switches," *Proceedings, IEEE Power Electronics Specialists Conference*, pp.20-30, 1970.

[3.42] R.D. Middlebrook, S. Cuk, "Modeling and analysis methods for DC-to-DC switching converters", *International Semiconductor Power Conference*, pp. 90-111, 1977.

[3.43] Witulski, A.F.; Erickson, R.W., "Extension of state-space averaging to resonant switches and beyond," *Power Electronics, IEEE Transactions on*, vol.5, no.1, pp.98,109, Jan 1990.

[3.44] Kislovski, A.S.; Redl, R., "Generalization of the injected-absorbed-current dynamic analysis method of DC-DC switching power cells," *Circuits and Systems, 1992. ISCAS '92. Proceedings., 1992 IEEE International Symposium on*, vol.4, no., pp.1895,1898 vol.4, 3-6 May 1992.

[3.45] Hissem, M.; Cheriti, A.; Sicard, P.; Ba-Razzouk, A., "Application of the current-injected modeling approach to quasi-resonant converters," *Power Electronics, IEEE Transactions on*, vol.12, no.4, pp.695,703, Jul 1997.

[3.46] Junhong Zhang; Jih-Sheng Lai; Rae-young Kim; Wensong Yu, "High-Power Density Design of a Soft-Switching High-Power Bidirectional dc–dc Converter," *Power Electronics, IEEE Transactions on*, vol.22, no.4, pp.1145,1153, July 2007.

[3.47] J. Zhang, J.-S. Lai, R.-Y. Kim and W. Yu, "High-Power Density Design of a Soft-Switching High-Power Bidirectional dc–dc Converter," *Power Electronics, IEEE Transactions on*, vol. 22, no. 4, pp. 1145-1153, July 2007.

[3.48] Andreassen, Pal; Undeland, T.M., "Digital Control Techniques for Current Mode Control of Interleaved Quasi Square Wave Converter," *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, vol., no., pp.910,914, 16-16 June 2005.

[3.49] Andreassen, P.; Undeland, T.M., "Digital control methods for current sharing of interleaved synchronous buck converter," *Power Electronics and Applications, 2005 European Conference on*, vol., no., pp.7 pp.,P.7, 0-0 0.

[3.50] Jong-Bok Baek; Woo-In Choi; Bo-Hyung Cho, "Digital Adaptive Frequency Modulation for Bidirectional DC–DC Converter," *Industrial Electronics, IEEE Transactions on*, vol.60, no.11, pp.5167,5176, Nov. 2013.

[3.51] Yousefzadeh, V.; Babazadeh, A.; Ramachandran, B.; Alarcon, E.; Pao, L.; Maksimovic, D., "Proximate Time-Optimal Digital Control for Synchronous Buck DC–DC Converters," *Power Electronics, IEEE Transactions on*, vol.23, no.4, pp.2018,2026, July 2008.

[3.52] Canesin, C.A.; Gonçalves, F.A.S., "A Multi-Cell Variable Frequency Interleaved ZCS Boost Rectifier Digitally Controlled by FPGA," *Industrial Electronics, 2006 IEEE International Symposium on*, vol.2, no., pp.1382,1387, 9-13 July 2006.

[3.53] Huber, L.; Irving, B.T.; Adragna, C.; Jovanovic, M.M., "Implementation of open-loop control for interleaved DCM/CCM boundary boost PFC converters," *Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE*, vol., no., pp.1010,1016, 24-28 Feb. 2008.

[3.54] Hangseok Choi, "Interleaved Boundary Conduction Mode (BCM) Buck Power Factor Correction (PFC) Converter," *Power Electronics, IEEE Transactions on*, vol.28, no.6, pp.2629,2634, June 2013.

[3.55] Sang Hee Kang; Maksimovic, D.; Cohen, I., "Efficiency Optimization in Digitally Controlled Flyback DC–DC Converters Over Wide Ranges of Operating Conditions," *Power Electronics, IEEE Transactions on*, vol.27, no.8, pp.3734,3748, Aug. 2012.

[3.56] Ogata, K., "Modern Control Engineering," cap. 8 pp.567, 647, Prentice Hall, V Edición, 2010.

4 TÉCNICAS DE OPTIMIZACIÓN PARA LA AGRUPACIÓN IPOP

En el presente capítulo, se desarrolla el concepto de agrupación modular en paralelo (o IPOP de su término Input Parallel Output Parallel*) que se ha introducido en el capítulo 2. Tras una breve introducción en la que se justifica la adopción de la agrupación IPOP, el capítulo se ha estructurado en tres partes. En la primera, se presenta y ejemplifica una metodología para obtener el número de módulos óptimo en una agrupación IPOP, en relación a la optimización del rendimiento y del volumen del convertidor modular. En la segunda parte, se presenta una técnica de control para la agrupación modular IPOP para el convertidor elevador síncrono operando en QSW-ZVS. La técnica de control (denominada maestro-esclavo) hace uso del control directo de frecuencia variable presentado en el capítulo 3, y extiende su aplicación a las agrupaciones IPOP. Por último, en la tercera parte se comparan tres estrategias de control para optimizar el rendimiento del convertidor modular: la estrategia de encendido secuencial, la estrategia de maestro-esclavo asimétrica (basada en el control propuesto en la segunda parte) y la estrategia de encendido intermitente (basada en el concepto de control por histéresis).*

4.1. INTRODUCCIÓN

En el capítulo 2 de la presente tesis se han analizado las distintas agrupaciones que pueden adoptarse para implementar un convertidor modular. Concretamente, en el epígrafe 2.3 de dicho capítulo, se presentó un proceso de diseño modular atendiendo a la selección de la agrupación óptima y del número óptimo de módulos necesarios. En este capítulo se va a desarrollar el concepto de agrupación modular en paralelo (o IPOP), siguiendo el proceso de diseño recogido en el capítulo 2.

En primer lugar, tal como se dedujo anteriormente, las especificaciones que se han fijado inicialmente en el presente trabajo esta tesis hacen que la agrupación modular más adecuada resulte ser la IPOP (según el flujograma mostrado en la Figura 2.19 del capítulo 2). Tanto la tensión de entrada (150V) como la de salida (400V) son lo suficientemente bajas para descartar la agrupación ISOS. Tampoco se precisa aislamiento galvánico y se persigue aumentar la potencia manejada hasta los 2kW, lo que descarta también la agrupación ISOP/IPOS. Por último, la agrupación modular mixta es la más compleja de todas, y su adopción sólo se aplica cuando las especificaciones a cumplir definan un mapa de funcionamiento caracterizado por rangos de tensiones tanto de entrada como de salida amplios y niveles de potencia grandes. Por lo tanto, la agrupación modular más óptima resulta ser la agrupación IPOP.

En segundo lugar, en el presente trabajo de tesis se ha tomado como referencia del módulo de potencia el convertidor elevador síncrono operando en el modo QSW-ZVS. Este módulo se ha analizado pormenorizadamente en el capítulo 3 y posee algunas características interesantes. La primera, es que el módulo de potencia es sencillo y necesita un número de componentes muy reducido, siendo su rendimiento muy elevado. La segunda característica interesante es que el comportamiento simplificado del convertidor elevador síncrono operando en QSW-ZVS es, de natural, como el de una fuente de corriente. Esta conclusión puede extraerse del análisis estático presentado en el capítulo 3, en donde la corriente inyectada a la carga depende del valor del tiempo de magnetización (t_{on}). De esta forma, este módulo es susceptible de poder agruparse en paralelo de una forma más sencilla que otros convertidores, como se comentará más adelante. Entre las desventajas del módulo seleccionado cabe recordar que necesita un control a frecuencia variable, aunque en el capítulo 3 se propuso el control directo para simplificarlo al máximo posible.

Siguiendo con el algoritmo de diseño expuesto en el capítulo 2, la tercera etapa consiste en determinar el número óptimo de módulos N. El proceso de optimización se realizará en función de dos parámetros: el rendimiento y el volumen del convertidor modular. Como se reflejó en el flujograma recogido en la Figura 2.20, este proceso es iterativo y es necesario comprobar en cada

iteración si se ha obtenido alguna mejora en el rendimiento o alguna reducción en el volumen con respecto a la anterior. Dado que la implementación y ejecución del algoritmo de optimización no son obvias, en el apartado 4.2 se recoge un ejemplo del algoritmo de optimización, con una pequeña comparativa de los modos de operación del módulo de potencia en MCC, MCD y QSW-ZVS a modo de ejemplo, destacando los resultados de éste último como resultado del algoritmo de optimización, lo que pone de manifiesto la utilidad del mismo.

La cuarta y última etapa del proceso de diseño del convertidor modular IPOP es la selección de la estrategia de control. Como paso previo, en el apartado 4.3 se analizará el problema del control entrelazado para la agrupación IPOP en el caso particular de usar el convertidor elevador síncrono QSW-ZVS como módulo. Se analizarán las particularidades que este módulo imponen en el control del convertidor modular y cómo pueden resolverse las mismas, la cual introducirá la problemática del control de esta agrupación IPOP en general. Además, en este apartado se detallará una estrategia de control basado en la técnica maestro-esclavo para controlar el convertidor modular IPOP, extendiendo, así, la aplicación del control directo de frecuencia variable propuesto en el capítulo anterior.

Una vez que se ha presentado una estrategia válida de control para el convertidor modular IPOP, para ilustrar la cuarta etapa del proceso de diseño del convertidor modular, en el apartado 4.3 se presentan otras tres estrategias de control de la agrupación modular que permiten optimizar el rendimiento total: control de encendido secuencial, técnica de maestro-esclavo asimétrica y estrategia de control por encendido intermitente o por histéresis. Las tres estrategias de control propuestas se comparan de manera teórica en el apartado 4.4.4.

4.2. NÚMERO DE MÓDULOS ÓPTIMO

Una vez que se ha identificado la agrupación modular más adecuada para las especificaciones fijadas por la aplicación y el módulo de potencia, el siguiente paso del proceso de diseño de un convertidor modular es determinar el número óptimo de módulos. En este apartado se recoge un posible estudio de la optimización del número de módulos. En función de las especificaciones de trabajo fijadas en esta tesis, únicamente se recoge aquí un ejemplo de un posible algoritmo de optimización, que puede ser generalizable para otros convertidores modulares IPOP. La propuesta de un posible algoritmo de búsqueda del número óptimo de módulos no es un objetivo de la presente tesis, puesto que ya ha sido estudiado en profundidad en [4.1] y [4.2], adoptando distintos criterios para el diseño.

En este caso, y como ya se ha citado anteriormente, el proceso de optimización se realizará en base a la optimización del rendimiento y del volumen del convertidor modular resultante. Por lo tanto, se busca encontrar el valor del número de módulos (N) de forma que se maximice el rendimiento del convertidor modular y se minimice el volumen del mismo. Por supuesto, ha de alcanzarse una solución de compromiso entre un número de módulos suficientemente elevado para conseguir un buen rendimiento y un volumen bajo, pero, simultáneamente, suficientemente bajo como para que tenga sentido el poder plantearlo en una realización práctica.

Para el estudio y análisis de optimización que se va a presentar a continuación se ha fijado una potencia total para el convertidor modular de 1kW, de acuerdo con las especificaciones de tensión fijadas como marco de trabajo para esta tesis. Se va a suponer que el control de cada módulo garantiza el estado de equilibrio, es decir, que cada módulo procesa siempre la misma cantidad de potencia. También se va a suponer que la etapa de control garantiza un entrelazado óptimo de las señales de control. En relación a este punto, en el sub-apartado 4.2.3 se profundizará más sobre este hecho. Así mismo, se va a imponer que todos los módulos sean capaces de procesar una potencia máxima igual al cociente entre la potencia total dividida entre el número de módulos N.

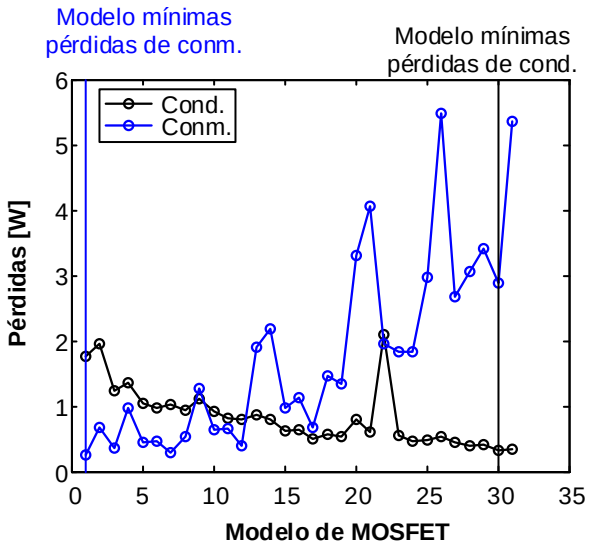
4.2.1. RENDIMIENTO

El primer criterio fijado para la búsqueda de un número óptimo de módulos es el rendimiento. Tal y como se comentó en el capítulo 2, las leyes de escala que se derivan de las agrupaciones modulares, permiten reducir las pérdidas en un convertidor modular a medida que N aumenta [3.1]. En aquél capítulo ya se justificó este hecho en base a la mejora sustancial de los parámetros básicos que caracterizan el funcionamiento de los transistores MOSFET, tanto si se les aplica un

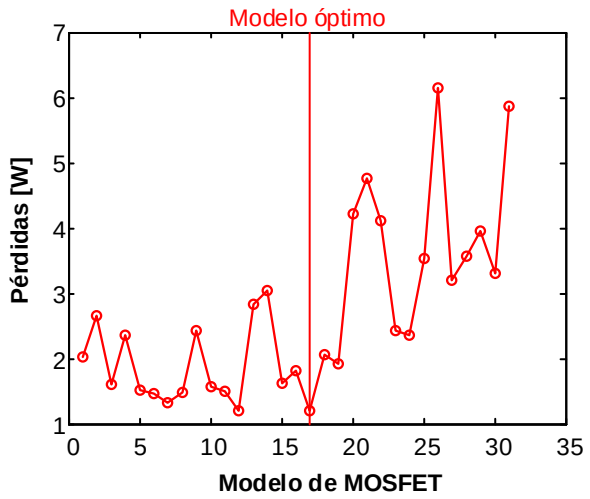
escalado en la corriente máxima que han de manejar (como ocurre en la agrupación IPOP), como si el escalado resulta de reducir la tensión máxima drenador-fuente que han de soportar (como ocurriría en la agrupación ISOS). En aquél análisis ya se alcanzó la siguiente conclusión: la reducción era significativa para valores de N bajos, pero a partir de un cierto valor, la reducción en las pérdidas como resultado de utilizar mejores dispositivos no es tan significativa (véase de nuevo la Figura 2.9 del capítulo 2, donde se recogían las pérdidas totales en los dispositivos semiconductores en una agrupación IPOP). Es decir, siempre resulta posible encontrar un número N de módulos que mejore el rendimiento del convertidor modular desde un punto de vista teórico, pero no siempre este valor tiene sentido desde el punto de vista de su realización práctica. El objetivo del análisis que se va a presentar a continuación es precisamente ese: determinar el número N de módulos para la agrupación IPOP que consigan un buen rendimiento pero que sea realizable en la práctica.

Para estimar el rendimiento de cada módulo, se ha utilizado el modelo de pérdidas detallado en el anexo A1. Para seleccionar el transistor MOSFET adecuado en cada iteración, se ha escogido el óptimo entre los dispositivos del catálogo de Infineon listados en la Tabla 2.1 y la Tabla 2.2 del capítulo 2. Para cada valor de N se ha seleccionado aquél transistor que menores pérdidas impusiera, cumpliendo siempre que sea capaz de soportar la corriente de drenador máxima que viene impuesta por la agrupación modular. En la Figura 4.1 se recoge un ejemplo de la selección del modelo de transistor MOSFET óptimo para un valor de N dado. Cada transistor se ha etiquetado desde el valor 1 al valor 31 siguiendo el orden mostrado en la Tabla 2.2 del capítulo 2. En este ejemplo, se ha asumido que el convertidor modular está equilibrado, es decir, que cada módulo que lo compone se encuentra siempre manejando el mismo nivel de potencia.

Teniendo en cuenta esta selección del transistor óptimo y utilizando el modelo de pérdidas del anexo A1, en la Figura 4.2 se recoge el rendimiento del convertidor modular IPOP en función de la potencia procesada para distinto número de módulos (N) en el caso del modo de operación QSW-ZVS.



(a)



(b)

Figura 4.1. Ejemplo de la selección del modelo óptimo de transistor MOSFET para el cálculo del rendimiento del convertidor modular IPOP. (a) Desglose de pérdidas de conmutación y de conducción según cada modelo. (b) Pérdidas totales para cada modelo.

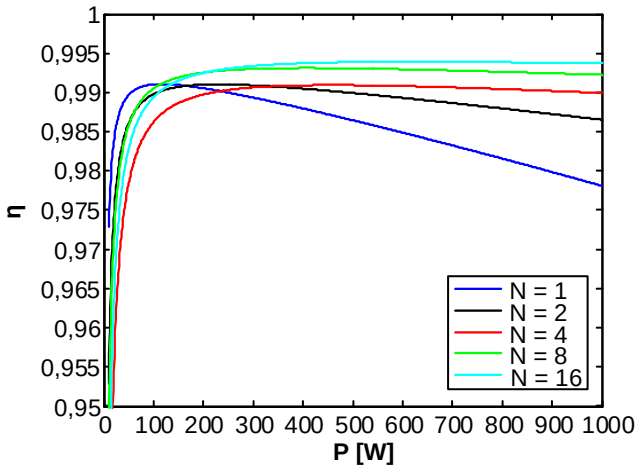


Figura 4.2. Rendimiento del convertidor modular IPOP en función de la potencia para distintos valores de N para el modo de operación QSW-ZVS.

Es importante destacar que en los resultados obtenidos para el rendimiento de la agrupación modular son una estimación de las pérdidas totales del convertidor. Por lo tanto, no deben extrapolarse los valores numéricos absolutos, sino que estos resultados deben utilizarse para comparar las distintas agrupaciones entre sí. Dicho esto, en los resultados recogidos en la Figura 4.2 puede apreciarse que para el mayor valor de N analizado ($N = 16$), el rendimiento es máximo, como cabría esperar. No obstante, la mejora del rendimiento con respecto a agrupaciones con menor número de módulos no es tan acusada como ocurre entre los valores $N = 1$, $N = 2$ y $N = 4$. También conviene fijarse la evolución de la curva de rendimiento en función de la potencia procesada. Así, para 1 y 2 módulos, el rendimiento máximo se alcanza a relativa baja carga (en torno a 100W para 1 módulo y 150W para 2 módulos aproximadamente). A medida que la carga aumenta, el rendimiento decae, siendo menor a plena carga en ambos casos, especialmente para agrupaciones de 1 módulo. Sin embargo para $N = 4$ el rendimiento evoluciona de una manera mucho más constante, siendo prácticamente plano entre los 300W y plena carga, tendencia que se mantiene para 8 y 16 módulos.

Profundizando un poco más en este análisis, es posible representar el incremento del rendimiento conseguido a plena carga en función del número de módulos con respecto a un único módulo, como se muestra en la Figura 4.3. Como puede verse, con dos módulos se obtiene una mejora de 1 punto porcentual en el rendimiento a plena carga respecto al caso de $N = 1$. Este valor aumenta hasta 1,4 puntos para $N = 2$, llegando a alcanzar 1,85 puntos aproximadamente para $N = 16$. Es inmediato comprobar que la mejora obtenida se va reduciendo conforme N aumenta, pudiendo establecer un valor de $N = 8$ como el número de módulos a partir del cual esta mejora no es tan significativa (apenas se mejora un 0,25% pasando de utilizar 8 módulos a 16).

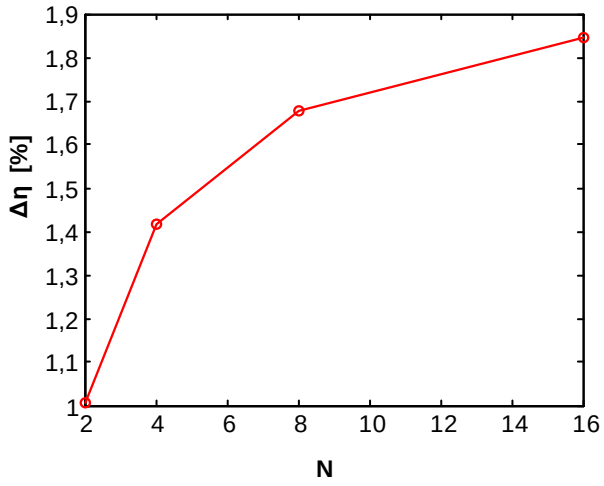
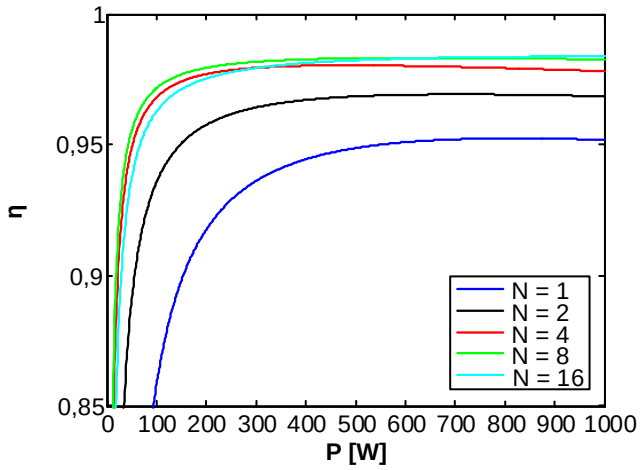


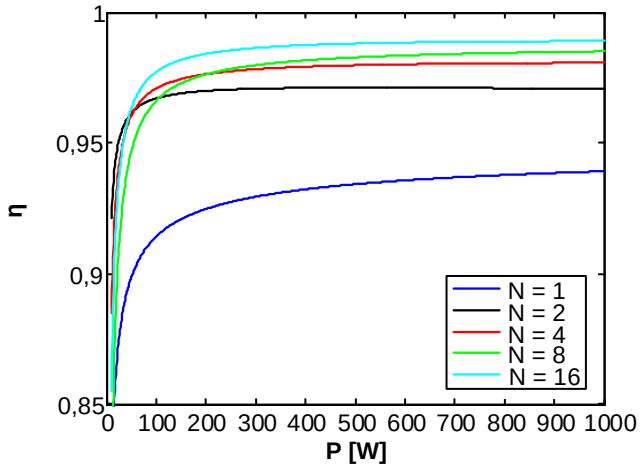
Figura 4.3. Incremento del rendimiento a plena potencia en función del número de módulos

Atendiendo exclusivamente a este estudio del rendimiento, podría establecerse que el número óptimo de módulos se situaría entre un mínimo de 4 y un máximo de 8 para las especificaciones fijadas para este ejemplo.

Para ilustrar de una manera más genérica este estudio de optimización, se recogen a continuación los resultados obtenidos para el mismo módulo pero operando en MCC y en MCD. Es importante puntualizar que el modo MCD se toma aquí como otro ejemplo para extender el estudio realizado en este apartado a más casos. Por definición, el módulo de potencia síncrono no puede trabajar en MCD. Para ello, se ha asumido que el módulo de potencia trabaja de manera asíncrona, utilizando el diodo parásito del transistor MOSFET como diodo de libre circulación. Así, en la Figura 4.4 se recogen los rendimientos obtenidos para ambos modos. Tal y como puede verse en la Figura 4.4(a), para MCC con un valor de $N = 4$ se obtiene una curva de rendimiento significativamente mayor que para el resto de agrupaciones con mayor número de módulos. También, cuando N es mayor que 4 la curva de rendimiento apenas varía respecto al caso de 4 módulos. Si el convertidor modular opera en MCD, los resultados son muy similares a lo comentado hasta ahora, como se reflejan en las gráficas mostradas en la Figura 4.4(b).



(a)

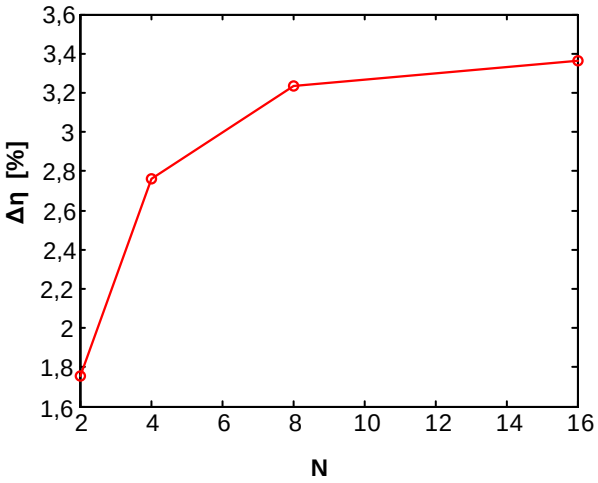


(b)

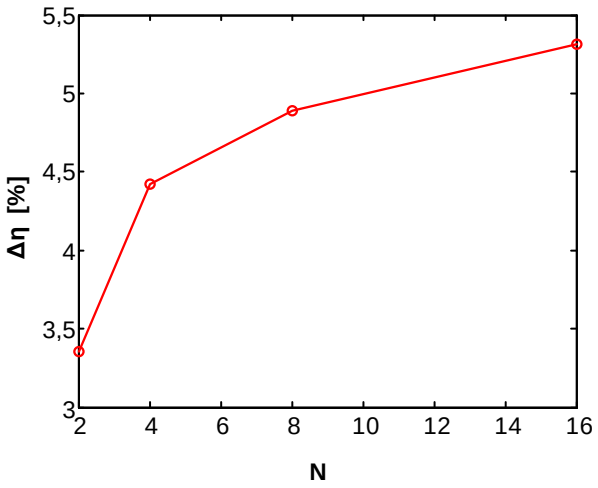
Figura 4.4. Rendimiento obtenido para con el convertidor modular IPOP en función de la potencia procesada para distinto número de módulos. (a) Operando en MCC. (b) Operando en MCD.

También es posible representar el incremento porcentual del rendimiento a plena carga en función del número de módulos con respecto al caso de un único convertidor, como se muestra en la Figura 4.5. Concretamente, para MCC el mayor incremento del rendimiento se sitúa para $N = 4$ (véase la Figura 4.5(a)), mientras que para MCD este incremento de rendimiento se sitúa entre $N = 4$ y $N = 8$ (véase la Figura 4.5(b)). Por lo tanto, como conclusión de este estudio si el módulo operase en MCC el valor óptimo de N sería 4, mientras que para MCD el valor óptimo de N estaría entre 4 y 8. También se puede concluir que, repitiendo este análisis, sería posible aplicar este algoritmo de optimización de manera genérica para cualquier tipo de agrupación o módulo a utilizar. No obstante, cabe destacar que no se ha propuesto un algoritmo genérico de optimización, puesto que cada agrupación y módulo de potencia hace que sea muy complejo

desarrollar una herramienta genérica de búsqueda del número óptimo de módulos para todos los casos.



(a)



(b)

Figura 4.5. Incremento porcentual del rendimiento en función del número de módulos. (a) Para MCC. (b) Para MCD.

4.2.1.1. Desglose de pérdidas

Como una parte del estudio del rendimiento del convertidor modular, también es posible establecer un desglose de la contribución en las pérdidas totales de cada elemento que compone el módulo de potencia en función del número de módulos. De esta forma, es posible obtener más conclusiones relativas a la localización de estas pérdidas, pudiendo así resultar útiles a la hora de diseñar el convertidor modular desde el punto de vista de la ubicación de los componentes, de su ventilación, etc.

En primer lugar, es posible realizar una representación de la evolución de las pérdidas en función de la potencia procesada para cada valor de N, tal y como se muestra en la Figura 4.6. Con esta representación es posible observar la evolución de las pérdidas en el rango de potencia y su evolución conforme al número de módulos aumenta. Atendiendo a los resultados mostrados en la Figura 4.6, la tendencia de las pérdidas se suaviza a medida que N aumenta, lo que parece obvio. También cabe resaltar que las pérdidas mínimas a baja carga también tienden a aumentar de manera proporcional a N, puesto que un mayor número de semiconductores implica un mayor número de circuitos de control o *drivers* cuyas pérdidas son prácticamente constantes con el nivel de potencia procesada.

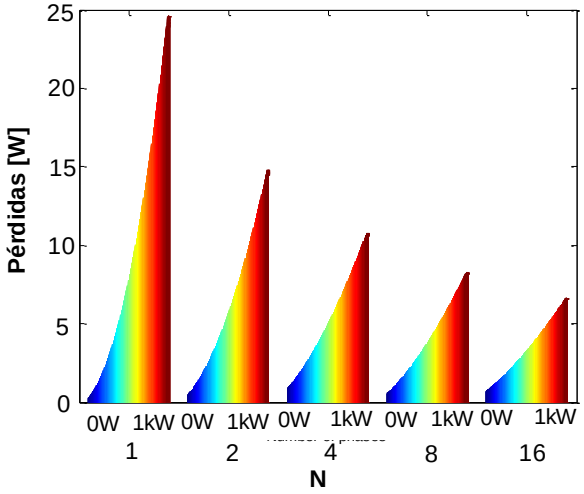
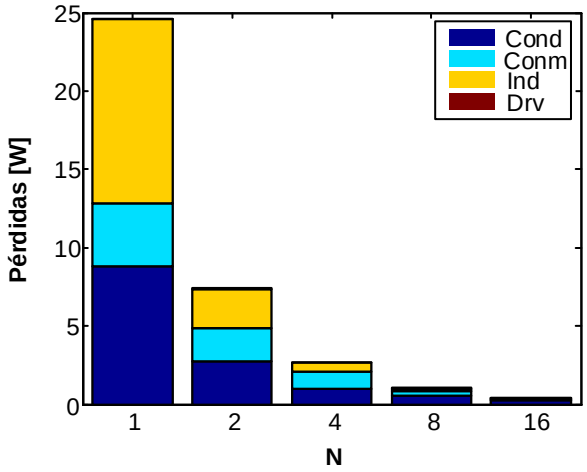


Figura 4.6. Evolución de las pérdidas totales del convertidor modular en el rango de potencia en función del número de módulos utilizados para el modo QSW-ZVS.

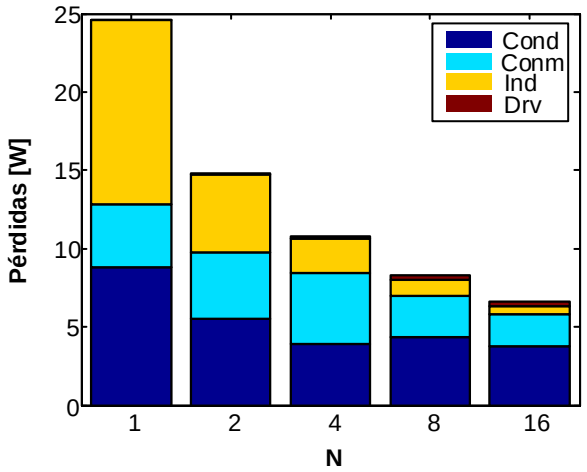
En la Figura 4.7 se ha recogido un desglose de las pérdidas en función del número de módulos. En la Figura 4.7(a) se muestran las pérdidas para un único módulo. Como puede verse, las pérdidas en la inductancia son la mayor contribución a las pérdidas totales de un módulo, seguidas por las pérdidas de conducción y las pérdidas de conmutación. Este hecho ya se razonó para el modo QSW-ZVS en el capítulo 3 de esta tesis, así como en los anexos A1 y A2 respectivamente. Lo que puede apreciarse es que esta distribución se mantiene conforme N aumenta. Es decir, las pérdidas en la inductancia siguen siendo las que dominan en las pérdidas de un módulo por delante de las pérdidas de conmutación hasta $N = 8$. A partir de este número de módulos, son las pérdidas de conducción y las pérdidas de los *drivers* las dominantes.

En la Figura 4.7(b) se recoge el desglose de las pérdidas totales para el convertidor modular en configuración IPOP en función del número de módulos. En este caso, puede verse que la tendencia descrita anteriormente se ve alterada en función del número de módulos. Así, para 1 y 2 módulos la distribución de pérdidas se mantiene como se ha comentado en el párrafo anterior. Sin embargo, para $N = 4$, las pérdidas de conmutación y de conducción prácticamente se igualan

y pasan a ser la mayor contribución a las pérdidas totales. Las pérdidas de la inductancia se reducen, y pasan a ser la tercera contribución a las pérdidas totales para este caso. Para $N = 8$ y $N = 16$ la mayor contribución de las pérdidas pasa a ser las pérdidas de conducción, seguidas por las pérdidas de conmutación y las pérdidas en la inductancia. También puede apreciarse que para estos valores empieza a cobrar un mayor peso las pérdidas en los drivers, como ya se comentó en la evolución de las pérdidas en el párrafo anterior. Como conclusión de este estudio puede establecerse que para un valor de $N = 4$, se consigue reducir la mayor contribución en las pérdidas teóricas del módulo trabajando en QSW-ZVS, es decir, las pérdidas en la inductancia. Este hecho puede facilitar la implementación práctica del convertidor modular, puesto que simplifica el proceso de diseño de dicha inductancia, lo que supone una ventaja clara respecto al caso de un único módulo.



(a)

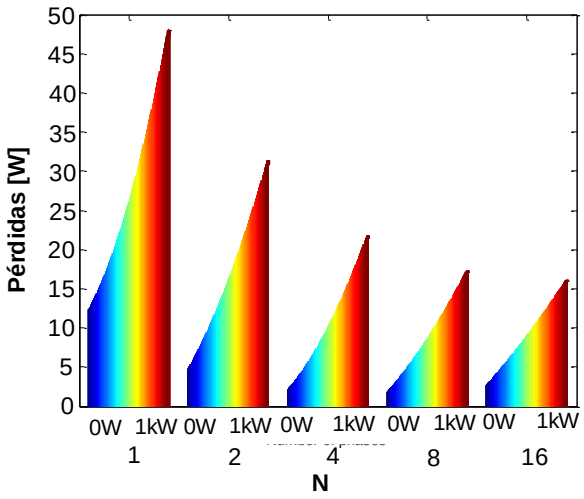


(b)

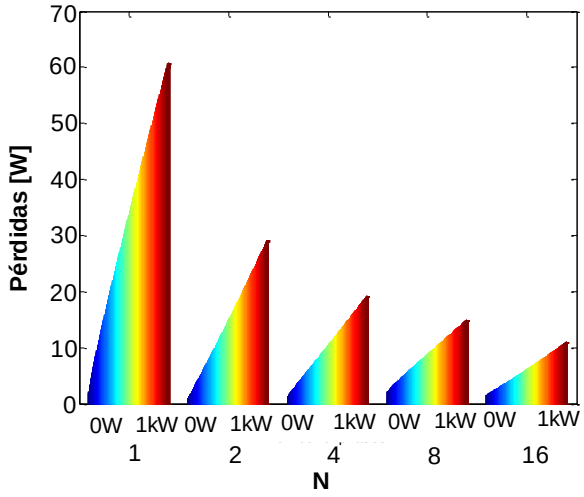
Figura 4.7. Desglose de pérdidas en función del número de módulos para el modo QSW-ZVS. (a) Pérdidas para cada módulo. (b) Pérdidas totales del convertidor modular IPOP.

Una vez más, este proceso de desglose de pérdidas puede aplicarse de forma generalizada para cualquier módulo o agrupación modular que se haya seleccionado. A modo de ejemplo, se recogen de nuevo los resultados arrojados para el mismo módulo operando en MCC y en MCD.

En la Figura 4.8 se muestra la variación de las pérdidas totales en función de la potencia procesada para cada valor de N. Tanto para MCC (Figura 4.8(a)) como para MCD (Figura 4.8(b)), las tendencias son similares a lo comentado anteriormente para el modo QSW-ZVS.



(a)

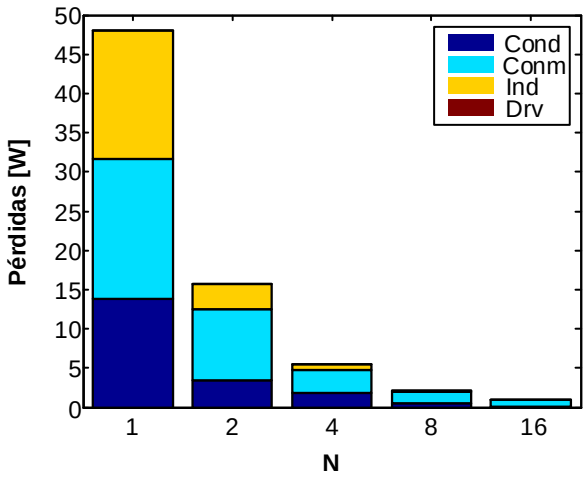


(b)

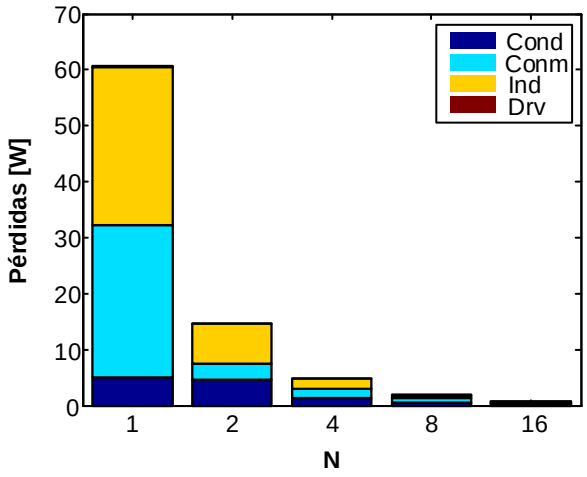
Figura 4.8. Evolución de las pérdidas totales del convertidor modular en el rango de potencia en función del número de módulos utilizados. (a) Para MCC. (b) Para MCD.

El desglose de pérdidas por módulo en función de N se recoge en la Figura 4.9. Para el modo MCC (véase la Figura 4.9(a)), la mayor contribución de las pérdidas son las pérdidas de

conmutación, seguidas por las pérdidas en la inductancia y las pérdidas de conducción. En el caso del modo MCD (véase la Figura 4.9(b)) esta tendencia es similar para un único módulo. Sin embargo, para dos o más módulos, son las pérdidas de conducción las que mayor peso tienen en las pérdidas totales de un módulo. En los dos casos, las tendencias se mantienen iguales a medida que N aumenta, tal y como ocurría con el modo QSW-ZVS.



(a)



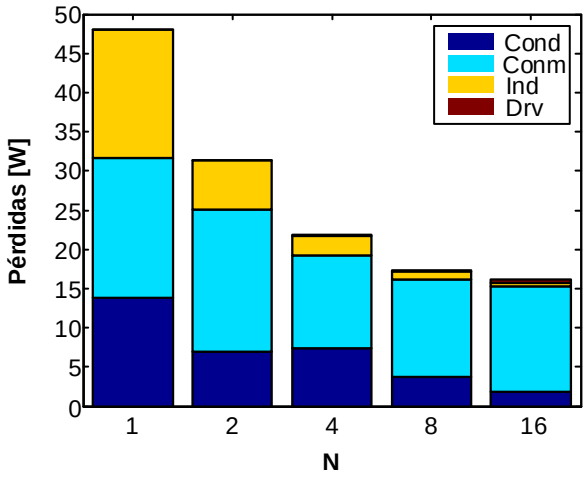
(b)

Figura 4.9. Desglose de pérdidas para cada módulo en función del número de módulos. (a) Para MCC. (b) Para MCD.

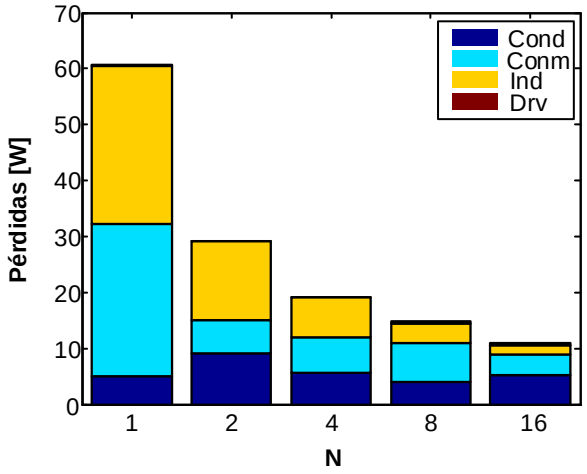
Por último, el desglose de las pérdidas totales del convertidor modular se muestra en la Figura 4.10. A diferencia de lo que ocurría en el modo QSW-ZVS, en MCC la principal contribución a las pérdidas totales, las pérdidas de conmutación, apenas se ve reducida a medida que N aumenta. Como puede verse en la Figura 4.10(a), las pérdidas de conmutación son dominantes en todos los casos y apenas se reducen una vez que se supera el valor de $N = 4$. El resto de contribuciones

a las pérdidas totales en MCC siguen la misma tendencia que lo anteriormente descrito para el modo QSW-ZVS. En el caso de MCD (véase la Figura 4.10(b)), las pérdidas de conmutación se reducen de manera significativa para dos módulos, sin embargo para $N > 2$ no se muestra mayor reducción. También, a partir de este valor de N, las pérdidas en la inductancia comienzan a ser las dominantes, llegando a equipararse con las pérdidas de conmutación y las pérdidas de conducción para $N = 4$. Sin embargo, para $N > 4$ pasan a ser menores a medida que aumenta N.

Alcanzado este punto, conviene aclarar un hecho que puede apreciarse en estos resultados. Las pérdidas de conducción o de conmutación no parecen seguir la ley de escala impuesta por la agrupación IPOP. Es decir, para determinados valores de N las pérdidas de conducción o de conmutación son mayores que para el valor de N anterior, lo que parece contradecir la ley de escala general estudiada en el capítulo 2. Este hecho se puede apreciar claramente en los resultados del modo MCD para $N = 1$ y $N = 2$, Figura 4.10(b), donde las pérdidas de conducción aumentan. Sin embargo, este efecto tiene una explicación sencilla. La ley de escala es válida para toda agrupación modular, y consigue reducir en un factor proporcional a N las pérdidas de conducción o de conmutación, siempre y cuando se empleen dispositivos semiconductores idénticos. Una vez más, se recuerda que en este estudio se ha seleccionado para cada iteración el modelo de transistor óptimo de entre un grupo de transistores MOSFET comerciales recogidos en la Tabla 2.1 y en la Tabla 2.2 del capítulo 2 (es decir, aquél que tenía las menores pérdidas totales para cada caso cumpliendo siempre con las solicitaciones de corriente y tensiones máximas). Por lo tanto, para cada valor de N se ha podido emplear un transistor distinto, que no tiene por qué escalar sus parámetros característicos con la misma ley de escala que fija la agrupación modular IPOP. Así, en el caso particular de $N = 1$ y $N = 2$ para el MCD de la Figura 4.10(b), el incremento en las pérdidas de conducción se debe a que el modelo de transistor óptimo para dos módulos es distinto al utilizado para un módulo, y posee una R_{DSon} mayor que el transistor óptimo seleccionado para $N = 1$.



(a)



(b)

Figura 4.10. Desglose de pérdidas totales del convertidor modular IPOP en función del número de módulos. (a) Para MCC. (b) Para MCD.

Tras este estudio sobre el número óptimo de módulos atendiendo al rendimiento máximo del convertidor modular, es posible extraer algunas conclusiones que se resumen a continuación:

- No existe una tendencia global sobre las pérdidas que pueda confirmar las leyes de escala teóricas para todos los modos de funcionamiento. Para cada módulo de potencia escogido y para cada agrupación modular hay que analizar cada caso para poder extraer las tendencias sobre el rendimiento.
- Según lo dicho anteriormente, para el modo QSW-ZVS es posible simplificar el diseño de la inductancia conforme el número de módulos aumenta, puesto que se reducen sus pérdidas. Por otro lado, las pérdidas en conducción son las que tienen un mayor paso, mayor cuanto mayor sea el número de módulos utilizado.

- Si el convertidor modular opera en MCD, las conclusiones que pueden extraerse son muy similares al modo QSW-ZVS.
- Si el convertidor modular opera en MCC, al aumentar N se reducen las pérdidas de conducción y las pérdidas en la inductancia. Sin embargo, las pérdidas de conmutación prácticamente no varían.
- Pese a que teóricamente es posible establecer unas leyes de escala que modelan la reducción de pérdidas en función del número de módulos obtenido, como se estudió en [3.1], estas leyes dependen fuertemente de cada topología y de la agrupación modular seleccionada. Por lo tanto, desde un punto de vista práctico es necesario siempre un algoritmo de optimización del número de módulos en función de los elementos utilizados en el convertidor modular (semiconductores, inductancias, condensadores, *drivers*, etc.).

4.2.2. VOLUMEN

El volumen es otro parámetro crítico en el convertidor modular. Recogiendo la definición dada en el capítulo 2, un convertidor modular ha de ser más eficiente y tener una densidad de potencia total mayor que un convertidor único, puesto que en caso contrario no tendría sentido el planteamiento de una estrategia modular. Por lo tanto, es fundamental siempre estudiar el volumen de un convertidor modular para llegar a determinar el número óptimo de módulos.

A priori, no existe una ley de escala sencilla o un modelo simplificado con el que pueda establecerse una relación directa entre el número de módulos N y el volumen. Sí es cierto que algunos autores han planteado algunos estudios de este estilo [4.2], pero en estos trabajos siempre se acaba recurriendo a una estimación del volumen efectivo, sin llegar a alcanzar un modelado matemático que relacione el volumen con el resto de parámetros citados anteriormente. En buena medida, las leyes de escala aplicadas a las variables eléctricas (corrientes y tensiones) en las distintas agrupaciones modulares, no tienen un reflejo inmediato en el volumen del convertidor modular, ya que este depende fuertemente de los componentes comerciales a usar. Así como sí es posible establecer una relación directa y sencilla entre el escalado entre las corrientes (en el caso de la agrupación IPOP aquí desarrollada) y las pérdidas del convertidor, no existe una ley matemática de igual sencillez que relacione las variables eléctricas con el volumen. Ciertamente, se puede aventurar que a medida que el número de módulos aumenta y las pérdidas disminuyen, el volumen sigue una regla similar, puesto que éste está relacionado con las pérdidas del convertidor. Sin embargo, puede que esta hipótesis no sea cierta.

En este trabajo de tesis se ha optado por estimar el volumen efectivo del convertidor modular. Para esta estimación del volumen del convertidor se ha tenido en cuenta el volumen de los

elementos de mayor tamaño: los condensadores tanto de entrada como de salida, la inductancia y el radiador necesario para la disipación térmica en los transistores. El modelo matemático utilizado para el cálculo del volumen equivalente puede encontrarse en el anexo A4.

Una vez que se ha calculado el volumen total de los elementos mencionados, en la Figura 4.11 se ha representado el volumen total del convertidor modular normalizado respecto al valor máximo en función de N. Lo primero que cabe destacar de los resultados mostrados en la Figura 4.11, es que el volumen total aumenta de una manera prácticamente lineal a partir de $N = 4$. Sin embargo, para $N = 2$ el volumen total se reduce respecto al caso de un único convertidor, alcanzando, además, el valor mínimo. Cabe destacar que para 4 y 8 módulos el volumen total del convertidor modular también sigue siendo menor que el volumen de un único convertidor, pero es mayor que para $N = 2$. También puede observarse que el incremento de volumen que se produce de 2 a 4 módulos es inferior al que se produce cuando se pasa de 4 a 8 módulos o de 8 a 16 módulos.

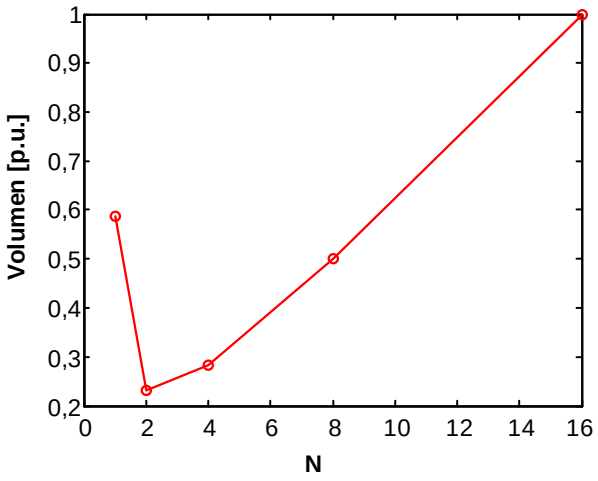


Figura 4.11. Volumen total normalizado al valor máximo para el convertidor modular IPOP en función del número de módulos para el modo QSW-ZVS.

De la misma manera que se procedió con el estudio de las pérdidas, también es posible desglosar el volumen total del convertidor en cada una de las contribuciones al mismo. De esta forma, es posible establecer cuál es la mayor contribución al volumen total para cada valor de N, como ocurriera con las pérdidas. Así, en la Figura 4.12 se muestra el desglose del volumen total normalizado al valor máximo en función de N. Para un único modulo, el volumen de la inductancia es el dominante en el volumen total (de hecho, llega a ser un 85% del volumen total del convertidor). Para $N = 2$, el volumen de la inductancia prácticamente se iguala con el volumen del radiador. A partir de este valor, el volumen del radiador pasa a ser el dominante en el volumen total del convertidor modular, y el volumen de la inductancia pasa a ser menor que el volumen de los condensadores.

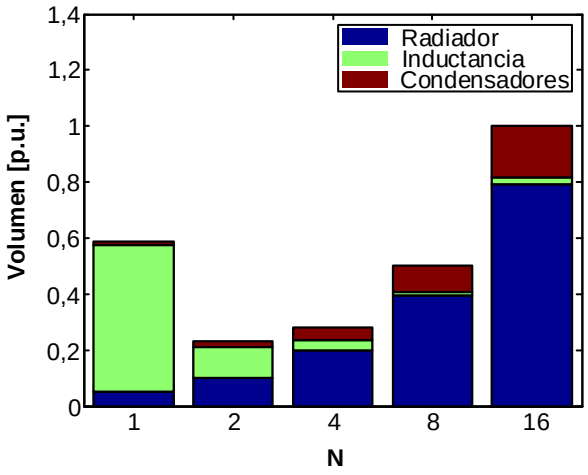


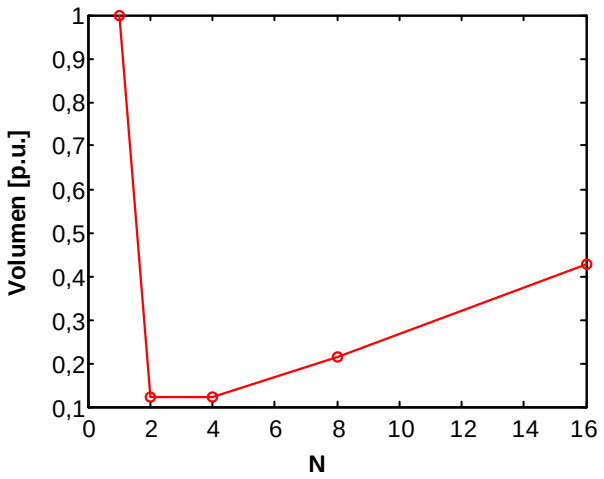
Figura 4.12. Desglose del volumen total del convertidor modular IPOP normalizado al valor máximo en función del número de módulos para el modo QSW-ZVS.

De este análisis se pueden extraer dos conclusiones. La primera es que el número óptimo de módulos atendiendo exclusivamente al volumen del convertidor modular es 2 (para las especificaciones fijadas para este ejemplo). Es evidente que este valor de N no coincide con el valor al que se llegó en el análisis del rendimiento del convertidor modular ($N = 8$), y, en general, no tendrá por qué coincidir.

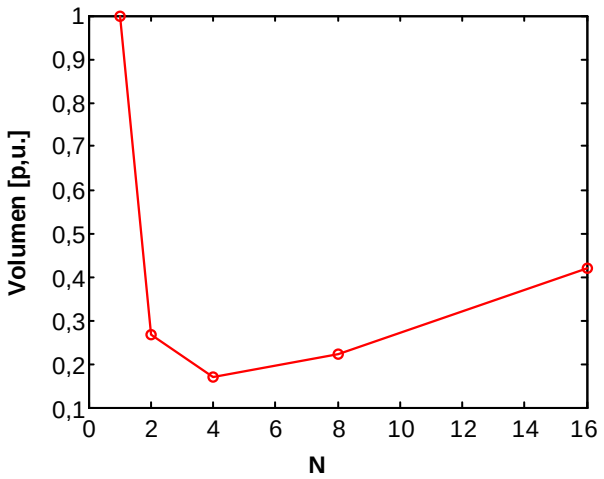
La segunda conclusión es que el volumen no sigue la ley de escala general aplicada a las variables eléctricas de la agrupación modular adoptada. Es más, como se ha visto en los resultados anteriores, el volumen crece de manera proporcional con N. Este fenómeno se debe, en buena medida, a la simplicidad del modelo usado. El volumen mínimo del radiador está acotado a la dimensión de dos transistores TO-247. Por otro lado, siempre se ha supuesto que se utiliza un condensador de tipo electrolítico. Y en tercer lugar, se ha utilizado como referencia para el diseño de la inductancia carretes y núcleos de tipo ETD. Estas limitaciones hacen que exista un volumen mínimo que se corresponde con estos elementos (mínimo radiador, mínimo carrete y mínimo condensador). Una vez que se alcanza este volumen mínimo, incrementar el número de módulos únicamente incrementa el volumen del convertidor modular total, y además lo hace de una forma lineal. Podría haberse utilizado un modelo más complejo en el que, por ejemplo, se cambie del tipo de encapsulado a TO-220, se cambie el tipo de condensador a un tipo MKT o MKP o se pase a evaluar núcleos más pequeños del tipo RM. No obstante, puesto que en este apartado únicamente se está ejemplificando un algoritmo de optimización para destacar su utilidad a la hora de extraer conclusiones, no se ha adoptado este modelo de cálculo de volumen más complejo que complicaría en exceso el proceso.

Una vez expuestas las conclusiones de este estudio, se recogen a continuación los resultados para el volumen total del convertidor modular en el caso de que se empleen módulos operando en MCC o en MCD. Al igual que en el caso del rendimiento, estos resultados pretenden

ejemplificar una vez más el algoritmo de búsqueda del valor óptimo de N como concepto o herramienta. En la Figura 4.13 se muestra el volumen normalizado al valor máximo obtenido en los otros dos modos de conducción. En MCC (Figura 4.13(a)) el valor óptimo se sitúa en $N = 2$ y $N = 4$, mientras que para el MCD (Figura 4.13(b)) el número óptimo de módulos es 4. En ambos casos puede observarse una tendencia similar a lo comentado anteriormente para el modo QSW-ZVS: una vez que se alcanza el valor mínimo de volumen, éste crece de forma lineal con N. Como se concluyó anteriormente, estos resultados están fuertemente condicionados por el algoritmo de optimización. Sin embargo, cabe destacar que, independientemente del algoritmo utilizado y de unos resultados más o menos ajustados a la realidad, las conclusiones que pueden obtenerse son de gran utilidad para el diseño del convertidor modular.



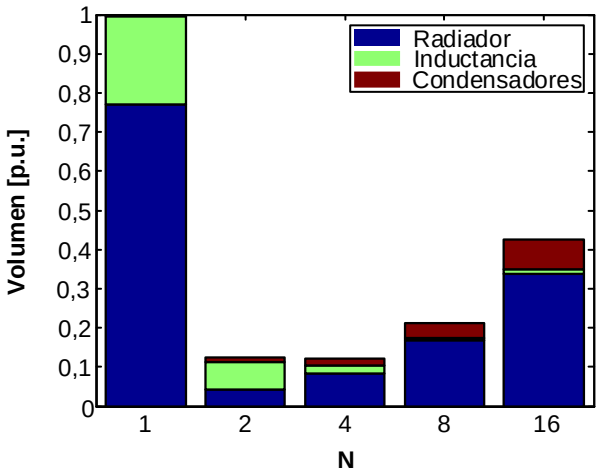
(a)



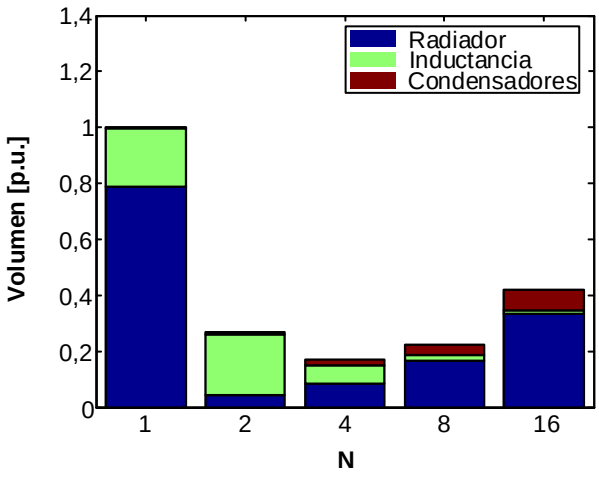
(b)

Figura 4.13. Volumen total del convertidor IPOP normalizado al valor máximo en función del número de módulos. (a) Para MCC. (b) Para MCD.

El desglose de cada contribución al volumen total del convertidor modular se recoge en la Figura 4.14. En MCC (Figura 4.14(a)) el volumen dominante es el del radiador (para 1, 4, 8 y 16 módulos). Sin embargo, para $N = 2$ la mayor contribución al volumen total es el volumen de la inductancia. Cabe destacar que para $N = 4$ y $N = 2$ el volumen total es similar. Sin embargo la distribución del volumen en sus aportacionaes es ligeramente distinta. Para 4 módulos, la mayor contribución al volumen es el radiador en lugar de la inductancia como ocurre para 2 módulos. Esta diferencia entre $N = 2$ y $N = 4$ puede ayudar a la selección de una u otra opción en función de otros criterios, como pueden ser el peso o el coste. En MCD (Figura 4.14(b)) la distribución del volumen sigue una tendencia similar a MCC.



(a)



(b)

Figura 4.14. Desglose del volumen total del convertidor modular IPOP normalizado al valor máximo en función del número de módulos. (a) Para MCC. (b) Para MCD.

Al igual que en el caso anterior, a continuación se resumen las principales conclusiones que pueden extraerse de este estudio:

- El número óptimo de módulos respecto al volumen del convertidor modular es 8.
- Para valores de N bajos, la inductancia es el elemento de mayor contribución al volumen total del convertidor modular. A medida que N crece, pasan a ser los condensadores y el radiador quienes aportar el mayor volumen al convertidor modular.
- Según el modelo utilizado, existe un volumen que, una vez alcanzado, no es posible minimizar. Un modelo más complejo permitiría ajustar mejor este volumen, pero complicaría en exceso el proceso de optimización, lo que lo haría inviable desde el punto de vista práctico.

4.2.3. COSTE

Como se citó al comienzo de este apartado, los dos principales criterios adoptados para el algoritmo de optimización del número de módulos son el rendimiento y el volumen. Estos dos parámetros son los que se utilizan generalmente para valorar una agrupación modular [4.1]-[3.1]. Pese a ello, en ocasiones no resulta suficiente con estos dos criterios para decidir el número de módulos óptimo. Como se ha visto en los dos apartados anteriores, el número óptimo de módulos según un criterio puede ser diferente al obtenido con otro criterio, haciendo necesario que se llegue a una solución de compromiso entre ambos criterios.

Si se da esta situación, se recurre a otros criterios que faciliten la toma de decisión sobre el número de módulos para el convertidor modular. Uno de los más utilizados es el coste. Las agrupaciones modulares no son la principal opción si el coste es el parámetro más restrictivo en el diseño. Esto se debe a la idea natural de que a mayor número de módulos, mayor número de componentes y, por lo tanto, mayor coste. Aunque este razonamiento es válido, conviene matizarlo. Sí es cierto que a medida que N aumenta, el coste tiende a aumentar. Sin embargo, no parece claro cuál es la ley de escala. Es decir, no es posible saber si el precio se incrementa de manera proporcional a N o si sigue otra regla.

Una vez más, esto es debido a que para cada valor de N los elementos utilizados en el módulo pueden ser distintos. Por ejemplo, es posible utilizar transistores de menores solicitaciones de corriente máxima (en el caso particular de la agrupación IPOP aquí estudiada). Estos transistores son menos costosos que aquellos de mayor corriente máxima (como ya se analizó en el capítulo dos de esta tesis). Lo mismo ocurre en el caso de los condensadores (ratios de tensión o de capacidad menores) y de la inductancia (núcleos más pequeños, solicitaciones de corriente menores). Incluso realizando estas suposiciones, el coste de estos componentes puede ser muy incierto, ya que también depende de otros factores menos científicos y difíciles de modelar:

tendencias del mercado, stock de componentes, demanda, etc. Todo esto hace que el estudio del coste se tenga que ajustar a cada aplicación, haciendo difícil extrapolar conclusiones más generalistas.

Como en los casos anteriores, a continuación se recoge un estudio del coste del convertidor modular en función del número de módulos para las especificaciones impuestas. En la Tabla 4.1 se recoge un listado con un coste asociado a cada elemento de un módulo, así como el número mínimo de elementos presentes en el módulo seleccionado (i.e. el convertidor elevador síncrono). Estos costes se han tomado de un distribuidor habitual de componentes electrónicos y no han de interpretarse de manera absoluta, sino que se utilizarán como unos costes comparativos y valores relativos entre sí. A estos costes se les aplica un factor que depende de las solicitaciones de cada elemento, mayor cuanto mayor sean estas (corriente de drenador en el caso del transistor, capacidad en el caso de los condensadores y valor de la inductancia y rizado de la corriente para la bobina).

Tabla 4.1. Costes asociados a cada elemento y número de componentes para un único módulo.

Elemento	Condensador	Driver	Transistor	Inductancia
Coste asociado	50	150	200	1500
Número de elementos	4	2	2	1

Basándose en este coste aproximado, es posible obtener un coste por módulo para cada caso analizado. Los resultados para el modo QSW-ZVS se muestran en Figura 4.15, en donde se ha normalizado el coste del convertidor modular al valor máximo. Como cabía esperar, el mínimo coste se alcanza para un módulo y éste crece conforme N aumenta, aunque no de manera lineal. Así, para $N = 2$ el coste se incrementa en algo más de un punto respecto al coste de un único módulo y para $N = 4$ en torno a cuatro puntos, siendo este último el valor que podría tomarse como límite para el convertidor modular.

Como en los casos anteriores, también puede resultar útil un desglose del coste por cada elemento. En la Figura 4.16 se muestra cada una de las contribuciones al coste total del convertidor modular en función del número de módulos. En el modo QSW-ZVS, puede observarse que los elementos más costosos son los transistores, siendo éstos los que determinan el coste total del convertidor modular, seguidos por el coste de la inductancia.

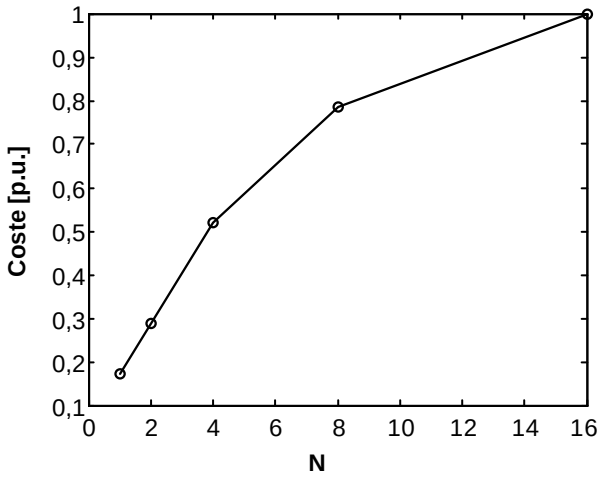


Figura 4.15. Coste normalizado al valor máximo del convertidor modular IPOP en función del número de módulos para el modo QSW-ZVS.

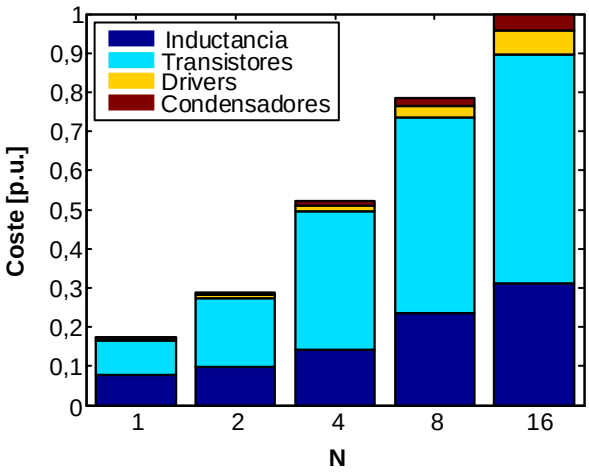
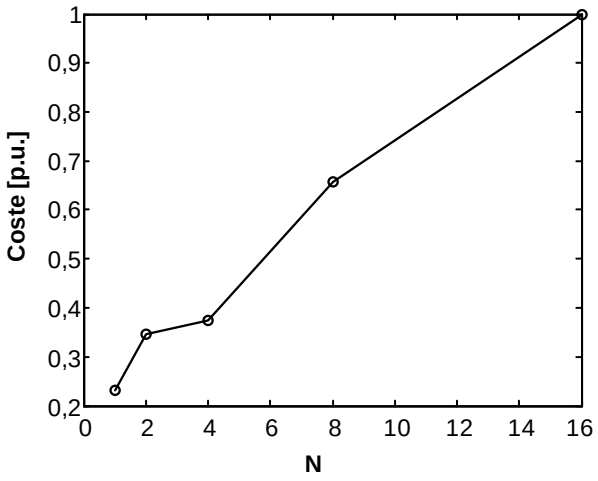
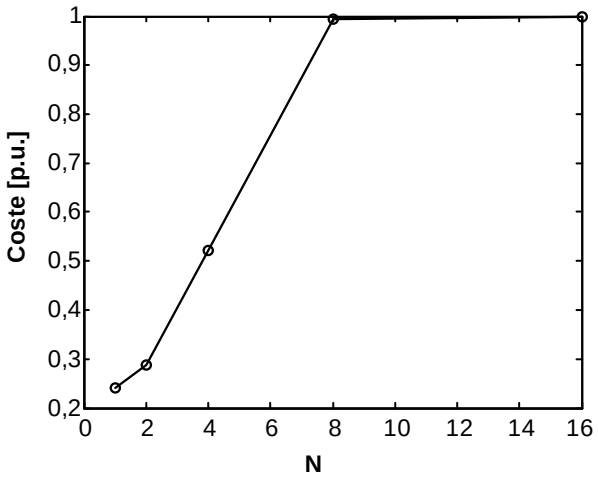


Figura 4.16. Desglose del coste normalizado al valor máximo del convertidor modular IPOP en función del número de módulos para el modo QSW-ZVS.

A continuación, y con el objetivo de ejemplificar el algoritmo de optimización, se aplica este mismo análisis de coste para el caso en el que el módulo opere en modo MCC y en MCD. En la Figura 4.17 se muestra el coste normalizado para ambos modos. En ambos casos la tendencia se mantiene, es decir, el coste crece a medida que N aumenta. En MCC (Figura 4.17(a)) para $N = 2$ y $N = 4$ el aumento del coste no es muy significativo (en ambos casos, el coste es menor que el doble en comparación con el coste de un único módulo). Por el contrario, en MCD (Figura 4.17(b)) el coste sí que aumenta considerablemente a partir de 2 módulos, siendo éste prácticamente igual para $N = 8$ y $N = 16$.



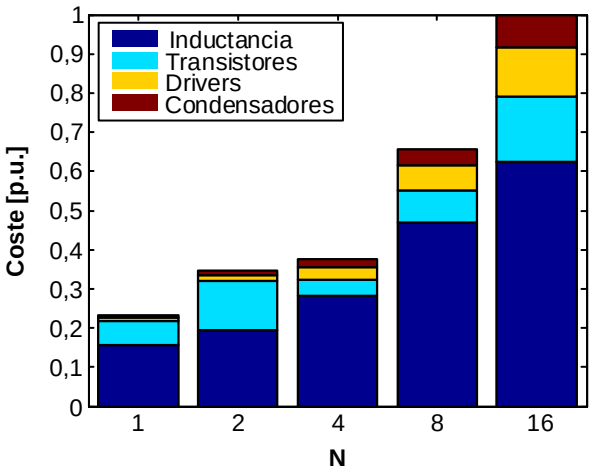
(a)



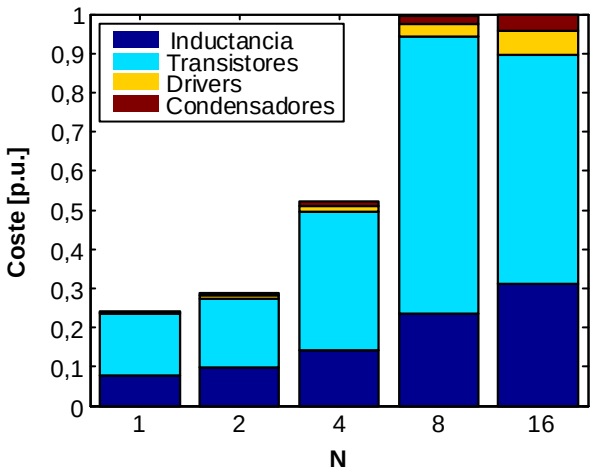
(b)

Figura 4.17. Coste normalizado al valor máximo del convertidor modular IPOP en función del número de módulos. (a) Para MCC. (b) Para MCD.

Si se analiza el desglose del coste para cada modo, mostrado en la Figura 4.18, pueden observarse las distintas tendencias en función del modo de conducción. Así, en MCC (Figura 4.18(a)), el coste de la inductancia es el que domina el coste total del convertidor modular, mientras que para MCD (Figura 4.18(b)) es el coste del transistor el que es el dominante. Esto puede explicarse de forma sencilla si se razonan las características de operación de cada modo de conducción. En MCC, el rizado de corriente que maneja el módulo es bajo y el valor de la inductancia es elevado. Esto implica que en este los núcleos utilizados son, por lo general, mayores que en otros modos de conducción y de ahí que su coste sea dominante. En el caso de MCD (y, análogamente, de QSW-ZVS) el rizado de corriente es mucho mayor, por lo que las solicitaciones de corriente máxima para los transistores son mayores que para el modo MCC, de ahí que dominen en el desglose del coste total del convertidor modular.



(a)



(b)

Figura 4.18. Desglose del coste normalizado al valor máximo del convertidor modular IPOP en función del número de módulos. (a) Para MCC. (b) Para MCD.

Las dos principales conclusiones que pueden resumirse acerca del coste para el modo QSW-ZVS son las siguientes:

- El número óptimo de módulos es 4.
- La principal contribución al coste total del convertidor modular son los transistores, seguidos por el coste de la inductancia.

4.2.4. RIZADO DE LA CORRIENTE DE ENTRADA

El rizado de la corriente de entrada puede utilizarse también como otro criterio para decidir el número óptimo de módulos, especialmente en las aplicaciones bidireccionales en las que se

enmarca esta tesis, en las que la corriente que circula por el sistema de almacenamiento es un factor crítico. Como ya se mencionó en el capítulo 2, la agrupación IPOP con un control entrelazado (o *interleaving*) permite reducir el rizado de la corriente. Esta reducción depende de tres factores: del desfase entre las señales de control, del ciclo de trabajo de cada módulo (para MCC y MCD) o t_{on} (en el caso particular del modo QSW-ZVS), y del número de módulos, N.

El ciclo de trabajo (o el t_{on}) vendrá impuesto por las especificaciones fijadas en este trabajo de tesis, por lo que no podrá utilizarse como variable para reducir el rizado. El desfase óptimo siempre es un múltiplo de N, tal que $\varphi = 360/N$. Por lo tanto, puede asumirse que el rizado de la corriente de entrada únicamente depende del número de módulos N.

El rizado de la corriente de entrada en función del número de módulos para el modo QSW-ZVS según las especiaciones fijadas en este trabajo de tesis, se ha representado en la Figura 4.19. Como puede verse, el rizado de la corriente de entrada decrece de manera asintótica a medida que N crece. El decremento conseguido en el rizado de la corriente de entrada es notable hasta $N = 6$. A partir de este número de módulos, el rizado apenas se reduce conforme N aumenta. Además, en este tipo de aplicaciones siempre se suele fijar un valor del rizado de corriente pico a pico de alrededor del 20% [4.4]. Siguiendo este criterio, el número óptimo de módulos sería 3.

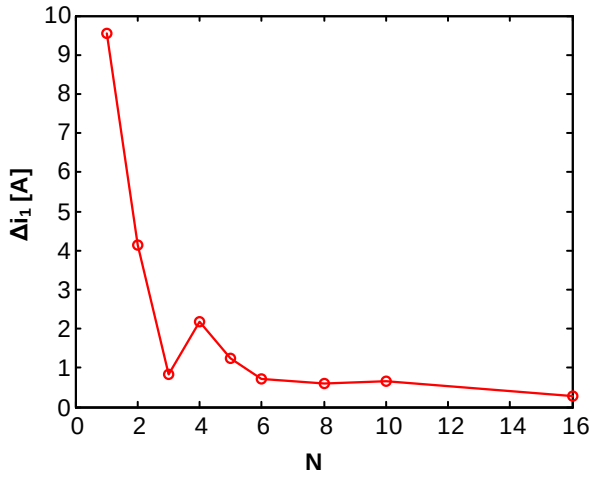
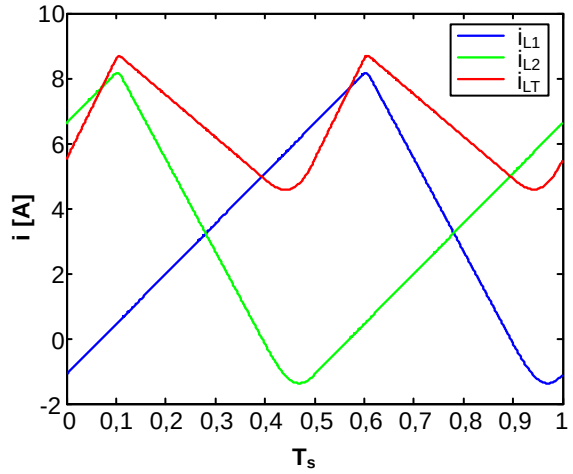


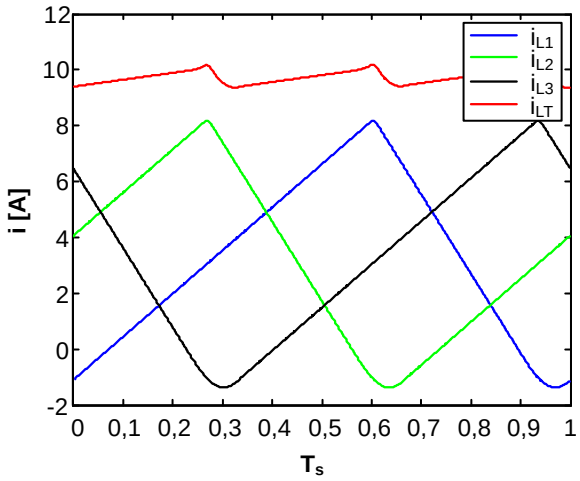
Figura 4.19. Rizado de la corriente de entrada en función del número de módulos.

A la vista de los resultados obtenidos para el rizado de la corriente de entrada, cabe destacar tres aspectos importantes. En primer lugar, la agrupación modular IPOP permite reducir el rizado de corriente de entrada en el convertidor QSW-ZVS, lo que era uno de los grandes inconvenientes de este modo particular en comparación con MCC. En la Figura 4.20 se muestra la corriente por cada módulo y la corriente total de entrada del convertidor modular IPOP para dos y tres módulos respectivamente. En esta figura puede verse la magnitud de la reducción del rizado de la corriente, sobre todo para $N = 3$ (véase la Figura 4.20(b)).

El segundo aspecto que cabe destacar es que el cuanto mayor sea N, menor será el ángulo de desfase φ (o, equivalentemente el tiempo de retardo entre las señales de control). Por lo tanto, el número máximo de módulos vendrá limitado por la capacidad la etapa de control para generar un tiempo de retardo suficientemente pequeño. Este hecho ha de tenerse en cuenta a la hora de buscar el número óptimo de módulos atendiendo al criterio del rizado de la corriente.



(a)



(b)

Figura 4.20. Corriente por la inductancia de cada módulo y corriente total de entrada del convertidor modular IPOP en modo QSW-ZVS. (a) Para dos módulos. (b) Para tres módulos.

El tercer y último aspecto importante a tener en cuenta es que, como se mencionó al comienzo de este aparatado, el rizado de la corriente de entrada depende del ciclo de trabajo (o del t_{on}). Así, para un determinado valor del ciclo de trabajo, puede que el rizado de la corriente de entrada sea menor que para un N menor. Este fenómeno se puede observar en la Figura 4.19 para el valor de $N = 3$ y $N = 4$. Como se puede apreciar, el rizado obtenido para 3 módulos es

sensiblemente menor que para 4 módulos. La explicación a este hecho se puede encontrar si se representa la variación del rizado de la corriente de entrada normalizada al rizado obtenido para $N = 1$ en función del ciclo de trabajo, tal y como muestra la Figura 4.21 para distintos valores de N. El rizado sigue una evolución cuadrática en función del ciclo de trabajo. Por lo tanto, existen valores de D que anulan el rizado de la corriente de entrada. En la Figura 4.21 se ha representado con una línea vertical el valor del ciclo de trabajo nominal para las especificaciones fijadas en este trabajo de tesis. Si se presta atención, para $N = 3$ el corte entre esta línea vertical (D_{nom}) con el rizado correspondiente (línea roja) está próxima a un mínimo. Si se compara con el corte para $N = 4$ (línea verde), puede observarse que para el D_{nom} éste coincide en un máximo que es, además, mayor que el valor obtenido para $N = 3$. Es más, para un valor de $N = 8$ se obtiene un rizado próximo a cero (próximo al mínimo). Por lo tanto, en el análisis del rizado de la corriente de entrada ha de tenerse en cuenta esta variación respecto al ciclo de trabajo para fijar un valor de N óptimo.

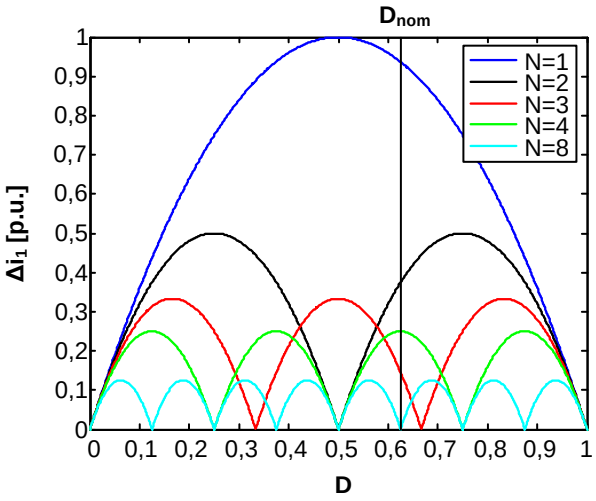


Figura 4.21. Variación del rizado de la corriente por la inductancia en función del ciclo de trabajo para distintos valores de N en MCC.

Por último, si se profundiza un poco más en este criterio relativo al rizado de corrientes, también es posible calcular cómo varían los valores eficaces de las corrientes en función del número de módulos. Se recuerda que en el convertidor elevador síncrono operando en QSW-ZVS, el grueso de las pérdidas se localiza en las pérdidas de conducción (como se vio en el apartado 4.2.1), cuyo valor depende del cuadrado del valor eficaz de la corriente. Otra consecuencia de la reducción del valor eficaz, es que el contenido armónico de la corriente de entrada también se reduce, reduciendo así el EMI inyectado y compensando de esta forma la operación a frecuencia variable. A modo de ejemplo, en la Figura 4.22 se muestra el valor eficaz de la corriente de salida para el modo QSW-ZVS en función del número de módulos. Como cabía esperar, este valor disminuye a medida que N aumenta, siendo esta disminución más acusada para valores de N menores que 4.

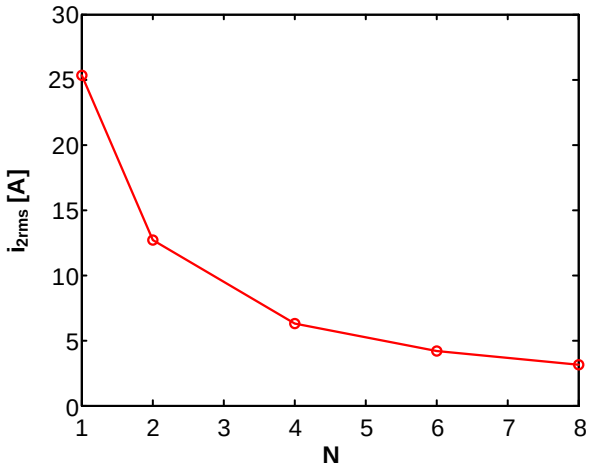


Figura 4.22. Valor eficaz de la corriente de salida para el modo QSW-ZVS en función del número de módulos.

4.3. LA AGRUPACIÓN EN PARALELO DEL CONVERTIDOR ELEVADOR SÍNCRONO QSW-ZVS

En este punto se va a analizar la agrupación IPOP del convertidor elevador síncrono operando en modo QSW-ZVS. Antes de iniciar este análisis, conviene recordar las especificaciones que esta agrupación imponía al diseño de los módulos (todas ellas estudiadas en el capítulo 2 de esta tesis, y cuyo esquema general puede recordarse en la Figura 2.5). En la agrupación IPOP, todos los módulos soportan la misma tensión y manejan una corriente escalada en función del número de módulos utilizados (N). Como ya se comentó en su momento, es deseable que los módulos operen en equilibrio, es decir, que todos ellos manejen la misma cantidad de corriente. Por lo tanto, el control de la agrupación modular IPOP debía lograr este equilibrado de corrientes si se persigue obtener el máximo beneficio a la agrupación en paralelo.

Por otro lado, el convertidor elevador síncrono operando en el modo QSW-ZVS posee unas características que hay que tener en cuenta de cara al análisis de su agrupación IPOP. Estas características ya han sido estudiadas en el capítulo 3 de esta tesis y pueden resumirse brevemente como sigue:

1. El comportamiento estático del convertidor se corresponde con el de una fuente de corriente cuyo valor depende de la variable de control t_{on}.
2. La impedancia de entrada del convertidor es equivalente a una resistencia, siempre que se opere con valores de $F < 1$ (se recuerda que F es la frecuencia normalizada, definida como el cociente entre la frecuencia de conmutación y la frecuencia de resonancia).
3. El convertidor opera a frecuencia de conmutación variable.
4. La excursión de la frecuencia de conmutación depende del valor de la potencia y de las tensiones de entrada y de salida, siendo esta de variación mucho más significativa en el caso de la variación de la carga que en el caso de la variación de las tensiones de entrada y de salida.

Atendiendo a estas características, puede concluirse que el convertidor elevador síncrono operando en modo QSW-ZVS resulta muy adecuado para la agrupación IPOP. Dado que su comportamiento estático es equivalente a una fuente de corriente, hace que la agrupación en paralelo de este convertidor consigue un equilibrado natural, sin necesidad de utilizar un control adicional de las corrientes de cada módulo. Sin embargo, tal y como ya ha sido estudiado en profundidad, el modo QSW-ZVS exige una operación a frecuencia variable, lo que, a priori, es el mayor inconveniente a salvar para su uso en una agrupación IPOP.

Una vez citadas todas las condiciones de contexto, en este apartado se abordarán los problemas y se propondrá una solución para la agrupación modular IPOP del convertidor elevador síncrono operando en QSW-ZVS.

4.3.1. DESCRIPCIÓN DEL PROBLEMA

En una situación ideal de equilibrio entre los módulos de una agrupación IPOP basada en elevadores síncronos operando en QSW-ZVS, el desfase φ entre las señales de gobierno de los distintos módulos se mantiene constante para cada periodo de conmutación. Además, los periodos de conmutación de cada módulo se mantienen iguales. Esta situación se ha representado en la Figura 4.23 con un ejemplo hecho para dos módulos. En este ejemplo se ha representado la situación en la que tanto t_{on1} como t_{on2} son iguales, así como sus periodos T_1 y T_2. Bajo este supuesto, el rizado de la corriente de entrada además es mínimo, tal y como se ha representado en la Figura 4.23.

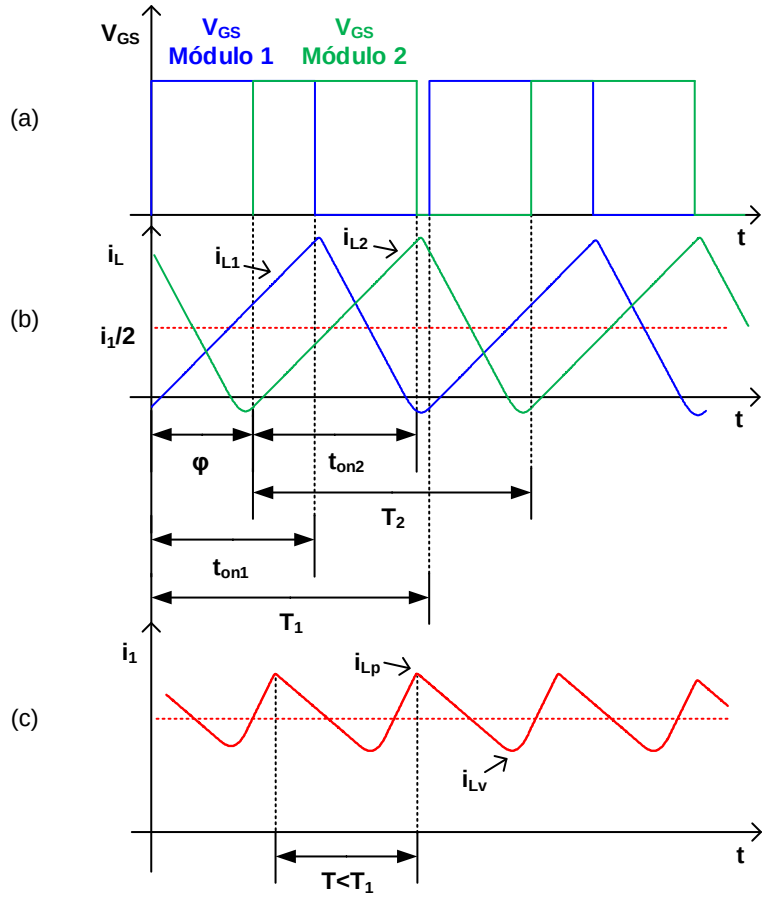


Figura 4.23. Ejemplo de dos módulos equilibrados y desfasados óptimamente. (a) Señales de control. (b) Corriente de entrada de cada módulo. (c) Corriente total de entrada del convertidor modular.

Supóngase ahora que existe un pequeño desequilibrio entre las señales de control de los módulos: el módulo 2 opera ahora con t_{on2} mayor que t_{on1}. Esta situación se ha representado en

la Figura 4.24. Como consecuencia de este cambio, el módulo 2 pasa a manejar más corriente de entrada que el módulo 1. Este desequilibrio es el problema habitual con el que tiene que enfrentarse el control del convertidor modular IPOP en la mayoría de los casos. Sin embargo, en el caso particular del módulo elevador síncrono operando en QSW-ZVS, el desequilibrio conlleva un cambio en el periodo de conmutación para mantener el modo de operación QSW-ZVS. Así pues, el módulo 2 pasa a operar con T_2 mayor que T_1. La consecuencia de este cambio es que, si se aplica un desfase φ constante en el siguiente periodo de conmutación, el desfase real no es el óptimo (tal y como se ha resaltado en rojo en la Figura 4.24), aumentando el rizado de corriente del convertidor modular con respecto a la situación óptima (Figura 4.23). Por lo tanto, en este caso particular, el desfase debe adaptarse en cada periodo de conmutación en función de la relación entre los distintos periodos de conmutación de los módulos, que, en según qué situaciones, pueden ser distintos.

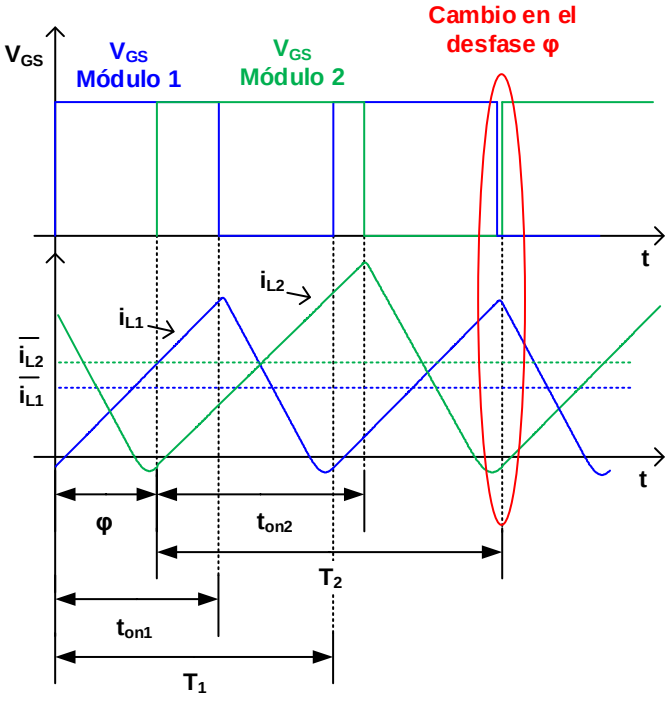


Figura 4.24. Ejemplo de dos módulos desequilibrados.

Alcanzado este punto, cabe recordar que la variación del periodo de conmutación en el convertidor elevador QSW-ZVS también puede deberse a las variaciones en las tensiones de entrada y de salida, puesto que éstas determinan los intervalos de desmagnetización (t_{off}) y de resonancia (t_{d2}). No obstante, como ya se analizó en profundidad en el capítulo 3 del presente trabajo de tesis, estas variaciones son menores que en el caso de la variación de la potencia que maneja el convertidor. Pese a ello, el sistema de control debería ser capaz de mantener el desfase óptimo también frente a variaciones de la tensión de entrada o de salida.

Como se ha expuesto, el control del convertidor modular IPOP utilizando como módulo el convertidor elevador síncrono operando en modo QSW-ZVS resulta complejo. Diversos autores han publicado soluciones para afrontar este problema [4.5]-[4.8]. Todas ellas se basan en un cálculo estimativo previo de los periodos de conmutación en función de las tensiones y corrientes medidas en el convertidor. En función de estas magnitudes y, conocido el valor de la inductancia, es posible establecer una secuencia de conmutación para cada módulo. Estas técnicas, que ya han sido mencionadas en el capítulo 3 cuando se presentó el control directo de frecuencia variable, exigen una capacidad de cálculo muy elevada a la etapa de control. En estos casos, es habitual combinar un procesador digital de señales (en adelante DSP) y un dispositivo lógico programable (en adelante FPGA). Así pues, siguiendo la misma premisa que motivó la propuesta del control directo de frecuencia variable para el convertidor elevador síncrono QSW-ZVS, se va a proponer una estrategia de control en la que prime la sencillez para lograr un entrelazado o balanceado en el convertidor modular IPOP.

4.3.2. SOLUCIÓN PROPUESTA: CONTROL MAESTRO-ESCLAVO

La estrategia de control IPOP planteada en esta tesis se basa en los controles propuestos para modo de conducción crítico o frontera (MCL) en convertidores CA/CC con corrección del factor de potencia (CFP) [4.9]-[4.11]. En estos casos, el convertidor opera también a frecuencia de conmutación variable, con lo que el problema de la agrupación IPOP es similar al caso analizado en este trabajo de tesis.

El objetivo de la técnica maestro-esclavo planteada aquí es conseguir un balanceado o equilibrado de las corrientes que maneja cada módulo utilizando el control directo de frecuencia variable presentado en el capítulo 3. La idea fundamental que hay detrás de esta técnica reside en aplicar a todos los módulos intervalos de conmutación similares. Puesto que todos los módulos son iguales (salvo por las tolerancias de los componentes), los intervalos de conmutación que resultan adecuados para un módulo bajo unas determinadas condiciones de trabajo, también lo serán para el resto de módulos si operan en las mismas condiciones que el primero. Atendiendo a las propiedades de la agrupación IPOP, todos los módulos comparten las mismas tensiones de entrada y de salida, por lo que las condiciones de trabajo referidas a estas tensiones son idénticas para todos los módulos. Si las tensiones de entrada y de salida son idénticas para todos los módulos, un determinado tiempo de magnetización t_{on} fija un determinado nivel de corriente media en un módulo (tal y como se analizó en el análisis estático realizado en el capítulo 3). Por lo tanto, si se aplica el mismo tiempo t_{on} al resto de módulos, estos conducirán el mismo nivel de corriente media.

Así pues, lo que se plantea con esta técnica es que un módulo actúe como maestro y el resto de módulos jueguen el papel de esclavos. El módulo maestro está realimentado, opera en lazo cerrado y utiliza el control directo de frecuencia variable que se detalló en el capítulo 3. Los módulos esclavos operan sin realimentación en lazo abierto y con cierta información que les proporciona el módulo maestro. Esta información es el t_{on}, el valor de t_{off} y el valor de t_{d1} que ha utilizado el maestro en el anterior periodo de conmutación. En la Figura 4.25 se muestra un esquema simplificado de la información que comparte el maestro con el resto de esclavos.

Los tiempos que ha utilizado el maestro en su anterior periodo de conmutación se aplican directamente a cada esclavo en el periodo de conmutación actual, con un determinado desfase φ fijo que únicamente depende del número de módulos utilizado para conseguir el entrelazado. En la Figura 4.26 se puede observar un ejemplo de las formas de onda de la técnica maestro-esclavo. Como ya se ha citado, el módulo maestro utiliza los dos eventos del control directo de frecuencia variable, i.e. el evento de detección de paso por cero de la corriente por la inductancia (ZCD) y el paso por cero de la tensión drenador-fuente (ZVD). Sin embargo, los módulos esclavos sólo utilizan el evento ZVD, puesto que el tiempo de desmagnetización (t_{off}) ya viene impuesto por el módulo maestro. El tiempo de resonancia (t_{d2}) es diferente para cada módulo esclavo y se calcula a partir de ZVD de una forma similar a como se utiliza en el control directo del módulo esclavo.

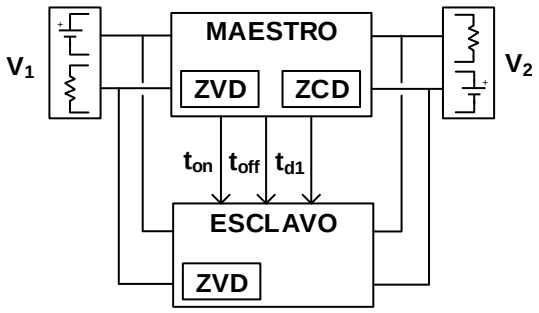


Figura 4.25. Esquema básico de la técnica maestro esclavo donde se detalla la información que comparte el maestro con un esclavo.

Hay que tener en cuenta que todos los módulos son similares, pero no iguales. Las tolerancias de los componentes pueden jugar un papel importante en el cálculo del tiempo de resonancia (t_{d2}), puesto que este tiempo depende de la descarga de un condensador parásito de un transistor. Pese a que se utilice el mismo modelo de transistor, las capacidades parásitas pueden variar notablemente de una serie a otra. Por esta razón, no resulta razonable utilizar el mismo tiempo t_{d2} en todos los módulos. De ser así, podría llegar a perderse la conmutación suave en alguno de los módulos, con un incremento considerable en las pérdidas en ese módulo y, por consiguiente, en el conjunto.

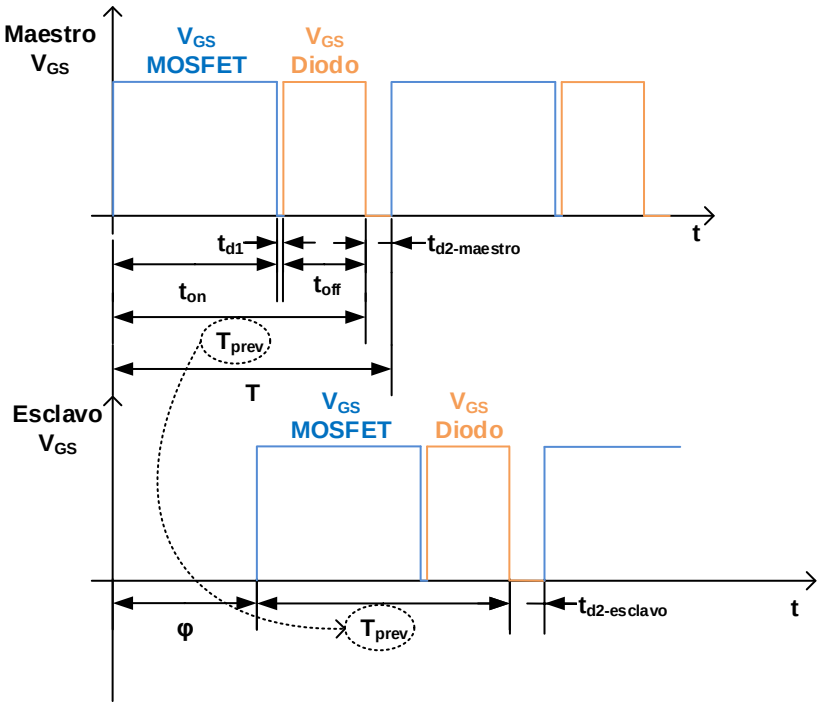


Figura 4.26. Formas de onda teóricas del maestro y de un esclavo utilizando la técnica maestro-esclavo.

Por otro lado, estas tolerancias también afectan al valor de la inductancia de cada módulo (que puede ser ligeramente diferente en cada caso). Sin embargo, al contrario de lo que ocurre con el tiempo de resonancia, estas diferencias son menores y el cambio que supondría en los tiempos t_{on} y t_{off} no son significativos y no tienen un impacto en las pérdidas o en el funcionamiento de cada módulo.

En la Figura 4.27 se muestra un esquema de bloques de la etapa de control del módulo maestro. Como se puede comprobar, se utilizan cinco señales de entrada (ADC, ZCD, ZVD, t_{d1} y ENB) para generar las dos señales de gobierno, llamadas por simplicidad M y D. La señal ADC contiene la información de la tensión de salida, medida y discretizada proveniente del conversor A/D ($v_o[n]$). Esta señal es procesada por el regulador ($R(z)$) para calcular la señal de acción ($a[n]$). La señal ZCD fija la frecuencia de la rampa digital ($r[n]$), que es comparada con la señal $a[n]$ proporcionada por el regulador para obtener dos señales PWM complementarias ($d[n]$ y $d_c[n]$). El bloque generador de tiempos muertos introduce los tiempos t_{d1} y t_{d2}. Para ello se emplean las señales ZVD y el valor del tiempo muerto fijado por t_{d1}, tal como se dedujo en el capítulo 3 Por último, la señal ENB actúa como un *enable* sobre las señales de mando, para poder apagar o encender el módulo (como se propondrá más adelante) o implementar protecciones adicionales que aquí no se detallarán.

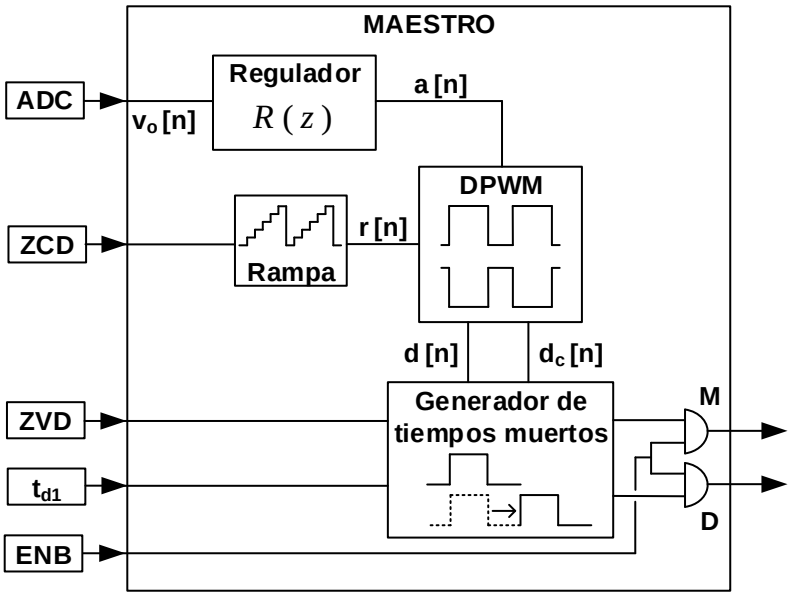


Figura 4.27. Esquema de bloques interno de la etapa de control para el módulo maestro.

En la Figura 4.28 se muestra el esquema de bloques de la etapa de control para los módulos esclavos. Si se compara este diagrama de bloques con el anterior mostrado en la Figura 4.27, puede observarse que los bloques internos son iguales a excepción de uno. Se mantienen, pues, los bloques de rampa, DPWM y generador de tiempos muertos, las cuales realizan exactamente las mismas tareas que en el caso del módulo maestro. Las diferencias se encuentran en las señales de entrada que utiliza el esclavo. En este caso, el bloque generador DPWM utiliza las señales t_{on} y t_{off} proporcionadas por el maestro en el periodo de conmutación actual y que han sido utilizadas por este módulo en el periodo anterior. El bloque rampa utiliza como entrada el tiempo total previo suministrado por el maestro, T_{prev}, en lugar del evento ZCD. El bloque generador de tiempos muertos es idéntico al caso del módulo maestro.

Cada módulo esclavo posee un bloque llamado generador de desfase. Este bloque necesita como entrada el número de esclavos (N) y una señal de sincronismo (llamada sync). El desfase de cada módulo se genera introduciendo un retardo de valor T_{prev}/N a partir de la señal sync. Los módulos esclavos no utilizan ningún regulador, puesto que operan con las señales previas del maestro y no tienen ningún lazo de realimentación como se comentó anteriormente.

Una vez que se han detallado las etapas de control para cada módulo, en la Figura 4.29 se muestra un esquema de bloques donde se han representado las señales de entrada y de salida de cada bloque de control para cada módulo, en un convertidor modular IPOP genérico con N módulos. Como se puede observar, los esclavos reciben del maestro los tiempos de conmutación y el número total de módulos. Cada uno de ellos utiliza una señal ZVD independiente del resto. Como señal de sincronismo (señal sync anteriormente mencionada) se utiliza la señal M del módulo maestro (i.e. la señal de gobierno del transistor principal del módulo maestro).

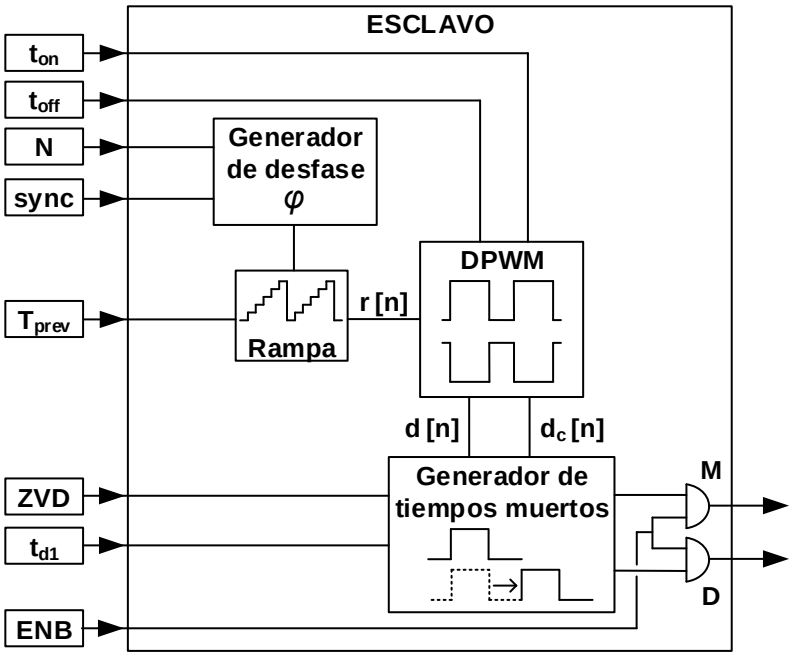


Figura 4.28. Esquema de bloques interno de la etapa de control para los módulos esclavos.

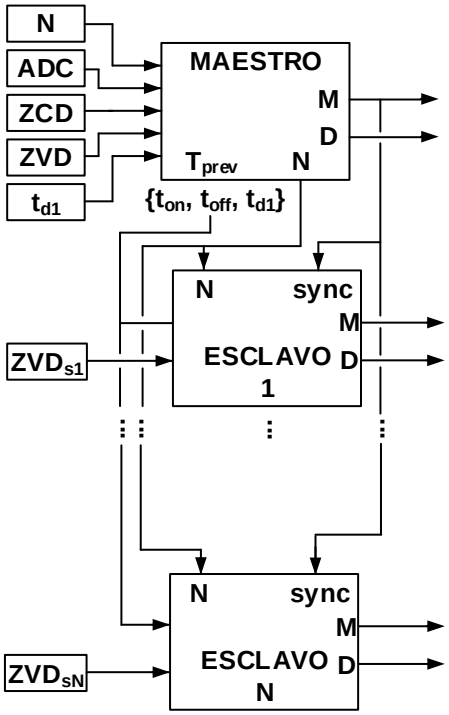


Figura 4.29. Esquema de bloques del conexionado de señales para la técnica de maestro-esclavo.

Como se ha podido comprobar, la estrategia maestro-esclavo extiende el uso del control directo de frecuencia variable a una agrupación modular IPOP de una manera sencilla para el convertidor elevador en modo QSW-ZVS. Entre las principales ventajas que posee esta estrategia de control cabe mencionar las siguientes. En primer lugar, la técnica maestro-esclavo no necesita un elevado gasto computacional, puesto que no se realiza ningún cálculo de los tiempos de conmutación en ningún módulo (incluido el maestro). En segundo lugar, esta estrategia de control

únicamente necesita una conversión A/D para la tensión de salida, independientemente del número N de módulos empleado. Otras estrategias de control referenciadas anteriormente precisan más conversiones A/D, puesto que necesitan información relativa a los valores medios de las corrientes para generar las formas de onda. Una tercera ventaja de la estrategia aquí planteada es la posibilidad de poder implementar todo el control en una única plataforma de control o en varias distribuidas. Por un lado, es posible que un único sistema de control implemente todos los bloques para controlar los N módulos. Pero por otro lado, también es posible que las plataformas de control de los esclavos sean independientes del control del módulo maestro y del resto de los esclavos, otorgando una mayor flexibilidad del sistema. Esto no es posible en algunas de las estrategias de control propuetas por otros autores, en las que, obligatoriamente, la etapa de control está centralizada y es indivisible. Por último, esta técnica permite un entrelazado óptimo pese a que los módulos trabajen a frecuencia variable, por el mero hecho de utilizar los mismos tiempos de conmutación para todos los módulos. Otras estrategias de control, o bien no lo consiguen, o bien precisan un gasto computacional adicional para conseguirlo mediante algún tipo de procesado.

Pese a estas ventajas, la técnica maestro-esclavo también posee una serie de desventajas que conviene resaltar. La primera, y más evidente, es que esta técnica únicamente es válida para agrupaciones modulares IPOP que utilicen módulos idénticos, lo que cumplen un amplio porcentaje de los convertidores modulares IPOP. Sin embargo, como se verá más adelante en este capítulo, es posible plantear convertidores modulares IPOP con módulos distintos, i.e. trabajando en una agrupación asimétrica. En tales casos, esta estrategia de control ya no sería válida.

La segunda desventaja de esta estrategia es que todos los esclavos han de sincronizarse con el maestro. Por lo tanto, si se adopta un esquema de control distribuido (i.e. una etapa de control por cada módulo), los posibles retardos en el envío y comunicación tanto de las señales de los tiempos, como de la señal de sincronismo afectarían a los módulos esclavos. Una posible mejora de este esquema pasa por utilizar un sincronismo anidado similar a un *daisy-chain*: como señal de sincronismo podría emplearse la señal del módulo esclavo anterior, en lugar de la señal del módulo maestro.

Un tercer inconveniente que se deriva del anterior, es que los módulos esclavos operan con una señal de mando basada en el anterior periodo de conmutación del maestro. Por lo tanto, la robustez del convertidor modular pasa a ser, esencialmente, la robustez del módulo maestro. Cualquier problema que experimente este módulo afectaría al funcionamiento del convertidor modular IPOP. Si la robustez del convertidor modular fuera un aspecto crítico en su diseño, habría que implementar algún tipo de estrategia de rotación de maestro, para que, si el módulo maestro original experimenta algún tipo de fallo, uno de los módulos esclavos pueda ser el nuevo módulo

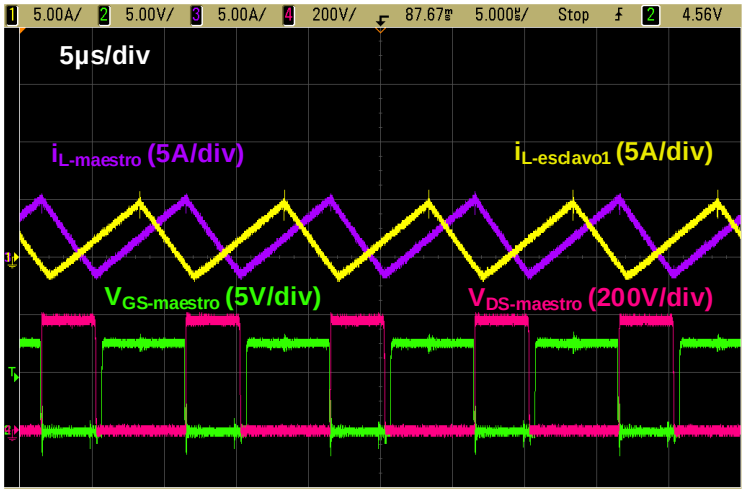
maestro y mantener, de esta forma, el funcionamiento del convertidor IPOP aunque fuera degradado. Esto implicaría que todos los módulos esclavos tuvieran la capacidad de poder operar como módulo maestro, incrementando el coste y la complejidad del convertidor modular.

Ligado al anterior problema, también cabe destacar que la respuesta dinámica del convertidor modular IPOP se ve restringida por un tercer inconveniente. Pese a que el módulo maestro es el único que está realimentado y que opera en lazo cerrado, la acción de control no se aplica en los módulos esclavos hasta el siguiente periodo de conmutación. Este hecho, aunque no es grave, sí que limita la respuesta dinámica del convertidor modular IPOP frente a transitorios o si las especificaciones exigen un ancho de banda del convertidor modular elevado.

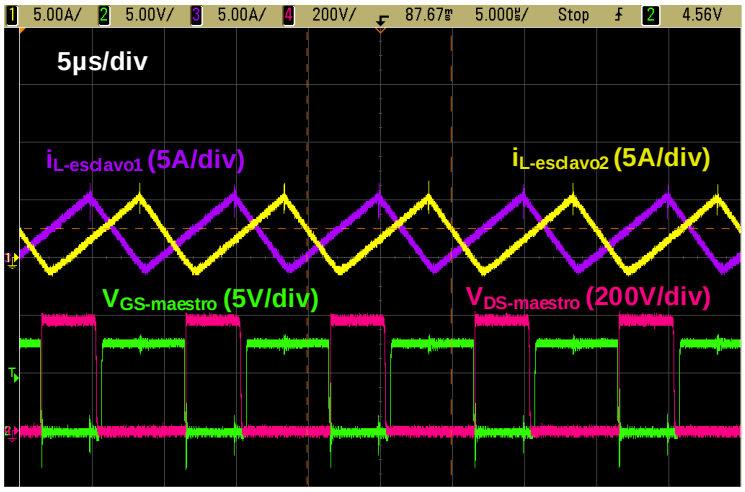
4.3.3. RESULTADOS EXPERIMENTALES

Con el objetivo de validar el control maestro-esclavo planteado anteriormente, se ha utilizado un prototipo de un convertidor modular IPOP formado por cuatro elevadores síncronos idénticos operando en modo QSW-ZVS. Cada módulo puede procesar 500W de potencia máxima. Las especificaciones de tensión de entrada y de salida son las mismas que las utilizadas a lo largo de este trabajo de tesis (tensión de entrada 150V, tensión de salida 400V). Cada módulo está diseñado con los mismos componentes que se han detallado en la Tabla 3.2 del capítulo 3. Así mismo, se han empleado los mismos circuitos de adaptación de las señales de puerta y los mismos *drivers* en todos los módulos, tal y como se explicaron en el apartado 3.2.3.2 del capítulo 3. La inductancia es idéntica en todos los casos y se ha seguido el diseño optimizado comentado en dicho capítulo. Por último, la plataforma de control es la misma que la utilizada en el capítulo 3 (FPGA Spartan 6 de Xilinx en la placa de desarrollo Nexxys 3 de Digilent y conversor ADC modelo AD7476A de 12 bits).

En la Figura 4.30 se muestran dos capturas del osciloscopio de las formas de onda de funcionamiento cuando el convertidor procesa 1,5kW (es decir, tres módulos se encuentran manejando la potencia máxima). En estas capturas se muestra la tensión puerta-fuente y drenador-fuente del transistor referido a masa del módulo maestro, y la corriente por la inductancia de dos de los módulos. Concretamente, en la Figura 4.30(a) se muestran las corrientes por la inductancia del módulo maestro de uno de los módulos esclavos. En la Figura 4.30(b) se muestran las corrientes por la inductancia de los dos módulos esclavos.



(a)



(b)

Figura 4.30. Captura del osciloscopio del funcionamiento de tres módulos utilizando el control maestro-esclavo.(a) Corriente por la inductancia del módulo maestro y del módulo esclavo. (b) Corriente por la inductancia de dos módulos esclavos.

Como puede observarse, los tres módulos operan a plena carga (500W) y se encuentran balanceados (los tres módulos manejan la misma corriente media). Todos ellos, además, operan a la misma frecuencia (la del maestro). Por otro lado, también se comprobó que los tres módulos operan en ZVS, y además, todos ellos manejan exactamente el mismo nivel de corriente negativa. De esta forma, queda demostrado que el funcionamiento de la técnica de control maestro-esclavo es válida y puede utilizarse para controlar un convertidor IPOP en todo su rango de funcionamiento operando a frecuencia variable en modo QSW-ZVS.

Además de esto, puede apreciarse que el desfase conseguido para cada módulo es el adecuado en cada caso, consiguiendo un entrelazado óptimo desde el punto de vista de minimizar el rizado de la corriente de entrada, tal y como se comentó en el anterior apartado. Para ilustrar

este hecho, en la Figura 4.31 se ha recogido una captura del osciloscopio donde se muestran las formas de onda del módulo maestro y el rizado de la corriente de entrada del convertidor modular IPOP, cuando se procesa 1,5kW. Como puede observarse, el rizado de la corriente de entrada total del convertidor modular es muy bajo (apenas supera los 100mA en el peor caso), lo que demuestra que el control maestro-esclavo sintetiza el desfase óptimo para conseguir minimizar este rizado de la corriente de entrada, que era otro de los aspectos que debía asegurar el control para el modo QSW-ZVS.

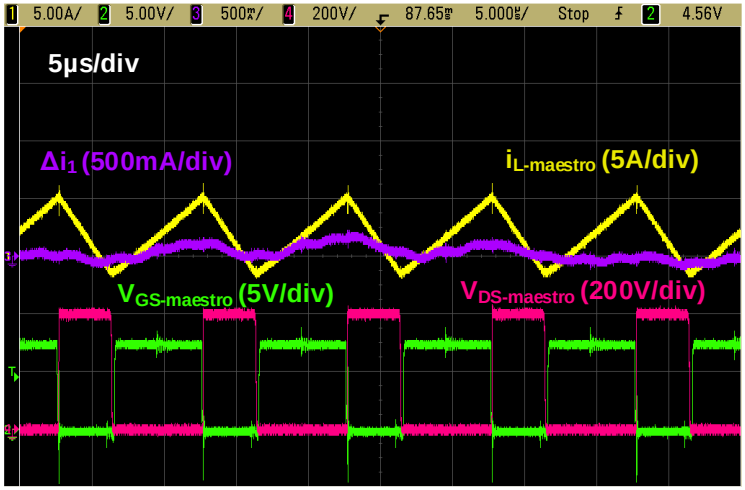


Figura 4.31. Captura del osciloscopio con las formas de onda de funcionamiento del módulo maestro y del rizado de la corriente de entrada, cuando el convertidor modular IPOP está manejando 1,5kW.

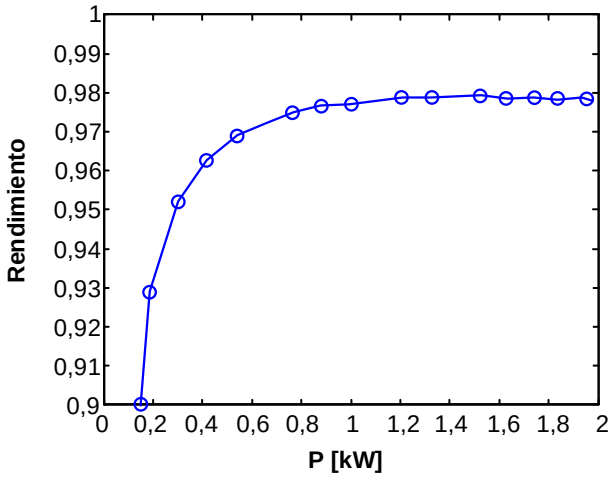


Figura 4.32. Rendimiento medido para el convertidor modular IPOP formado por cuatro módulos, con el control balanceado maestro-esclavo.

Por último, el rendimiento medido del convertidor modular utilizando este control balanceado (es decir, cuando todos los módulos procesan el mismo nivel de potencia), se ha representado en la Figura 4.32. Como puede observarse, el rendimiento obtenido es muy similar al que se midió para un único módulo en el capítulo 3 (compárese con la Figura 3.61 de dicho capítulo). El rendimiento medido a plena carga es del 97,91%. Para la medida de este rendimiento se han

utilizado los mismos multímetros detallados en el capítulo 3, apartado 3.2.3.2 del presente trabajo de tesis.

A continuación, se expondrán una serie de técnicas propuestas en este trabajo de tesis para controlar el convertidor modular IPOP con el objetivo de mejorar el rendimiento obtenido, especialmente cuando se maneja una potencia baja.

4.4. TÉCNICAS DE CONTROL PARA LA MEJORA DEL RENDIMIENTO EN LA AGRUPACIÓN IPOP

En el apartado 2.2.2 del capítulo 2 del presente trabajo de tesis se introdujo y se citaron los principios básicos de la agrupación IPOP. En concreto, a partir de un convertidor modular IPOP genérico de N módulos (véase de nuevo la figura 2.5 de dicho capítulo), se establecieron una serie de relaciones importantes que relacionaban el rendimiento del convertidor modular completo con el rendimiento de cada módulo. A partir de este análisis previo, se había establecido que para cualquier convertidor modular IPOP el rendimiento del mismo podía expresarse a partir de la suma de las pérdidas individuales de cada módulo como se recogió en la ecuación (2.6). Si se consideraba un control balanceado, como el propuesto en el anterior apartado, se podía particularizar la ecuación (2.6) para deducir las ecuaciones (2.9) y (2.10). Estas relaciones establecen que, bajo un control equilibrado o balanceado, el rendimiento del convertidor modular IPOP es el mismo que el rendimiento de un único módulo.

Este hecho permite que el convertidor modular pueda ser mejor, desde el punto de vista del rendimiento, que un único convertidor operando en las mismas condiciones de tensión y potencia, tal y como se analizó en detalle en apartado 4.1 de este capítulo. No obstante, cabe plantearse si es posible mejorar este rendimiento en base a la flexibilidad que brinda el hecho de disponer de varios módulos operando conjuntamente.

Este planteamiento surge a raíz de ciertas normativas ligadas a la edificación basada en cero emisiones [4.12]-[4.14]. Este tipo de normativas han definido un término conocido como rendimiento ponderado y han establecido un límite a su valor que debe cumplirse en todos los convertidores que tomen parte en este tipo de aplicaciones. Así, se establecen unos ciertos valores de peso para el rendimiento del convertidor no sólo en condiciones de plena carga, sino también en condiciones de baja y media carga. Dos de estos rendimientos ponderados son el "rendimiento Europeo" (EuroEff) y la "eficiencia Californiana" (CEC) [4.15]-[4.17], definidos como

$$EuroEff = 0{,}03 \cdot \eta_{5\%} + 0{,}06 \cdot \eta_{10\%} + 0{,}13 \cdot \eta_{20\%} + 0{,}1 \cdot \eta_{30\%} + 0{,}48 \cdot \eta_{50\%} + 0{,}2 \cdot \eta_{100\%} \quad (4.1)$$

$$CEC = 0{,}04 \cdot \eta_{10\%} + 0{,}05 \cdot \eta_{20\%} + 0{,}12 \cdot \eta_{30\%} + 0{,}21 \cdot \eta_{50\%} + 0{,}53 \cdot \eta_{75\%} + 0{,}05 \cdot \eta_{100\%} \quad (4.2)$$

en donde $\eta_{x\%}$ representa el rendimiento del convertidor cuando procesa un $x\%$ de la potencia total que es capaz de manejar.

El concepto de agrupación modular puede ser aprovechado para tratar de mejorar el rendimiento en los convertidores ligados a este tipo de aplicaciones. Como ya se ha citado anteriormente, el hecho de disponer de varios módulos abre la posibilidad de establecer distintas

técnicas o estrategias de control que persigan mejorar el rendimiento del convertidor modular tanto a media como a baja carga. En este apartado se recogen tres alternativas al control balanceado, planteado de manera habitual en las agrupaciones IPOP: un control de encendido secuencial, un control asimétrico (también llamado control asimétrico maestro-esclavo) y un control de encendido intermitente (también llamado control por histéresis).

Antes de detallar cada una de estas estrategias de control, es posible razonar de una manera cualitativa por qué el control balanceado (que ha sido el más utilizado tradicionalmente en agrupaciones IPOP), no es óptimo desde el punto de vista del rendimiento. En base al esquema recogido en la Figura 2.5, se puede suponer un perfil de carga como el que se muestra en la Figura 4.33 para un convertidor modular con N módulos.

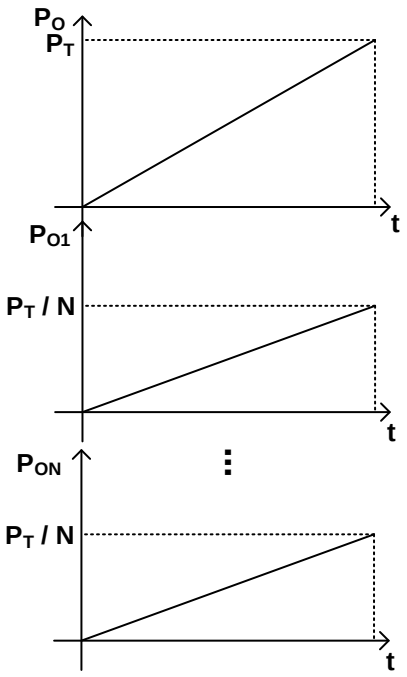


Figura 4.33. Ejemplo de perfil de carga para el convertidor modular IPOP con un control balanceado.

Para ejemplificar el concepto, en la Figura 4.33 se ha supuesto que la potencia total demandada al convertidor modular (P_T) varía de una manera lineal. Utilizando el control balanceado, cada uno de los módulos de potencia procesa exactamente el mismo nivel de potencia. Por lo tanto, si la potencia máxima demandada al convertidor modular es P_T, cada módulo procesará un nivel de potencia de valor P_T/N. Cabe destacar que cuando la potencia demandada es baja, todos los módulos se encuentran operando en condiciones de baja carga. Por lo general, un convertidor se diseña para obtener un buen rendimiento a plena carga. Si se desea conseguir un rendimiento igualmente alto a media o baja carga (idealmente, un rendimiento plano), el diseño del mismo se complica. Tómese como ejemplo aquellas topologías en las que se pierde las condiciones de conmutación suave o en las que se cambia el modo de funcionamiento, como es el caso del módulo escogido en esta tesis. En el capítulo 3 se comentó

que cuando la carga disminuye, el convertidor elevador síncrono en modo QSW-ZVS eleva su frecuencia de conmutación para satisfacer esta menor demanda de corriente. Por supuesto, la frecuencia de conmutación no puede crecer indefinidamente y se fija una frecuencia de conmutación máxima permitida. Si la potencia continúa disminuyendo, el convertidor pasa a operar en MCC, manejando corriente reactiva. En este escenario las pérdidas de la etapa de potencia son mayores, desencadenando rendimientos peores en condiciones de funcionamiento de baja carga. Solventar este inconveniente no resulta sencillo desde el punto de vista del diseño del módulo de potencia, puesto que, si se quiere solucionar, se penalizaría algún otro parámetro adicional, en aras de aumentar el rango de funcionamiento con buen rendimiento hasta muy baja carga. Además, también se complica el propio diseño del módulo en sí, lo que juega en contra de la principal ventaja de este módulo y de los requisitos para una agrupación modular.

Por lo tanto, todas las técnicas que se plantean a continuación tienen como denominador común el evitar (o minimizar) la complicación del diseño del módulo o la penalización de alguna característica del mismo dentro del convertidor modular. En todas ellas se ha tratado de encontrar una solución que mejore el rendimiento de una manera sencilla, apoyándose en las ventajas que aporta el diseño modular.

4.4.1. TÉCNICA DE ENCENDIDO SECUENCIAL

4.4.1.1. Descripción e implementación

La primera estrategia de control ya ha sido estudiada por diversos autores en profundidad [4.18]-[4.23]. Se basa en un encendido secuencial (también llamado *phase-shedding* en su término en inglés) de cada módulo. El objetivo fundamental de esta técnica es mantener activos (o procesando potencia) sólo un número determinado de módulos de manera simultánea, de forma que se satisfaga la demanda de potencia reclamada. El resto de módulos permanecerán apagados y se encenderán (o apagarán) conforme se reclame más o menos potencia desde la carga.

Un ejemplo del funcionamiento de esta estrategia de control se recoge en la Figura 4.34, en donde se ha representado el mismo perfil de carga que en el caso del control balanceado (véase la Figura 4.33). Es importante destacar que en esta estrategia de control, tanto el número de módulos como su potencia máxima son idénticos al control balanceado. Así pues, cuando la potencia total demandada es menor que un nivel P_T/N, sólo un único módulo procesa la potencia. En el momento en que se demande un nivel de potencia comprendido en el rango de P_T/N y $2 \cdot P_T/N$, dos módulos procesarán potencia: uno de ellos lo hará aportando su potencia máxima (es decir, P_T/N) mientras que el segundo módulo manejará la potencia restante. Este proceso se

repite hasta que la carga demanda la potencia máxima al convertidor modular (P_T), momento en el que todos los módulos procesan su máxima potencia. Como resulta obvio, el proceso de demanda de menor potencia por parte del convertidor modular es análogo pero apagando módulos en lugar de encendiéndolos.

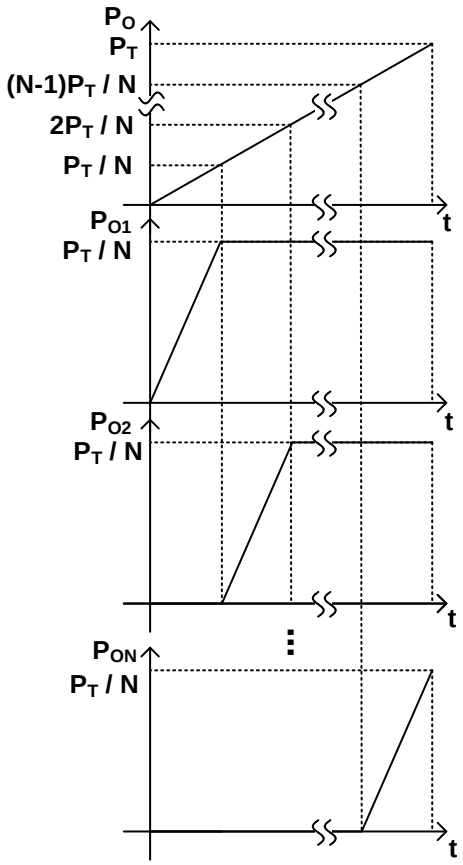


Figura 4.34. Ejemplo de perfil de carga para el convertidor modular IPOP con un control de encendido secuencial.

A la vista del ejemplo de perfil de carga mostrado en la Figura 4.34, ya es posible establecer de manera cualitativa la mejora en el rendimiento que supone esta técnica respecto al caso del control balanceado. En el caso del encendido secuencial, únicamente un módulo se encuentra procesando potencia en condiciones de baja carga, a diferencia del caso balanceado, en el que los N convertidores pueden llegar a operar en condiciones de baja carga. Matemáticamente, es posible obtener una expresión analítica de las pérdidas totales para esta estrategia de control a partir del rendimiento genérico deducido para el convertidor modular IPOP (ecuación (2.6)), tal que

$$P_{LT-sec} = P_{Ln-sec} + n_{sec} \cdot P_{Ln-sec@Pmax} \tag{4.3}$$

donde P_{Ln-sec} son las pérdidas del módulo n-ésimo, $P_{Ln-sec@Pmax}$ son las pérdidas del módulo n-ésimo cuando opera a su potencia máxima y n_{sec} es el número de módulos que procesan potencia

máxima. El valor de n_{sec} varía desde 0 hasta $N-1$, conforme a la secuencia de encendido o apagado descrita anteriormente.

Aunque esta técnica ha sido estudiada en profundidad por otros autores, en el presente trabajo de tesis se ha aplicado esta técnica de control para el modo de funcionamiento QSW-ZVS. Al igual que en el caso del control maestro-esclavo propuesto en el apartado 4.3, el control aquí planteado es una pequeña aportación del presente trabajo de tesis al estado de la técnica. Para conseguir un encendido secuencial se ha partido del esquema general del control maestro-esclavo detallado en el apartado anterior (véase la Figura 4.29). La principal diferencia entre ese caso y este es que los módulos deben encenderse o apagarse en función de la potencia procesada por el convertidor modular. La forma más inmediata de realizar una medida de la potencia procesada por el convertidor modular, sería obtener una medida de la corriente media de salida. Con este valor y la medida de la tensión de salida, que ya era necesaria para la regulación de la misma, sería posible estimar o calcular por la etapa de control la potencia procesada en todo instante. Sin embargo, medir la corriente media de salida implicaría utilizar un segundo sensor de corriente y un segundo conversor analógico-digital (A/D).

Con el objetivo de mantener la sencillez en la etapa de control y para no introducir un sensor adicional en la etapa de potencia, se ha optado por una alternativa basada en saturaciones. Para poder realizar un encendido secuencial, en lugar de que cada módulo procese una determinada potencia, se ha optado por mantener la filosofía de maestro-esclavo. Así el módulo maestro es el único que trabaja en un rango de potencia variable. Los módulos esclavos pasan, en este caso, a trabajar a potencia constante. Por lo tanto, un esclavo sólo puede permanecer en dos estados: o apagado (sin procesar potencia) o encendido (procesando su potencia máxima). Teniendo en cuenta este planteamiento, en la Figura 4.35 se ha representado de nuevo el ejemplo del perfil de carga utilizado en este estudio.

Si se comparan los dos perfiles de carga de la Figura 4.34 y de la Figura 4.35, puede observarse que el funcionamiento del convertidor modular es idéntico en ambos casos, pero se logra simplificar el esquema de control. Es importante tener en cuenta que, en este caso, los módulos esclavos juegan el papel de fuentes de corriente, aportando un nivel de potencia fijo. Para lograr este funcionamiento, los módulos esclavos funcionan a frecuencia constante con un t_{on} fijo y muy similar al valor de t_{on} del maestro cuando éste opera a plena carga. Téngase en cuenta que el funcionamiento a frecuencia constante es debido a que los módulos esclavos operan en lazo abierto y únicamente procesando la potencia máxima y no en un rango de potencias, como ocurre con el módulo maestro. Además de esto, el valor de t_{on} de los esclavos es ligeramente distinto al valor de t_{on} del maestro. Esto se debe a que el valor de t_{on} fija el nivel de corriente que manejan los módulos esclavos, como ya se ha citado anteriormente. Si este valor fuera mucho más pequeño que el del módulo maestro, los esclavos no procesarían potencia (el

maestro sería quien procesase toda la corriente). Por el contrario, si el valor de t_{on} de los esclavos fuera mayor o igual que el t_{on} del módulo maestro, podría darse el caso de que el módulo maestro alcanzase su valor de saturación, perdiendo la regulación en la tensión de salida. Por lo tanto, el valor de t_{on} de los módulos esclavos ha de ser ligeramente inferior al valor de t_{on} del módulo maestro cuando éste opera a plena carga.

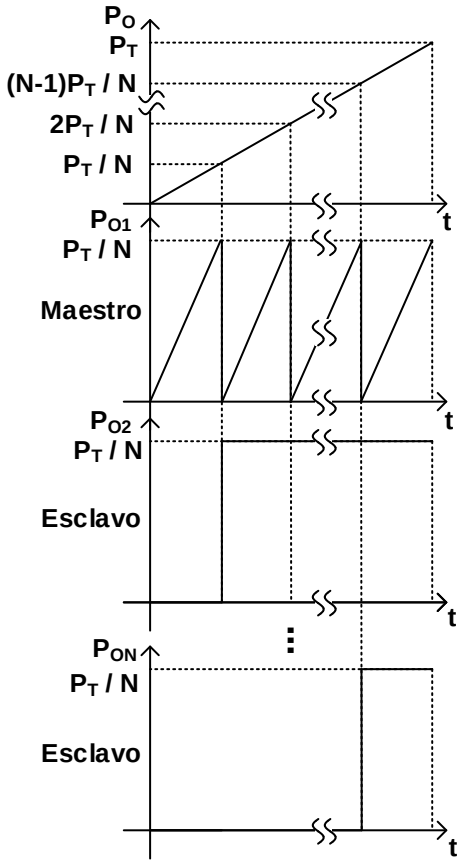


Figura 4.35. Ejemplo de perfil de carga para el convertidor modular IPOP con un control de encendido secuencial particularizado para la técnica maestro-esclavo.

Para gestionar la activación y desactivación de los módulos esclavos únicamente se utilizará la medida de la tensión de salida. La etapa de control establecerá unos límites máximo y mínimo para el valor de t_{on}, que, combinado con la condición de máxima y mínima frecuencia de conmutación, produce un efecto de saturación en el lazo de regulación del módulo maestro. Para comprender mejor el funcionamiento de este proceso, en la Figura 4.36 se muestran dos posibles transiciones, una de desactivación y otra de activación. En este ejemplo se ha supuesto una transición entre dos niveles de potencia, P_1 y P_2. El nivel P_1 se ha supuesto menor que la potencia máxima que puede manejar un módulo. Por el contrario, el nivel P_2 se ha supuesto que es un valor mayor que la potencia que puede manejar un módulo, pero menor que la potencia máxima que pueden manejar dos módulos. Por lo tanto, cuando la carga demande una potencia P_1 únicamente se precisará un módulo, mientras que cuando demande P_2 se necesitarán dos

módulos encendidos (el módulo esclavo aportando la potencia máxima y el módulo maestro aportando la potencia restante).

En la figura Figura 4.36 se muestra primero el cambio en la demanda instantánea de potencia de la carga desde P_2 a P_1. Durante un instante de tiempo, el aporte de potencia de los dos módulos encendidos es mayor que el demandado por la carga. La tensión de salida tiende a subir, puesto que el módulo esclavo, al operar en lazo abierto, sigue aportando una corriente mayor que la demandada. Para apagar el módulo esclavo han de ocurrir dos eventos: que se supere un determinado nivel de tensión de salida (V_{OH-H}) y que el módulo maestro se apague por completo (o, de forma análoga, que alcance la condición de mínima frecuencia impuesta por el control). Como el módulo maestro funciona en lazo cerrado, su lazo de realimentación actúa para que su potencia disminuya, hasta apagarlo por completo (o alcanzar el valor límite de frecuencia mínima). En ese momento, el sistema de control apaga el módulo esclavo por completo, al producirse el segundo evento, y el módulo maestro pasa a aportar toda la potencia de salida demandada, P_1, que es menor que la máxima que puede aportar este módulo.

La transición de P_1 a P_2 es muy similar a la explicada anteriormente. En este caso, con esta técnica para encender un módulo esclavo, la etapa de control debe detectar dos eventos: que la tensión de salida sea menor que un determinado valor (V_{OH-L}) y que el módulo maestro esté aportando su potencia máxima (o de forma equivalente, que alcance la saturación de t_{onmax} y frecuencia de conmutación mínima). Téngase en cuenta que el módulo maestro únicamente puede operar con unos valores de t_{on} y de frecuencia de conmutación determinados por las potencias máximas y mínimas. Cuando la potencia crece por encima del valor máximo sin tener activado un módulo esclavo, el módulo maestro aumenta su t_{on} hasta saturarse. En esta situación, la tensión de salida baja, puesto que la corriente demandada por la carga es mayor de la que puede aportar el módulo maestro saturado. En este momento, el sistema de control enciende un módulo esclavo, devolviendo la regulación al módulo maestro que puede operar de nuevo con un valor de t_{on} menor que el de saturación, ya que el módulo esclavo opera en lazo abierto aportando su potencia máxima.

Como se puede observar, la activación o desactivación de módulos se realiza en base a la ventana de histéresis que definen las tensiones V_{OH-L} y V_{OH-H}, conjuntamente con las condiciones de saturación o límites de t_{on} y de frecuencia de conmutación. Esta gestión de activación y desactivación de módulos también es válida en el caso de saltos que impliquen la activación o desactivación de dos o más módulos, cuyo funcionamiento es idéntico al que se detalló para el caso de un módulo.

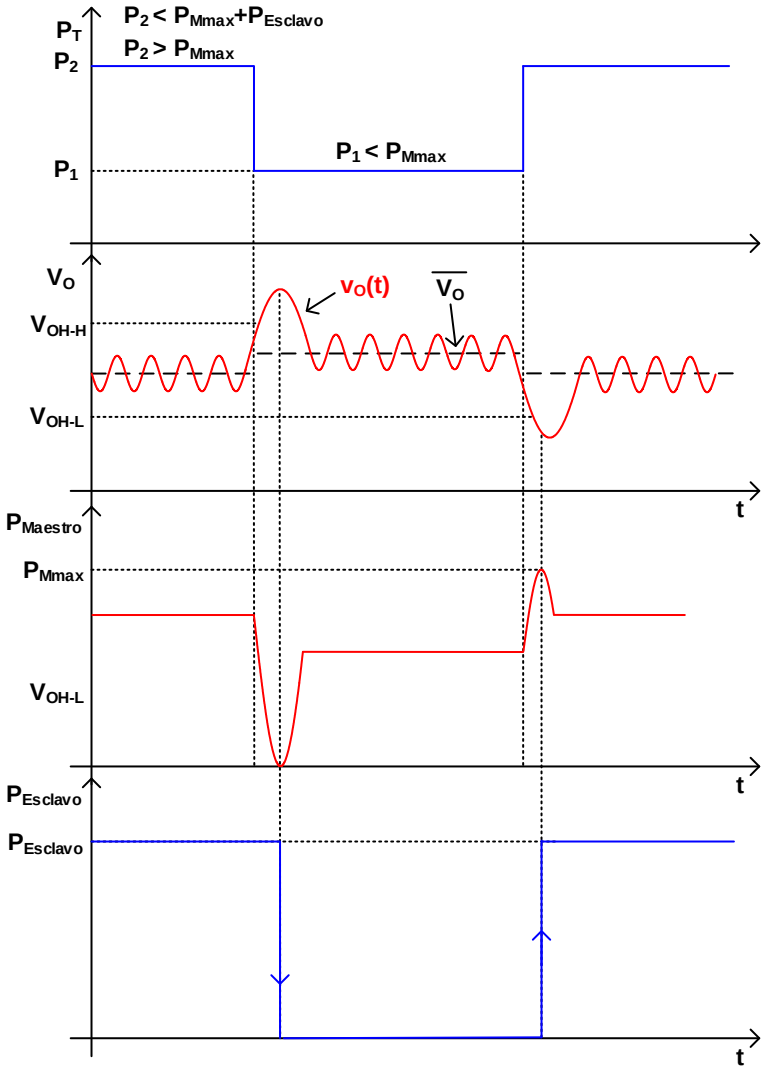


Figura 4.36. Ejemplo de funcionamiento de activación y desactivación de esclavos.

Como resulta obvio, la selección de los niveles de la ventana de histéresis resulta crítica. Una ventana muy amplia implicaría transitorios más lentos y con grandes sobre-oscilaciones (o sub-oscilaciones) en la tensión de salida. Una ventana de histéresis más pequeña solventaría estos inconvenientes, pero podría dar lugar a falsas activaciones o desactivaciones frente a saltos de carga que no necesitasen la conexión o desconexión de uno o varios módulos adicionales. Por lo tanto, debe llegarse a una solución de compromiso para determinar una ventana de histéresis adecuada. En el presente trabajo de tesis, la ventana de histéresis se ha fijado de manera experimental tras realizar diversas pruebas dinámicas del lazo de realimentación del convertidor maestro, frente a distintos valores del salto de carga. La respuesta dinámica del convertidor realimentado fija los valores límites de la ventana de histéresis. Posteriormente, se ajustan los valores de estas tensiones para evitar sobre-oscilaciones muy acusadas en la tensión de salida. Para las especificaciones fijadas en este trabajo, los valores de la ventana de histéresis se fijaron siguiendo los anteriores criterios en $V_{OH-L} = 370V$ y $V_{OH-H} = 430V$. Estos valores se han

mantenido para todas las pruebas realizadas con esta técnica, salvo que se especifique lo contrario.

La implementación de esta estrategia de encendido secuencial pasa por incorporar esta gestión de conexión y desconexión de módulos (llamada aquí gestor de esclavos) en la lógica del control. En la Figura 4.37 se muestra el esquema de bloques interno para el módulo maestro siguiendo esta estrategia de control.

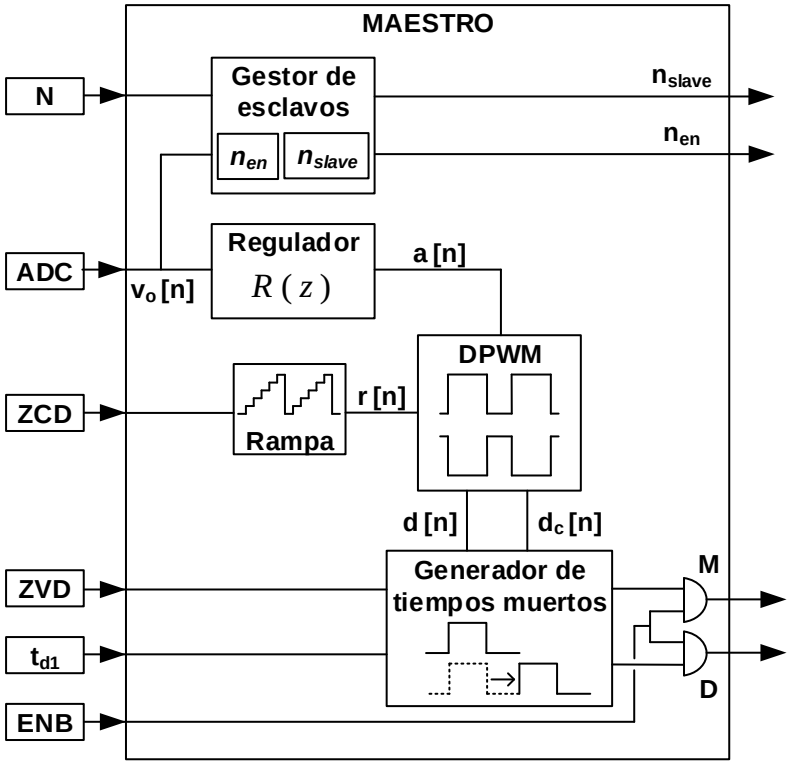


Figura 4.37. Esquema de bloques interno de la etapa de control para el módulo maestro para la estrategia de control de encendido secuencial.

Como puede observarse en la Figura 4.37, únicamente se ha añadido un nuevo componente respecto al diagrama de bloques mostrado en la Figura 4.27 correspondiente al control equilibrado o balanceado. Este nuevo bloque se ha llamado gestor de esclavos e incorpora la lógica descrita anteriormente. Este gestor utiliza como entradas el número de módulos (N) y la tensión de salida medida por el ADC ($v_O[n]$). Como salidas, este bloque proporciona dos valores enteros, denominados aquí n_{slave} y n_{en}. El valor n_{slave} es el número de módulos esclavos activos (que se correspondería con el valor n_{sec} de la ecuación (4.3)), el cuál varía entre 0 y $N-1$. Por otro lado, n_{en} se utiliza como un índice para gestionar la activación de los esclavos. Su valor varía entre 0 y n_{slave}.

En la Figura 4.38 se muestra el esquema de bloques interno del módulo esclavo para el caso de la estrategia de encendido secuencial. Si se compara nuevamente con el esquema de bloques de la estrategia balanceada (véase la Figura 4.28), puede verse que hay dos diferencias: el bloque

llamado activación de esclavos y la señal n_{slave} de entrada del generador de desfase. En este caso, se emplea la señal n_{slave} en lugar de N como ocurría con la técnica balanceada. El bloque de activación de esclavos únicamente activa las salidas de control si n_{en} es distinto de cero y se realiza un decremento para actualizar el valor de salida que sea gestionada por el siguiente esclavo como entrada. Si n_{en} es cero, las señales de control de salida no se activan y no se realiza ningún decremento en esta señal.

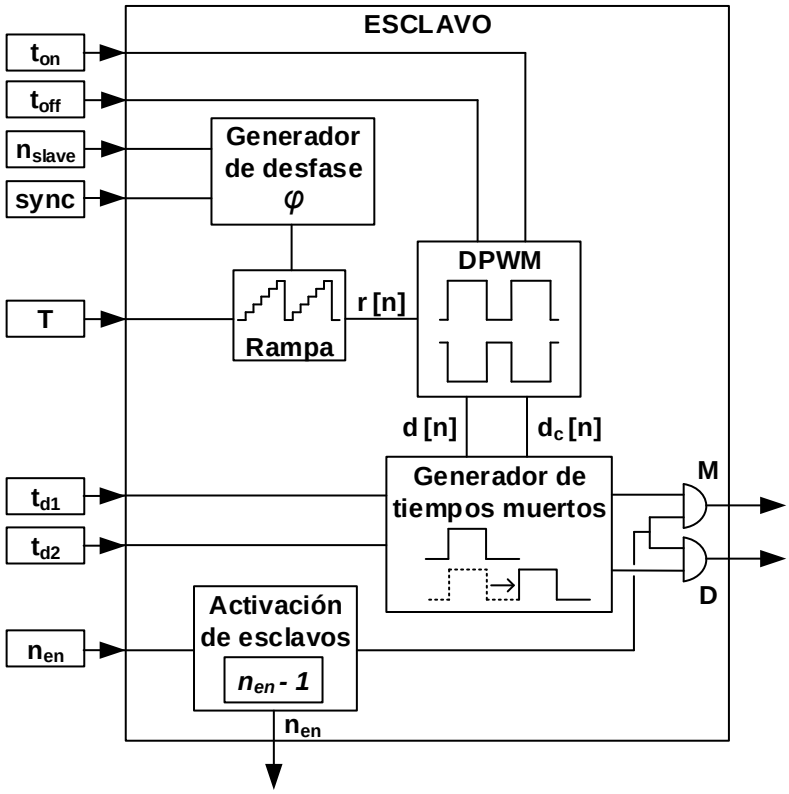


Figura 4.38. Esquema de bloques interno de la etapa de control para el módulo esclavo para la estrategia de control de encendido secuencial.

Al igual que en el caso del control maestro-esclavo balanceado, es necesaria una señal de sincronismo (llamada sync) para conseguir el desfase entre cada módulo para conseguir el entrelazado óptimo. En la técnica balanceada se empleaba como señal de sincronismo la señal de control del MOSFET (M) del módulo maestro. Esto era debido a que las señales de los módulos esclavos eran las mismas y desfasadas que la señal del maestro del periodo anterior. Por lo tanto, se conseguía una buena sincronización utilizando tan sólo una señal de control del maestro, y todos los módulos operaban a frecuencia de conmutación variable e idéntica a la del módulo maestro. Sin embargo, este hecho no ocurre con esta técnica, ya que el módulo maestro trabaja a frecuencia de conmutación variable pero los módulos esclavos lo hacen a frecuencia de conmutación constante. Como resulta obvio, no es posible desfasar de forma sincronizada una señal de frecuencia variable con otra señal de frecuencia constante de una manera sencilla. Para lograrlo, sería necesario utilizar un sistema de lazo de seguimiento de fase (o PLL de su término

en inglés *Phase-Locked Loop*) que es, por lo general, complejo y costoso. Únicamente se podría prescindir de un PLL cuando la señal de frecuencia variable variase siempre en múltiplos de la frecuencia constante de la segunda señal. Sin embargo, este caso no se da en esta situación.

Para solventar este inconveniente de una manera sencilla y poco costosa (en términos de recursos para la etapa de control) se ha optado por desfasar de manera sincronizada únicamente los módulos esclavos. Esta solución no sería la óptima desde el punto de vista de la minimización del rizado de la corriente de entrada, puesto que el módulo maestro no opera en condiciones de desfase óptimo. No obstante, el rizado de corriente que se consigue disminuye conforme aumenta la corriente media procesada por el convertidor modular (puesto que a medida que la potencia crece, también lo hace el número de módulos esclavos activos). Por lo tanto, se ha optado por esta solución consiguiendo sencillez en el control a costa de tener algo más de rizado en la corriente de entrada a baja carga.

En la Figura 4.39 se muestra un ejemplo del desfase óptimo para un caso con n_{slave} esclavos activos. El desfase óptimo se corresponde para este caso con $\varphi = T/n_{slave}$, siendo T el periodo de conmutación de cada módulo esclavo. Como puede observarse, el desfase óptimo a aplicar únicamente depende del número de módulos esclavos activos en cada caso (n_{slave}) y del periodo (T), siendo este último conocido por la etapa de control a priori. Por lo tanto, para generar el desfase óptimo, cada módulo esclavo únicamente necesita conocer el número de esclavos activos (n_{slave}), tal y como se vio en la Figura 4.38. Existe una simplificación adicional para la generación del desfase óptimo, que tiene que ver con la señal utilizada para sincronizar el desfase. Si se utiliza como sincronización la señal de control del MOSFET (M) del primer módulo esclavo, entonces para el módulo n_{slave} el desfase a aplicar se corresponde con $2 \cdot n_{slave} \cdot (T/(n_{slave}+1))$, que es el retardo a aplicar con respecto a la señal de gobierno del primer módulo esclavo. Sin embargo, también es posible sincronizar con la señal de gobierno del esclavo anterior. De esta forma, el desfase a aplicar es siempre el mismo y equivalente a $\varphi = T/n_{slave}$, para cualquier módulo esclavo. Aunque a priori no parezca una simplificación muy provechosa, este planteamiento permite generar el desfase para todos los módulos de una manera prácticamente automática (tan sólo se necesita realizar una suma con respecto al desfase del esclavo anterior), lo que rebaja la utilización de recursos en la etapa de control.

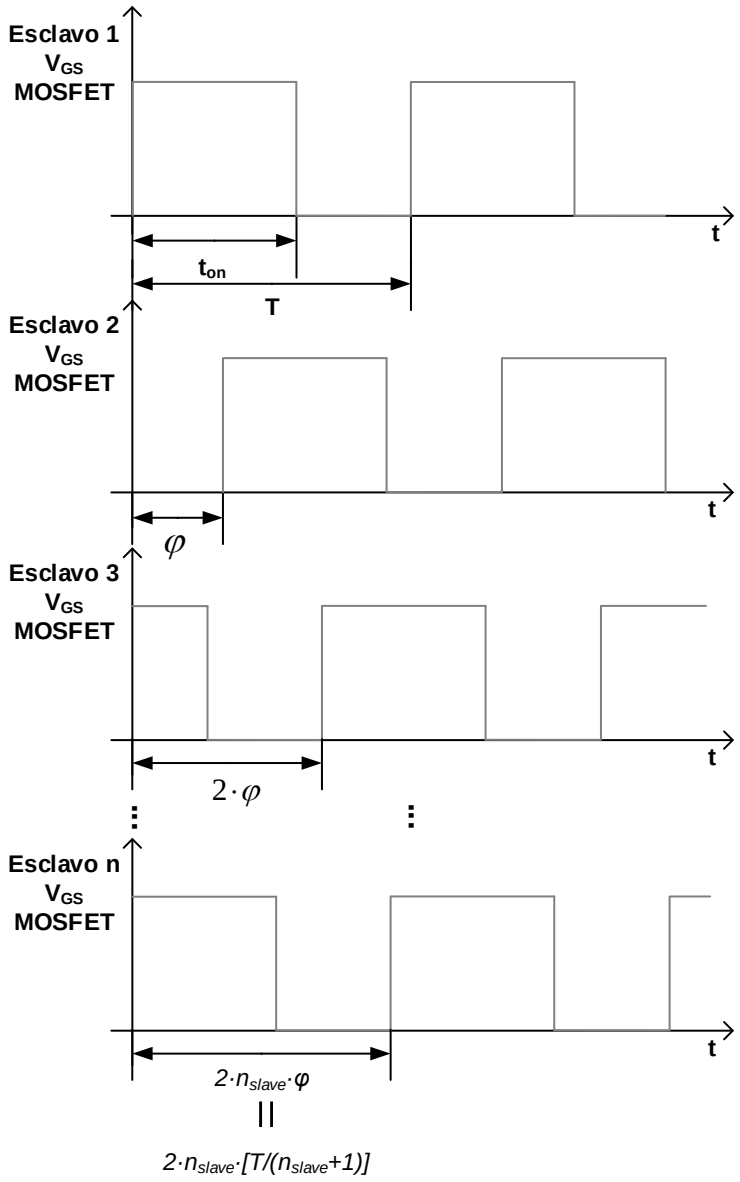


Figura 4.39. Ejemplo de generación del desfase óptimo para n_{slave} esclavos activos.

Para conseguir las simplificaciones mencionadas anteriormente, se sigue el diagrama de conexión de señales mostrado en la Figura 4.40. Si se compara este diagrama con el mostrado para la técnica maestro-esclavo tradicional (véase la Figura 4.27), pueden apreciarse las diferencias entre una estrategia de control y otra. A modo de resumen, como se ve en la Figura 4.40, únicamente el maestro opera con realimentación o en lazo cerrado. Todos los módulos esclavos operan en lazo abierto con los mismos tiempos de conmutación definidos por el modo QSW-ZVS. Cada módulo esclavo utiliza como señal de sincronización la señal de control del MOSFET (M) generada por el esclavo anterior. El primer módulo esclavo no utiliza ninguna sincronización, puesto que su señal no se desfasa respecto a ninguna otra señal. El módulo maestro opera a frecuencia variable utilizando el control directo de frecuencia variable explicado

en el capítulo 3 de esta tesis. Los módulos esclavos únicamente utilizan dos señales adicionales: n_{slave} y n_{en}.

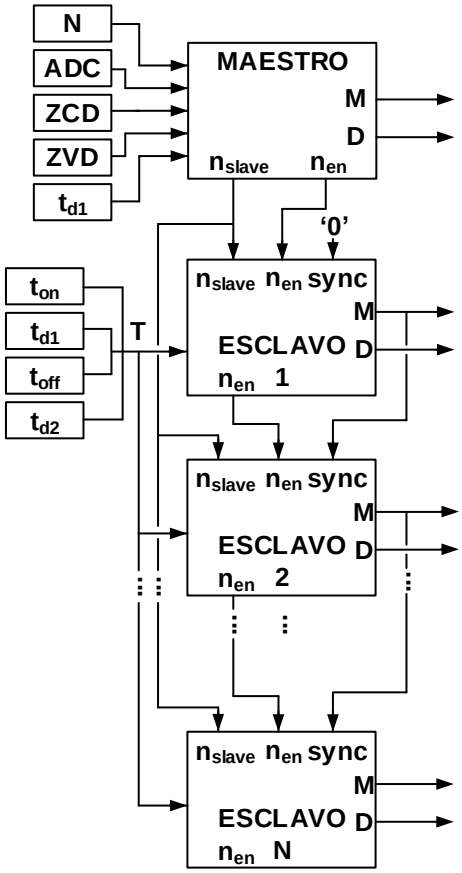


Figura 4.40. Esquema de bloques del conexionado de señales para la técnica de maestro-esclavo de encendido secuencial.

4.4.1.2. Resultados experimentales

Para comprobar el funcionamiento de esta técnica de control, se han empleado los mismos 4 módulos utilizados en el control maestro-esclavo balanceado presentado en el apartado anterior. Únicamente se ha cambiado el algoritmo de control, para pasar a implementar el encendido secuencial detallado anteriormente. Las formas de onda de operación del convertidor modular son similares a las que se obtuvieron en el caso balanceado, por lo que no se incluirán de nuevo en este apartado. Nótese que, a diferencia del control balanceado, donde los módulos esclavos utilizaban la señal de control del módulo maestro del periodo anterior, en este caso los módulos esclavos operan con un t_{on} constante.

En la Figura 4.41 se muestra el rendimiento obtenido con esta técnica de encendido secuencial, en donde se ha representado además, en el mismo gráfico, el rendimiento que se midió para el control maestro-esclavo balanceado comentado anteriormente.

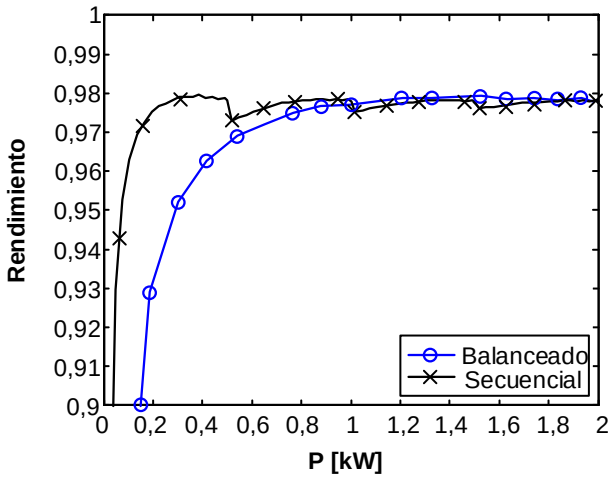


Figura 4.41. Comparativa del rendimiento medido con la técnica de encendido secuencial y el control balanceado.

Como puede observarse, la técnica de encendido secuencial apenas si tiene alguna mejora cuando el convertidor procesa una potencia entre 1kW y 2kW. De hecho, a plena carga el rendimiento medido es prácticamente idéntico al obtenido por la técnica de control balanceado (97,9%), tal y como se esperaba del análisis teórico realizado para este control secuencial. Sin embargo, cuando la potencia es inferior a 1kW sí se aprecian diferencias notables entre las dos técnicas de control. Entre 500W y 1kW, la técnica de encendido secuencial logra mejorar el rendimiento entre 0,5 puntos y 1 punto aproximadamente. Entre 100W y 500W esta mejora es de más de 4 puntos (el control secuencial obtiene un rendimiento del 97,2% a 200W por un 93,1% aproximadamente obtenido por el control balanceado a esa misma potencia). Además de estas diferencias, pueden apreciarse una serie de “escalones” en el rendimiento medido para el control secuencial. Estos saltos en el rendimiento se corresponden con el encendido de un módulo esclavo (es decir, se sitúan en 500W, 1kW y 1,5kW). Cada vez que se enciende un módulo adicional, las pérdidas del convertidor IPOP aumentan considerablemente, puesto que el módulo maestro pasa a operar prácticamente en vacío, en donde su rendimiento es muy bajo, lo que afecta a las pérdidas globales del convertidor IPOP. Este “escalón” puede verse con nitidez cuando la potencia es 500W.

4.4.1.3. Ventajas y desventajas

Las ventajas de la técnica de encendido secuencial están ligadas, esencialmente, a la mejora del rendimiento a media y baja carga. El encendido de módulos en función de la potencia demandada, permite ajustar mejor las pérdidas totales del convertidor modular, poniendo en funcionamiento exclusivamente aquellos módulos estrictamente necesarios, y la mayoría de ellos a plena carga, donde presentan el rendimiento máximo. Aunque en el marco del presente trabajo de tesis únicamente se ha trabajado con la hipótesis de un encendido secuencial de un único

módulo, es posible plantear un encendido de varios módulos, pudiendo tener, así, un mapa de funcionamiento en función del rendimiento objetivo buscado para el convertidor modular en un determinado rango de potencias. Por ejemplo, a baja carga se podría trabajar con un módulo. Superado un determinado nivel de potencia, podría trabajarse con tres módulos. Y así sucesivamente.

La técnica de encendido secuencial planteada aquí, y que se ha basado en la técnica de maestro-esclavo, es relativamente sencilla de implementar. Esto se debe al hecho de que todos los módulos esclavos trabajan sin realimentación o en lazo abierto y únicamente operan a potencia máxima. Sólo el módulo maestro opera con realimentación o en lazo cerrado utilizando el control directo de frecuencia variable desarrollado en el capítulo 3 del presente trabajo de tesis. Por lo tanto, se simplifica la estrategia de control, puesto que los módulos esclavos no necesitan utilizar ninguna medida ni de la tensión ni de la corriente, como ocurría con el control maestro-esclavo balanceado. Además, se ha planteado un gestor de esclavos basado en una ventana de histéresis que únicamente necesita información de la tensión de salida para su funcionamiento. Por último, también se ha simplificado el desfase óptimo entre módulos, haciendo que únicamente los módulos esclavos se desfasen entre sí, utilizando como señal de sincronismo la señal del módulo previo.

Sin embargo, esta técnica presenta tres inconvenientes, que pasan a citarse a continuación.

El primero es que, si bien es cierto que se simplifica el esquema de control para la etapa de potencia, la selección de la ventana de histéresis para conseguir gestionar la activación y desactivación de esclavos es crítica, y limita la respuesta dinámica del convertidor modular resultante.

El segundo gran inconveniente es la robustez del sistema. Al disponer únicamente de un módulo realimentado o en lazo cerrado, cualquier fallo en este módulo pondría en riesgo el funcionamiento del convertidor modular completo. Para minimizar este efecto, es cierto que pueden implementarse los sensores necesarios para lograr el control directo de frecuencia variable para todos los módulos, independientemente de que operen como maestro (realimentado) o como esclavos (sin realimentar). Así, ante un fallo, es posible sustituir el módulo maestro por un módulo esclavo, pasando este a estar realimentado, y lograr un funcionamiento degradado del convertidor modular completo. Sin embargo, con esta solución se pierde la ventaja de eliminar los sensores de tensión y de corriente en los módulos esclavos, ya que hay que implementar la posibilidad de que todos los módulos trabajen realimentados.

Por último, la tercera desventaja de esta técnica es que el módulo maestro siempre opera en condiciones de baja carga cada vez que se activa un módulo adicional. Bajo estas condiciones, su rendimiento es bajo, debido a las limitaciones que impone el modo QSW-ZVS. Por lo tanto,

aunque el rendimiento del convertidor modular resultante es mejor en comparación con la técnica balanceada, no es el óptimo desde el punto de vista de la operación a baja y media carga. Para mejorar este aspecto, se ha planteado la siguiente estrategia de control basada en una agrupación asimétrica.

4.4.2. TÉCNICA DE MAESTRO-ESCLAVO ASIMÉTRICA

4.4.2.1. Descripción e implementación

Como ya ha sido descrito en los dos apartados anteriores, el módulo elevador operando en modo QSW-ZVS posee unas limitaciones de funcionamiento que hacen que su rendimiento disminuya cuando este módulo tiene que operar a baja potencia. Este hecho se debe al paso a funcionamiento en MCC a frecuencia constante por debajo de un determinado nivel de potencia, como consecuencia de la limitación de la frecuencia de conmutación máxima permitida para este módulo. En la estrategia de control anterior, el módulo maestro puede operar en condiciones de baja carga (i.e. con la posibilidad de operar en MCC) siempre que un módulo esclavo se activa. Por lo tanto, durante determinados rangos de la potencia de salida, el rendimiento global del convertidor modular puede verse afectado por el bajo rendimiento del módulo maestro en los intervalos de encendido o apagado de un módulo esclavo.

Para minimizar este efecto, se va a proponer una estrategia de control denominada técnica de maestro-esclavo asimétrica. La idea fundamental que plantea esta estrategia de control es evitar que el módulo maestro opere en baja carga. Para ello, se rompe con la filosofía clásica de módulos idénticos que se ha planteado hasta ahora. Bajo la hipótesis de esta técnica de control asimétrica, el módulo maestro siempre estará activo (i.e. siempre procesará potencia) pero lo hará dentro de un rango de potencias determinado. Este rango vendrá definido por las condiciones o limitaciones de funcionamiento que imponga el módulo maestro, o mejor dicho, por el rango de potencias en el que su rendimiento sea lo suficientemente elevado. La potencia que deben suministrar los módulos esclavos puede ser distinta a la del módulo maestro, y, tanto esta potencia máxima como su rendimiento, se ajustarán para cumplir con el rango de funcionamiento del módulo maestro, así como para satisfacer las necesidades impuestas por la carga.

El funcionamiento del convertidor modular siguiendo esta estrategia de control asimétrica es prácticamente idéntico al caso de encendido secuencial. Al igual que antes, el módulo maestro será el único que opere realimentado o en lazo cerrado, mientras que los módulos esclavos lo harán sin realimentación o en lazo abierto. Cada módulo esclavo únicamente podrá permanecer en dos estados: apagado (sin procesar potencia) o encendido (procesando su potencia máxima, que aquí se ha denominado como P_{slave}). La secuencia de encendido y apagado de cada módulo

esclavo es similar al proceso de gestión de módulos descrito anteriormente para la técnica de encendido secuencial. Así pues, la única diferencia sustancial entre esta estrategia de control y la anterior es el hecho de que el módulo maestro únicamente opera en un determinado rango de potencias y que los módulos esclavos entreguen a una potencia máxima (P_{slave}) diferente a la potencia máxima del módulo maestro.

En la Figura 4.42 se ha representado el perfil de carga utilizado a modo de ejemplo para el convertidor modular IPOP, utilizando la estrategia de control de maestro-esclavo asimétrico. En este caso, se ha denotado la potencia máxima del maestro como P_{Mmax}. El rango de potencias de funcionamiento del módulo maestro será el comprendido entre P_{Mmax} y la potencia mínima, definida como la diferencia entre la potencia máxima del maestro y la potencia máxima del esclavo ($P_{Mmax} - P_{slave}$). Se ha supuesto un número de módulos esclavos igual a N_S.

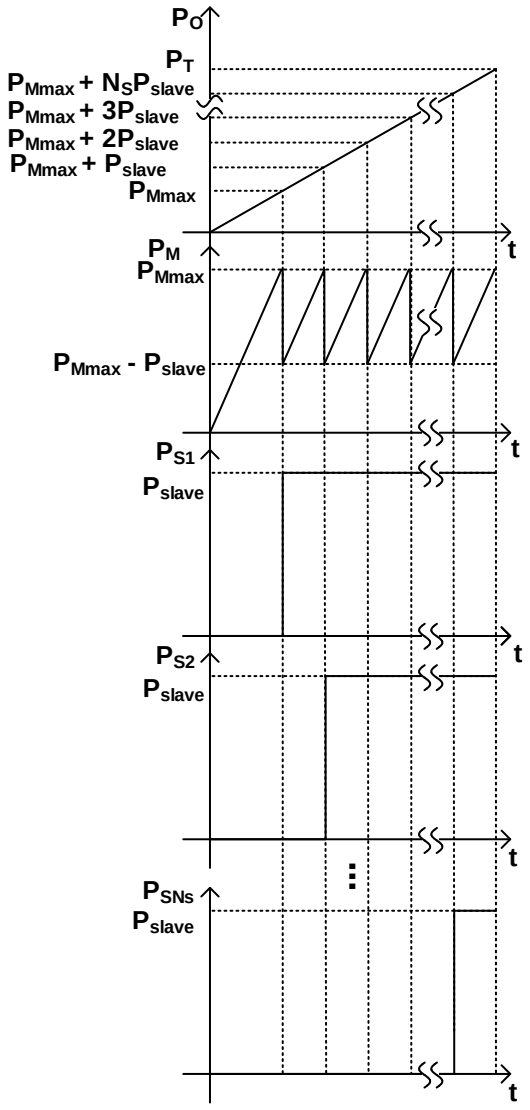


Figura 4.42. Ejemplo de perfil de carga para el convertidor modular IPOP con un control maestro-esclavo asimétrico.

Como puede verse en el ejemplo de la Figura 4.42, cuando el módulo maestro alcanza su potencia máxima (P_{Mmax}), se enciende un módulo esclavo. El módulo maestro reduce su potencia hasta el nivel mínimo ($P_{Mmax} - P_{slave}$) y continúa adaptando su nivel de potencia al reclamado por la carga del convertidor modular, manteniéndose en un punto de alto rendimiento. Este proceso se repite hasta que se alcanza la potencia máxima del convertidor modular (P_T), momento en el que los N_S módulos esclavos están encendidos y el módulo maestro se encuentra procesando su potencia máxima (P_{Mmax}). El proceso de apagado de módulos es inverso al mostrado en este ejemplo, y el perfil de potencia que maneja el módulo maestro será inverso al de la Figura 4.42.

Teniendo en cuenta este perfil de encendido y apagado y las potencias máximas de cada módulo, es posible establecer una serie de relaciones matemáticas que permiten caracterizar y diseñar el convertidor modular si se utiliza esta técnica de control asimétrica. Así, el número de esclavos totales vendrá determinado por la relación entre las potencias:

$$N_S = \frac{P_T - P_{Mmax}}{P_{slave}} \tag{4.4}$$

Al igual que en el caso anterior, es posible determinar las pérdidas totales del convertidor modular IPOP resultante utilizando esta técnica de control, particularizando la expresión (2.6) deducida en el capítulo 2 de esta tesis:

$$P_{LT-asim} = P_{LM} + n_{s-act} \cdot P_{Lslave} \tag{4.5}$$

en donde $P_{LT-asim}$ son las pérdidas totales del convertidor modular, P_{LM} son las pérdidas del módulo maestro, P_{Lslave} son las pérdidas del módulo esclavo y n_{s-act} es el número de módulos esclavos que se encuentran activos. El valor de n_{s-act} variará entre 0 y N_S conforme a la estrategia de encendido secuencial comentada anteriormente.

Además de las dos expresiones anteriores, sería interesante poder establecer alguna condición que permita optimizar esta técnica para conseguir un mayor rendimiento (i.e. unas menores pérdidas), especialmente si se compara esta técnica con la anterior. Para deducir esta condición de una manera sencilla, se ha comparado esta estrategia de control con la anterior, de tal manera que se ha supuesto que en ambas estrategias se utiliza el mismo módulo maestro (capaz de procesar hasta un máximo de P_{Mmax} de potencia), con el mismo rendimiento. Así, las pérdidas máximas del módulo esclavo quedan limitadas por las pérdidas del módulo maestro cuando este opera con un nivel de potencia P_{slave}. Matemáticamente, esta condición puede expresarse como

$$P_{Lslave} < k_{eff} \cdot \frac{n_{sec}}{n_{s-act}} \cdot P_{Ln-sec@Pslave} \quad (4.6)$$

en donde $P_{Ln-sec@Pslave}$ son las pérdidas del módulo maestro en el caso de encendido secuencial cuando procesa un nivel de potencia P_{Lslave} y el factor k_{eff} se utiliza únicamente como margen de mejora. Este factor es siempre menor o igual que 1. Así, con un valor $k_{eff} = 1$ se obtendrían las pérdidas máximas que deberá tener el módulo esclavo para conseguir con esta técnica el mismo rendimiento que con la técnica de encendido secuencial. Cualitativamente, la ecuación (4.6) establece que el rendimiento del módulo esclavo ha de ser mayor que el rendimiento del módulo maestro cuando este opera con un nivel de potencia igual a P_{Lslave}.

Por lo tanto, utilizando (4.6) se pueden extrapolar las pérdidas máximas que debe tener el módulo esclavo si se persigue que el rendimiento del convertidor modular sea mayor con la técnica asimétrica que con el encendido secuencial. No obstante, es posible diseñar el módulo esclavo para obtener un determinado rendimiento, ya que va a operar únicamente a plena carga. En ese caso, es posible despejar el parámetro k_{eff} de (4.6) para expresarlo en función del rendimiento del módulo esclavo, y obtener, de esta otra forma, el grado de mejora teórico en el rendimiento del convertidor modular. Por lo tanto

$$k_{eff} = \frac{P_{slave} \cdot (1 - \eta_{slave})}{\frac{n_s}{n_{s-act}} \cdot P_{Ln-sec@Pslave}} \quad (4.7)$$

Utilizando únicamente las expresiones anteriores es posible llegar al diseño del convertidor modular aplicando esta estrategia de control asimétrica. A continuación, se va a proponer un procedimiento para llegar a un diseño optimizado de esta técnica:

1. Determinar o estimar el rendimiento del módulo maestro en función de la potencia manejada.
2. Identificar el rango de funcionamiento del módulo maestro, en especial, el nivel de potencia mínima.
3. Conocido el anterior, determinar la potencia del módulo esclavo.
4. A partir de la potencia anterior, establecer el número de esclavos utilizando la expresión (4.4).
5. Determinar el rendimiento del módulo maestro para una potencia P_{slave}.
6. Calcular o estimar el rendimiento del módulo esclavo de tal forma que sea mayor que el obtenido en el punto anterior.
7. A partir del rendimiento del módulo esclavo, determinar el factor k_{eff} utilizando (4.7). Este procedimiento es iterativo y se debe repetir desde el paso 5 si no se cumple con el objetivo de mejora de rendimiento.

Con el objetivo de ilustrar mejor el proceso de diseño de esta estrategia de control, se ha realizado un ejemplo teórico basado en las especificaciones mostradas en la Tabla 4.2. Se ha fijado una potencia máxima del convertidor modular de 2kW. Bajo el planteamiento de la estrategia de control balanceada o de encendido secuencial, se utilizarían 4 módulos de 500W cada uno. Para realizar una comparativa de diseño más justa, se ha asumido que el módulo maestro en la técnica asimétrica es idéntico al módulo que se emplearía en el encendido secuencial y en el encendido balanceado. Por lo tanto, la potencia máxima del módulo maestro es de 500W.

Tabla 4.2. Especificaciones para el ejemplo de diseño de la estrategia asimétrica

Parámetro	Valor
Potencia total $\boldsymbol{P_T}$	2000W
Potencia de un módulo $\boldsymbol{P_n}$	500W
Número de módulos $\boldsymbol{N}$ (balanceado y secuencial)	4

El proceso de diseño de la técnica asimétrica comienza con la estimación o la medida del rendimiento del módulo maestro. En este caso, se ha utilizado el mismo modelo de pérdidas que se ha utilizado en el capítulo 3 del presente trabajo de tesis y que se encuentra detallado en el anexo A1. Utilizando este modelo teórico, se ha obtenido la curva de rendimiento mostrada en la Figura 4.43, cuyo desglose de pérdidas que se puede ver en la Figura 4.44.

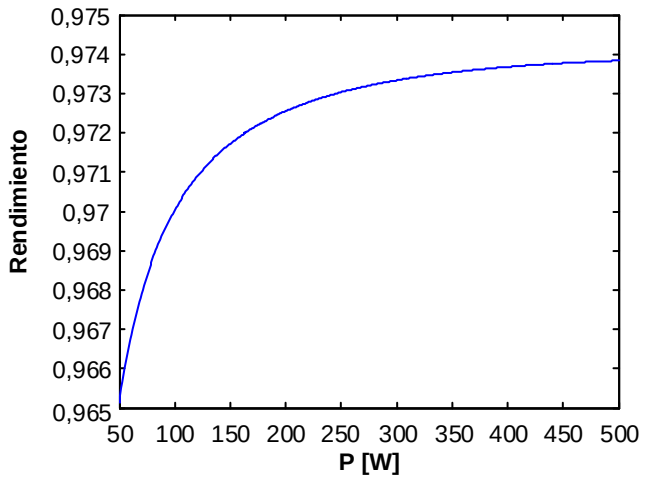


Figura 4.43. Rendimiento estimado para el módulo maestro.

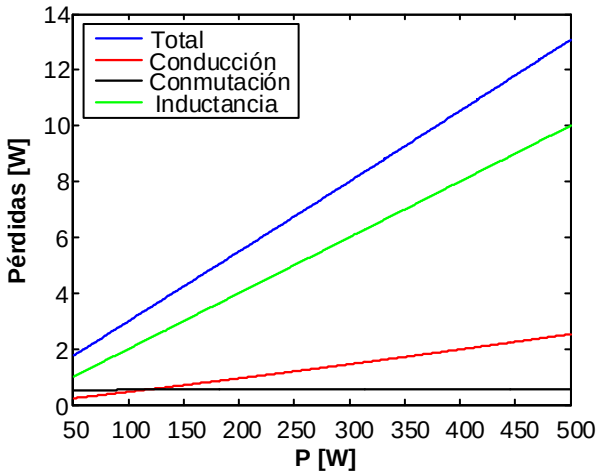


Figura 4.44. Desglose de pérdidas según el modelo teórico para el módulo maestro.

Una vez que es conocido el rendimiento del módulo maestro, el siguiente paso es establecer el límite inferior de la potencia a la que trabajará el módulo maestro. En el caso particular del módulo elevador QSW-ZVS, esta potencia mínima puede calcularse a partir de la frecuencia de conmutación máxima que se ha fijado por especificación para este convertidor. Para ello, puede utilizarse la ecuación (3.94). El valor se corresponde con un nivel de potencia de 200W, que marca la frontera de operación entre el modo QSW-ZVS a frecuencia variable y el paso a operación en MCC puro a frecuencia constante. En la Figura 4.45 se muestra que para un valor de potencia de 200W, el módulo maestro opera con un rendimiento del 97,25% aproximadamente. En esta misma figura puede observarse que para potencias inferiores a 200W el rendimiento del módulo maestro decrece notablemente, por el paso a operación en MCC, por lo que este valor resulta adecuado para este ejemplo.

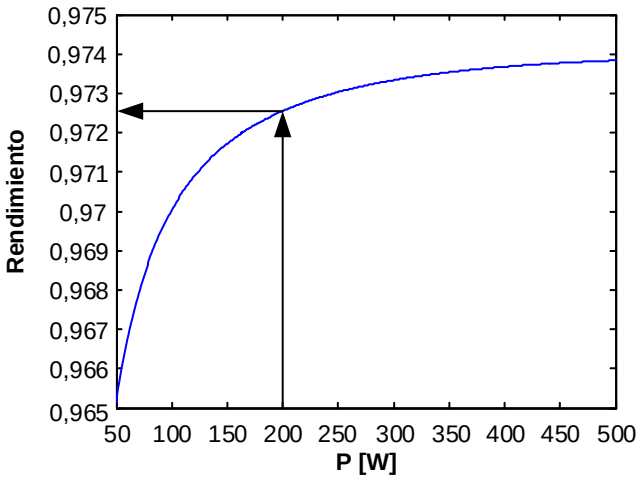


Figura 4.45. Determinación del nivel mínimo de potencia sobre la curva de rendimiento del módulo maestro.

Una vez que se conoce el nivel de potencia mínima del módulo maestro, el valor de la potencia que debe manejar el esclavo resulta inmediato, sin más que aplicar

$$P_{slave} = P_{Mmax} - P_{Mmin} \tag{4.8}$$

En este ejemplo, el valor de P_{slave} es de 300W. Una vez que se conoce la potencia que ha de manejar cada módulo esclavo, se procede a determinar el número de esclavos necesarios. Para ello se emplea la ecuación (4.4), siendo N_S en este caso de 5. Por lo tanto, el convertidor modular IPOP estará compuesto por 5 módulos de 300W, para un total de 1,5kW, y un módulo maestro de 500W.

El siguiente paso en el diseño pasa por determinar cuál ha de ser el rendimiento mínimo (o las pérdidas máximas) que debe tener el módulo esclavo para conseguir mejorar el rendimiento del convertidor modular IPOP en comparación con la técnica de encendido secuencial. Una forma de conseguir la cota inferior pasa por utilizar la ecuación (4.5) deducida anteriormente. No obstante, una segunda opción más sencilla se basa en el análisis del rendimiento del módulo maestro. Para ello, se busca el rendimiento teórico del módulo maestro cuando este opera a una potencia igual a P_{slave}. En la Figura 4.46 se puede observar el rendimiento teórico del módulo maestro cuando opera a 300W, cuyo valor es igual a 97,38%. Por lo tanto, el rendimiento mínimo que ha de tener el módulo esclavo es de 97,38%. Un rendimiento del módulo esclavo mayor que este valor implica una mejora en el rendimiento del convertidor modular IPOP con respecto a la técnica de encendido secuencial. Para el ejemplo de diseño desarrollado aquí, se ha fijado un rendimiento del módulo esclavo del 97,98%.

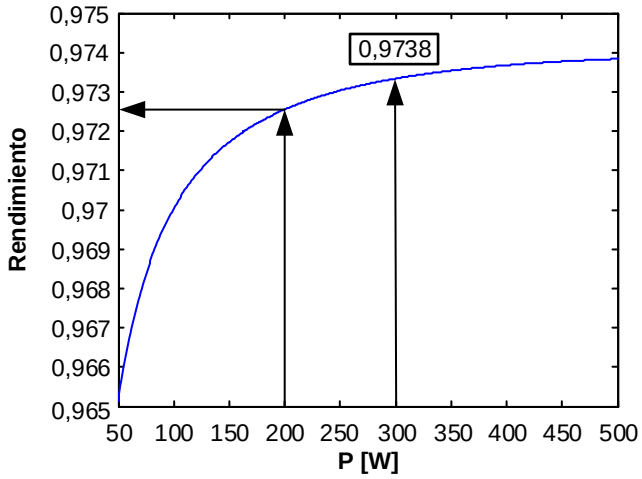


Figura 4.46. Determinación del rendimiento mínimo del módulo esclavo a partir del rendimiento del módulo maestro.

El último paso del diseño es establecer el grado de mejora conseguido. Para ello, se emplea el factor k_{eff}, que puede determinarse a partir de la ecuación (4.7) una vez que es conocido el rendimiento del módulo esclavo y el número de esclavos. Sustituyendo todos los valores descritos anteriormente, para este ejemplo $k_{eff} = 0{,}8$. Cuanto menor sea este valor, mayor será la mejora del rendimiento obtenida en el convertidor modular IPOP por utilizar esta técnica de control. Si

esta mejora no fuera suficiente (por las especificaciones impuestas al convertidor modular), es posible repetir el diseño desde el paso número 5 buscando un rendimiento más alto del módulo esclavo. Por último, en la Tabla 4.3 se resumen los principales parámetros de diseño de la técnica asimétrica para este ejemplo.

Tabla 4.3. Resumen de parámetros de diseño para la técnica maestro-esclavo asimétrica.

Parámetro	Valor
Potencia del módulo maestro $\boldsymbol{P_M}$	500W
Potencia del módulo esclavo $\boldsymbol{P_{slave}}$	300W
Número de módulos esclavos $\boldsymbol{N_S}$	5
Rendimiento del módulo esclavo $\boldsymbol{\eta_S}$	97,98%

Es importante destacar que esta técnica utiliza exactamente el mismo esquema de bloques y la misma gestión de módulos basada en la ventana de histéresis de la tensión de salida que la técnica de encendido secuencial. Todos ellos ya han sido explicados anteriormente. Una vez más, se recuerda que la única diferencia entre esta técnica y la anterior radica exclusivamente en la potencia que manejan los módulos esclavos y su diseño.

4.4.2.2. Resultados experimentales

Para comprobar el funcionamiento de la técnica maestro-esclavo asimétrica, se ha seguido el diseño que se ha recogido en el apartado anterior. En primer lugar, se ha construido un módulo esclavo para procesar una potencia máxima de 300W en modo QSW-ZVS. Para ello, se ha utilizado el análisis estático del capítulo 3 que se utilizó cuando se construyó el módulo de 500W. En este caso, el valor de la inductancia es diferente, siendo necesario un valor de 138µH (para el módulo de 500W este valor se situaba en 97µH). Para construir esta inductancia se ha utilizado el proceso de optimización recogido en el anexo A2 y comentado en el capítulo 3. En este caso, esta inductancia emplea un núcleo ETD39, ligeramente más pequeño que el empleado en el módulo de 500W. Una fotografía de esta inductancia puede verse en la Figura 4.47. Los transistores que resultan ser óptimos desde el punto de vista la minimización de las pérdidas, son los mismos modelos que los utilizados en el módulo de 500W (SPW47N60CFD de Infineon). Además, se han empleado los mismos condensadores tanto de entrada como de salida, puesto que las tensiones son idénticas en ambos módulos y la frecuencia de conmutación se ha fijado en 100kHz. Se recuerda que este módulo esclavo opera a frecuencia de conmutación constante.

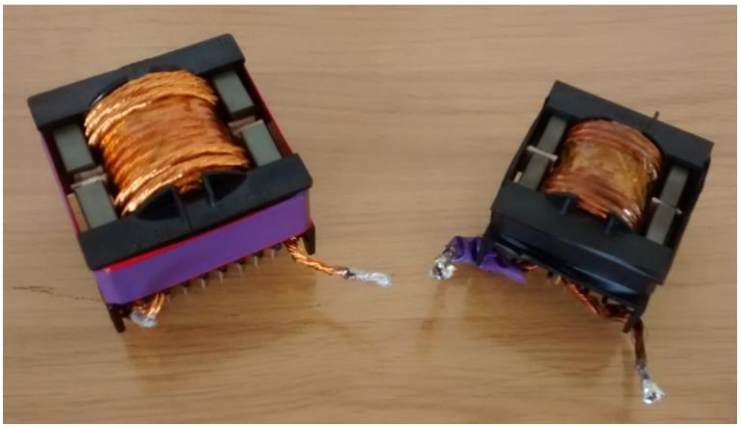


Figura 4.47. Fotografía de la inductancia construida para el módulo esclavo de 300W (a la derecha) en comparación con la inductancia del módulo maestro de 500W (a la izquierda).

Una vez que se construyó un módulo esclavo, se midió el rendimiento del mismo cuando opera a plena carga (300W). No debe olvidarse que estos módulos esclavos únicamente poseen dos estados de funcionamiento: o apagados (sin procesar potencia) o encendidos procesando su máxima potencia (300W). El rendimiento medido para el módulo esclavo fue de 98,69%, lo que cumple con el requisito impuesto por el diseño de la técnica de control (se recuerda que el módulo esclavo debía tener un rendimiento mayor de 97,98% para lograr alguna mejora en el rendimiento del convertidor modular IPOP). A modo de ejemplo, en la Figura 4.48 se recoge una captura del osciloscopio con las principales formas de onda de operación del módulo esclavo cuando opera a plena carga.

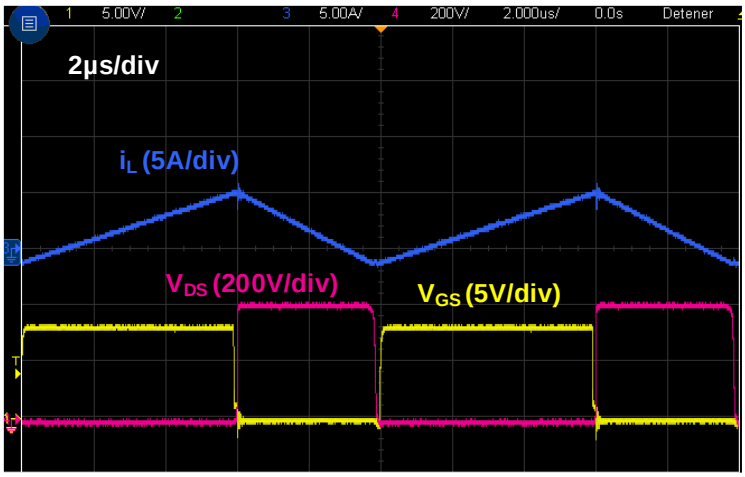


Figura 4.48. Captura del osciloscopio con las principales formas de onda de operación del módulo esclavo de 300W.

Una vez que se comprobó el funcionamiento de un módulo esclavo, se construyeron los 4 módulos restantes. En la Figura 4.49 se muestra una fotografía de los 6 módulos utilizados en este apartado para comprobar el funcionamiento de la técnica maestro-esclavo asimétrica.

El rendimiento medido del convertidor modular IPOP utilizando esta técnica de control puede verse en la Figura 4.50, en donde se ha comparado con los rendimientos obtenidos con las otras dos técnicas de control utilizadas anteriormente.

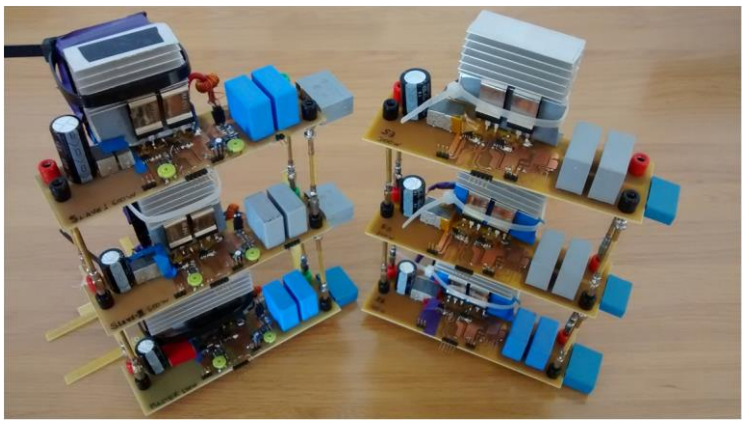


Figura 4.49. Fotografía del convertidor modular IPOP formado por los 6 módulos, 5 módulos esclavos y 1 módulo maestro.

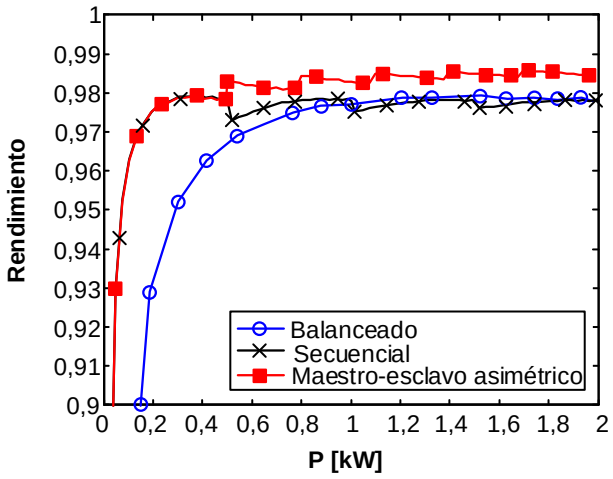


Figura 4.50. Comparativa del rendimiento medido con la técnica de maestro-esclavo asimétrico junto con las técnicas de control de encendido secuencial y control balanceado.

Como puede apreciarse en la Figura 4.50, la técnica de control de maestro-esclavo asimétrico mejora a las dos anteriores entre unos niveles de potencia de 500W y 2kW. La mejora obtenida es de entre 0,5 y prácticamente 1,5 puntos. A plena carga, el rendimiento medido utilizando esta técnica es del 98,4%. Cabe destacar que para menos de 500W, el rendimiento medido es idéntico al obtenido por la técnica de encendido secuencial. Este hecho se debe a que cuando el convertidor modular IPOP opera con menos de 500W, ambas técnicas utilizan un único módulo (en ambos casos, el módulo maestro de 500W). Por lo tanto, es lógico que ambas técnicas obtengan los mismos resultados. También pueden observarse una serie de “escalones” en el rendimiento medido, al igual que ocurría en el caso del control de encendido secuencial. Estos saltos se corresponden con el encendido de un módulo maestro y pueden verse para niveles de potencia de 500W, 800W, 1,1kW, 1,4kW y 1,7kW respectivamente.

Para finalizar, cabe destacar que las formas de onda de funcionamiento cuando el convertidor modular opera a plena carga son similares a las mostradas anteriormente en las distintas técnicas de control, puesto que los módulos esclavos se entrelazan de igual forma que lo hacían en los casos anteriores. No obstante, sí que tiene interés destacar el funcionamiento de un único módulo esclavo funcionando conjuntamente con el módulo maestro. Para ilustrar este caso, en la Figura 4.51 se recoge una captura del osciloscopio con la corriente por la inductancia del módulo maestro y de un módulo esclavo cuando el convertidor modular maneja 500W. En este punto de operación, el módulo maestro se encuentra procesando 200W y el módulo esclavo 300W. Como puede observarse en las formas de onda de la corriente, las señales de control de ambos módulos no están sincronizadas y el desfase entre ambos módulos no es óptimo. Como ya se citó en el apartado anterior, esto se debía a que el módulo maestro opera a frecuencia de conmutación variable, mientras que los módulos esclavos operan a frecuencia de conmutación constante. Este hecho ha de tenerse en cuenta cuando se aplica esta técnica de control.

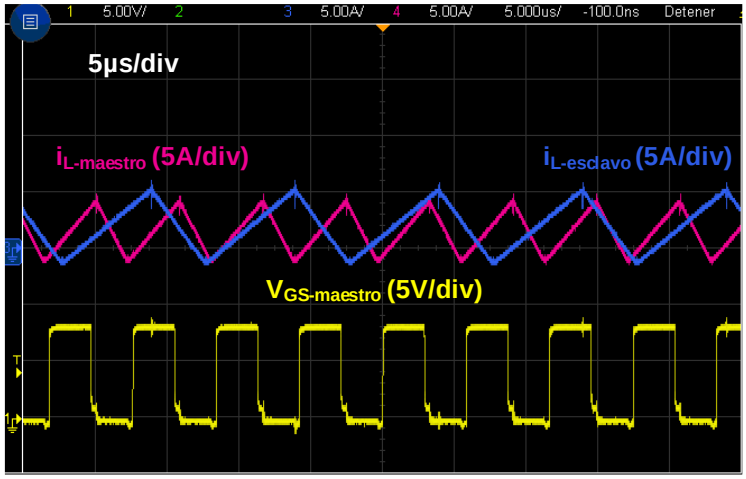


Figura 4.51. Captura del osciloscopio en la que se muestra la corriente que maneja el módulo maestro y la corriente del módulo esclavo cuando la potencia demandada es de 500W (el módulo maestro procesa 200W y el módulo esclavo 300W).

4.4.2.3. Ventajas y desventajas

La ventaja obvia de esta estrategia de control respecto a la anterior es la mejora en el rendimiento conseguida como consecuencia de la operación del módulo maestro en un rango óptimo de potencias, evitando aquellas regiones o potencias en las que su rendimiento es netamente peor. Además, esta mejora también depende de la optimización del esclavo desde el punto de vista de su rendimiento.

Alcanzado este punto, cabe realizar una importante reflexión sobre el hecho de que los módulos esclavos trabajen en un único punto y con una potencia inferior a la del módulo maestro. Debido a la operación sin realimentación o en lazo abierto a plena carga, el módulo esclavo puede

optimizarse mucho mejor que le módulo maestro. Así, tanto la selección de componentes como sus características pueden ajustarse mucho mejor al trabajo en plena carga. Por otro lado, en el caso particular de este trabajo de tesis, el módulo esclavo puede obtener un rendimiento mayor que el módulo maestro operando a P_{slave} en base a las propiedades del modo QSW-ZVS. En el capítulo 3 del presente trabajo de tesis, ya se demostró que en un convertidor operando en modo QSW-ZVS a frecuencia de conmutación variable, la frecuencia aumentaba cuando la potencia que procesaba este módulo disminuía. Como estrategia de diseño, se imponía una determinada frecuencia de conmutación nominal a plena carga (en el marco de esta tesis, 100kHz). Teniendo en cuenta este hecho, cuando el módulo maestro procesa una potencia P_{slave} su frecuencia de conmutación es mayor que la frecuencia de conmutación a plena carga. Sin embargo, cuando el módulo esclavo procesa este nivel de potencia máxima opera a frecuencia de conmutación nominal fija, pudiendo optimizar ésta en función de las pérdidas. Una mayor frecuencia de conmutación implica un mayor nivel del valor eficaz en las corrientes y, por lo tanto, mayores pérdidas de conducción. El incremento en la frecuencia de conmutación también implicaría mayores pérdidas de conmutación, pero en este modo en particular, estas pérdidas no son significativas y su peso en el total de las pérdidas del convertidor es bajo en comparación con otro tipo de pérdidas. Además de este hecho, el diseño del modo QSW-ZVS es distinto en función de la potencia máxima a procesar y no sólo afecta al valor de la frecuencia de conmutación nominal, sino también al diseño del valor de la inductancia (véase el algoritmo de diseño planteado en el capítulo 3). Por lo tanto, una menor potencia máxima permite diseñar el módulo esclavo con una frecuencia de conmutación menor, una menor inductancia y permite seleccionar de manera óptima los componentes para las condiciones de funcionamiento. Por lo anteriormente comentado, puede obtenerse un rendimiento mayor en los módulos esclavos. De hecho, esta conclusión se refrendará con los resultados experimentales que se presentarán al final de este capítulo.

Cabe citar, también, otra ventaja si se compara esta técnica con la anterior. Esta técnica es idéntica a la anterior desde el punto de vista del control. Por lo tanto, es posible reutilizar toda la etapa de control planteada para el caso anterior y adaptarla de una manera muy sencilla a este caso.

También existen una serie de desventajas inherentes a esta técnica de control.

La primera, y más obvia, es que esta técnica utiliza un número mayor de módulos (para el ejemplo desarrollado anteriormente, se pasa de 4 módulos a 6). Este incremento en el número de módulos puede penalizar el volumen o el coste, que son dos aspectos restrictivos en el convertidor modular IPOP.

Una segunda desventaja, es que el diseño de los módulos de esta estrategia de control es más complejo que el anterior. Este diseño pasa obligatoriamente por conocer el rendimiento del módulo maestro e identificar el rango de operación óptimo en el mismo. En el caso del módulo empleado en el presente trabajo de tesis, la potencia mínima es relativamente fácil de calcular a partir de las condiciones impuestas en el análisis estático del modo QSW-ZVS. En otro tipo de topologías puede resultar más complejo. En aquellas topologías que hagan uso de conmutaciones suaves, también resulta sencillo encontrar un límite mínimo de potencia en base a la condición de pérdida de las conmutaciones suaves. En aquellas topologías que no hagan uso de las conmutaciones suaves, no es tan sencillo y los criterios de búsqueda de la potencia mínima únicamente atienden a la estimación o cálculo del rendimiento del módulo maestro. Ligado a este proceso, el rendimiento mínimo del módulo esclavo también depende del rendimiento del módulo maestro, y éste puede no ser sencillo de medir. Aunque sí sea posible estimarlo mediante algún modelo, este daría una información aproximada y habría que utilizar unos márgenes de seguridad en el rendimiento del módulo esclavo, si se persigue mejorar el rendimiento del convertidor modular.

La tercera desventaja es que esta técnica de control posee las mismas limitaciones que la anterior en términos de robustez y dinámica de control. Puesto que en este caso se utiliza un esquema idéntico al caso del encendido secuencial, la robustez y la dinámica son las mismas que las de aquél caso, siendo válidas las mismas conclusiones extraídas para el encendido secuencial.

La última desventaja que cabe citar es que esta estrategia de control tampoco proporciona el rendimiento más óptimo frente a un perfil de carga. La mejora del rendimiento no sólo pasa por obtener módulos esclavos más eficientes, sino por operar el módulo maestro en un rango de potencias determinado. Cuanto más amplio sea este rango, menor será el rendimiento del módulo maestro y viceversa, cuanto menor sea el rango, mayor será este rendimiento. La pregunta que surge de esta reflexión es si resultaría posible obtener alguna estrategia de control en la que este rango fuera infinitamente estrecho. O, planteado de otra manera, si resultaría posible conseguir un modo de operación en el que los módulos únicamente operasen en un punto y fuese, además, el de mayor rendimiento posible. Tratando de dar respuesta a esta pregunta, se ha desarrollado la siguiente estrategia de control.

4.4.3. TÉCNICA DE ENCENDIDO INTERMITENTE O POR HISTÉRESIS

4.4.3.1. Descripción e implementación

La técnica de encendido intermitente pasa por hacer trabajar a todos los módulos en su punto de máximo rendimiento, coincidiendo este en la mayoría de los casos, con el punto de máxima potencia. Por lo tanto, en esta técnica de control, cada módulo sólo puede estar en dos estados: o bien apagado (sin procesar potencia), o bien encendido (procesando la potencia máxima). Esta estrategia de control se basa el regulador conmutado secuencial (en su terminología inglesa *sequential switching shunt regulator*, en adelante S3R) [4.24] y [4.25]. En este tipo de reguladores, se conmutan dos o más fuentes de corriente lineales para alimentar una determinada carga, regulando la tensión mediante un control por histéresis. Debido a esto, esta técnica también puede conocerse como técnica de control por histéresis.

Al igual que en el caso del S3R, en este caso cada módulo juega el papel de fuente de corriente, puesto que operará con un determinado periodo de conmutación y un determinado t_{on} en el caso del elevador operando en modo QSW-ZVS. A diferencia de las técnicas anteriores, en este caso no existe una realimentación tradicional del sistema, sino que la tensión de salida viene regulada por una ventana de histéresis que se ha fijado previamente en la etapa de control. Según esta ventana de histéresis, la etapa de control encenderá o apagará módulos para mantener la tensión de salida en un determinado rango, como ya se ha realizado para la técnica anterior. En este sentido, distintos autores ya han propuesto técnicas de control por histéresis, tanto para un único convertidor [4.26]-[4.27], como para convertidores modulares [4.28]-[4.30].

Esta técnica de control puede verse como un caso extremo de cualquiera de las dos anteriores, en donde todos los módulos pasan a ser módulos esclavos y únicamente se gestiona su encendido y apagado para regular la tensión de salida, siguiendo un algoritmo similar al propuesto para activar o desactivar los módulos esclavos. Como en resto de las técnicas expuestas en este apartado, en la Figura 4.52 se muestra el mismo ejemplo del perfil de carga para la técnica de encendido intermitente. Al igual que ocurría en el caso del encendido secuencial, es posible aplicar el encendido intermitente sobre varios módulos de forma rotatoria o sólo sobre un módulo. Por simplicidad, se ha decidido que sea sólo un módulo el que se encienda y apague de manera intermitente. En el ejemplo mostrado, se ha tomado N módulos iguales para procesar una potencia total de P_T, siendo, cada módulo, capaz de procesar una potencia de P_T/N (exactamente igual al caso de control balanceado). Como puede observarse, cuando la potencia reclamada por la carga es menor que P_T/N, únicamente un módulo permanece encendido de forma intermitente (puesto que la potencia máxima que puede aportar el módulo siempre es mayor que la potencia reclamada por la carga). Cuando la potencia varía entre P_T/N y $2 \cdot P_T/N$, se encienden dos

módulos: uno de ellos permanece siempre encendido y el otro se enciende de manera intermitente para satisfacer la demanda de potencia. Este proceso se repite hasta alcanzar la potencia máxima del convertidor modular, y se invierte el proceso cuando la carga disminuye.

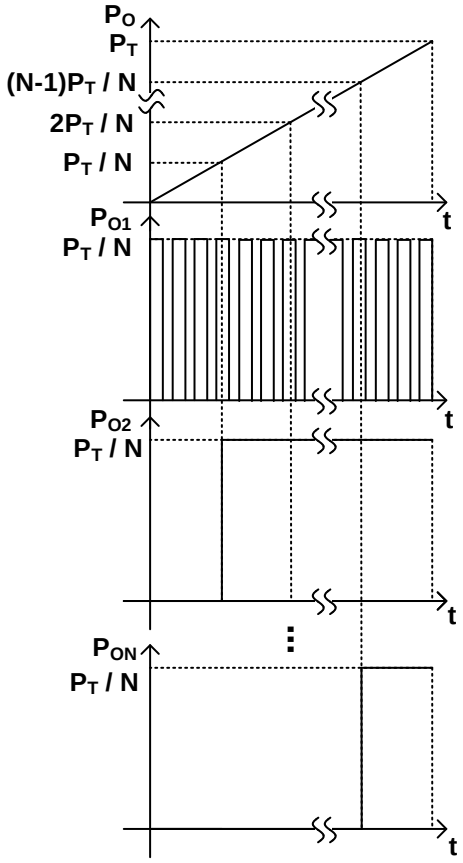


Figura 4.52. Ejemplo de perfil de carga para el convertidor modular IPOP con un control de encendido intermitente.

Como en los casos anteriores, es posible encontrar una expresión teórica de las pérdidas del convertidor modular cuando se aplica esta técnica de control, particularizando de nuevo la ecuación (2.6) deducida en el capítulo 2. Las pérdidas para esta técnica son

$$P_{LT-hist} = \frac{t_{onHist}}{T_{Hist}} \cdot P_{Ln@Pmax} + (n_{s-hist} - 1) \cdot P_{Ln@Pmax} \tag{4.9}$$

donde $P_{Ln@Pmax}$ son las pérdidas del módulo operando a plena potencia y n_{s-hist} es el número de módulos activos. Este valor variará entre 1 y N, siendo N el número total de módulos que forman el convertidor modular. La ecuación (4.9) es una aproximación de las pérdidas totales, puesto que no se ha tenido en cuenta las pérdidas adicionales introducidas durante los transitorios de encendido y apagado. Pese a ello, la ecuación (4.9) resulta ser una buena aproximación para valorar las pérdidas del convertidor modular en este caso. En el anexo A5 se detalla la deducción de esta expresión y se realiza una segunda aproximación de las pérdidas teniendo en cuenta los intervalos transitorios de encendido y apagado del módulo de encendido intermitente.

El funcionamiento del control por histéresis para conseguir el encendido intermitente es análogo al comentado en la Figura 4.36. No obstante, en este caso se ha extendido este control con una ventana de histéresis con varios niveles. Cada nivel de histéresis permite detectar cuándo debe activarse o desactivarse uno o más módulos. En la Figura 4.53 se recoge un ejemplo de activación y desactivación de un único módulo. Para ello, se ha supuesto un salto de carga desde una potencia P_1 hasta una potencia P_2, siendo $P_1 = P_{nmax}$ y $P_{nmax} < P_2 < 2 \cdot P_{nmax}$, donde P_{nmax} representa la potencia máxima que puede manejar un módulo. Este salto únicamente requiere el encendido de otro módulo adicional. Por lo tanto, cuando se produce el salto de carga, la tensión de salida tiende a bajar (se recuerda que los módulos trabajan como fuentes de corriente constantes y sin realimentar). Cuando la tensión de salida es igual al primer nivel de histéresis (V_{LH}), se activa un módulo adicional, que hace subir la tensión de salida. Cuando la tensión alcanza el valor V_{HL}, se desactiva el módulo, haciendo que la tensión vuelva a bajar. Este proceso se repite hasta que la potencia vuelva a cambiar a P_1 en el ejemplo propuesto.

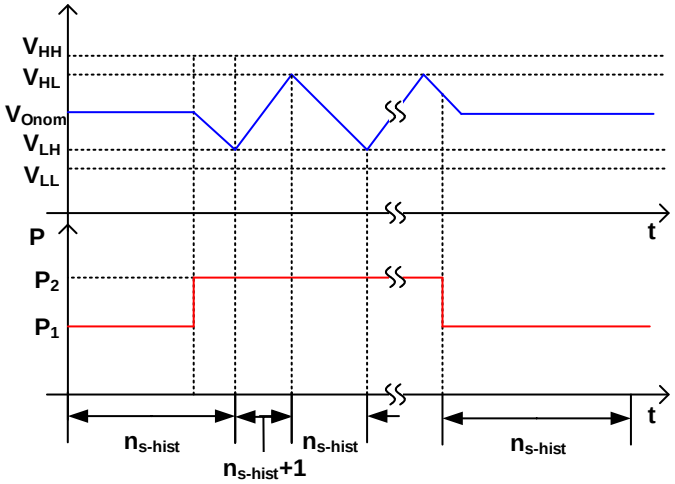
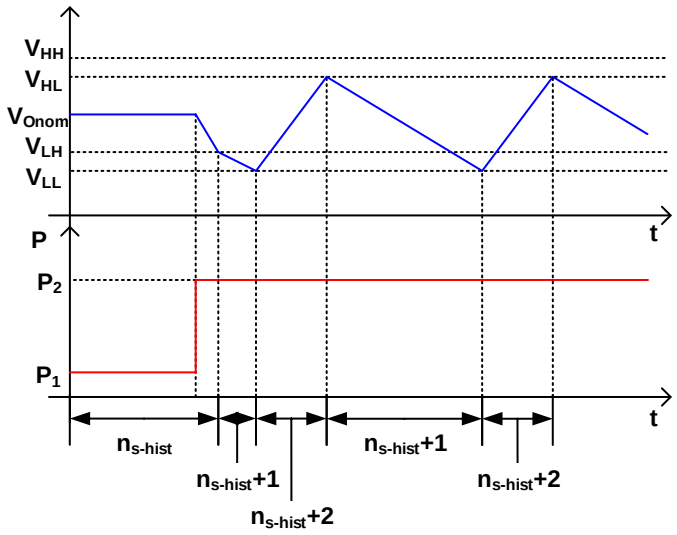


Figura 4.53. Ejemplo del control por histéresis para el encendido intermitente frente a un salto de carga pequeño.

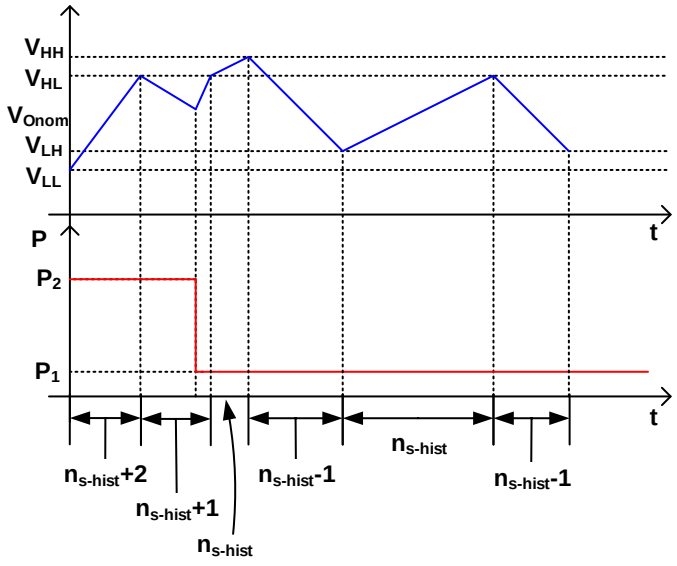
Otro escenario que puede plantearse es un salto de potencia mayor. En la Figura 4.54 se muestra un ejemplo de un salto de carga entre dos potencias P_1 y P_2, siendo esta vez $P_1 < P_{nmax}$ y $2 \cdot P_{nmax} < P_2 < 3 \cdot P_{nmax}$. En la Figura 4.54(a) se puede ver la transición de P_1 a P_2. En este caso se parte de n_{s-hist} módulos activos. Cuando la potencia aumenta, la tensión de salida disminuye al igual que en el caso anterior, aunque de una forma más abrupta (la corriente demandada por la carga es mucho mayor de la que aportan los n_{s-hist} módulos). Al igual que en el caso anterior, cuando la tensión alcanza el valor de V_{LH}, se enciende un módulo adicional. Como la corriente demandada es aún mayor que la que pueden aportar $n_{s-hist} + 1$ módulos, la tensión de salida continuará bajando, aunque más lentamente. Cuando la tensión alcance el valor de V_{LL}, se enciende un segundo módulo. Ahora, con $n_{s-hist} + 2$ módulos, la corriente aportada es mayor que la reclamada por la carga, con lo que la tensión de salida subirá. Cuando ésta alcance

el valor de V_{HL}, se desactivará un módulo y la tensión de salida volverá a bajar hasta el valor V_{LH}, momento en el que se encenderá de nuevo.

La transición inversa, de potencia P_2 a P_1 es análoga al caso anterior. Esta transición se ha representado en la Figura 4.54(b). En este caso, ante el salto de potencia la tensión subirá hasta un nivel V_{HL}, momento en el que se desactivará un módulo. Como los n_{s-hist} módulos proporcionan mayor corriente que la reclamada, la tensión seguirá subiendo hasta el valor V_{HH}, momento en el que se desactivará otro módulo más, llegando a la situación final.



(a)



(b)

Figura 4.54. Ejemplo del control por histéresis para el encendido intermitente frente a un salto de carga grande. (a) Transición de menos potencia a más potencia. (b) Transición de más potencia a menos potencia.

Como ha podido observarse, existen dos niveles adicionales de histéresis para definir otra ventana más amplia para la activación y desactivación de varios módulos. Al igual que en el caso del encendido secuencial o de la estrategia anterior de maestro-esclavo asimétrica, la selección de esta ventana de histéresis es crítica, y la elección de los valores V_{HH}, V_{HL}, V_{LH} y V_{LL} no es sencilla. Como ya se comentó anteriormente, una ventana muy estrecha consigue unos rizados en la tensión de salida bajos y unas sobre-oscilaciones pequeñas. Sin embargo, valores muy próximos en las tensiones de histéresis pueden acarrear activaciones y desactivaciones no deseadas, pudiendo entrar el convertidor modular en un modo de funcionamiento no deseado. Si se opta por una ventana de histéresis más amplia, este problema se minimiza, pero lo hace a costa de tener un rizado en la tensión de salida mayor y unas sobre-oscilaciones mayores. Como ya se citó al describir la técnica de encendido secuencial, se ha de alcanzar una solución de compromiso para escoger cuidadosamente esta ventana de histéresis en función de las características anteriores.

El esquema de bloques utilizado para esta técnica de control es análogo al de la técnica de encendido secuencial, que se mostró en las Figura 4.37 y Figura 4.38. Únicamente ha de tenerse en cuenta que aquí el módulo maestro opera sin realimentar o en lazo abierto y por lo tanto, no hace uso de las señales ZVD y ZCD. El gestor de módulos incorpora ahora los cuatro niveles de histéresis y la lógica explicada anteriormente. La conexión de los módulos y de las señales de control se hace de igual forma que en la técnica de encendido secuencial, cuyo esquema se mostró en la Figura 4.40. Las mismas consideraciones que se han tenido en cuenta para la generación del desfase óptimo en aquella técnica, siguen siendo válidas en esta estrategia de control. Téngase en cuenta que ahora todos los módulos operan a frecuencia de conmutación constante. Por lo tanto, es posible desfasar de manera óptima todos los módulos y conseguir el rizado mínimo en la corriente de entrada.

4.4.3.2. Resultados experimentales

Una vez más, para validar la técnica de control propuesta, se ha utilizado en este caso los cuatro módulos de 500W empleados en las técnicas de control balanceado y la técnica de control de encendido secuencial. No se ha realizado ninguna variación en la etapa de potencia, y únicamente se ha cambiado el algoritmo de control según lo descrito en el apartado anterior. Así, en la Figura 4.55 se muestra el rendimiento obtenido por esta técnica de control junto con los rendimientos medidos en los anteriores casos. En primer lugar, ha de destacarse que la medida de rendimiento para esta técnica de control es menos precisa que en casos anteriores. Esto se debe al funcionamiento intermitente del módulo maestro. Los multímetros utilizados proporcionan una medida promediada tanto de la tensión como de la corriente, por lo que se obtiene un valor

promedio tanto de la potencia media de entrada como de la potencia media de salida. Esta medida es válida en el marco de esta comparativa, pero si se quiere obtener una medida más precisa del rendimiento teniendo en cuenta las pérdidas del módulo maestro en el arranque y en apagado, habría que utilizar otro sistema de medida. Teniendo en cuenta este hecho, puede observarse que la técnica de encendido intermitente mejora a todas las anteriores para niveles de potencia inferiores a 1,5kW. La mejora que plantea esta técnica de control se hace más evidente cuando el convertidor maneja baja potencia, logrando un rendimiento casi 2 puntos mayor en comparación con el resto de las técnicas para un nivel de potencia de 200W. No obstante, a plena carga (entre 1,5kW y 2kW) el rendimiento obtenido por esta técnica de control no mejora al obtenido con la técnica de maestro-esclavo asimétrica, situándose el rendimiento a plena carga en un 98,1% aproximadamente. Este hecho se debe a que en la técnica maestro-esclavo asimétrica se están empleando dos módulos más, con lo que el rendimiento total del convertidor modular siempre resultará ser mejor que cualquier opción basada en 4 módulos debido a las leyes de escala. No obstante, si se compara con las otras dos técnicas de control (encendido secuencial y balanceada) que utilizan el mismo número de esclavos, la técnica de encendido intermitente mejora el rendimiento obtenido por estas dos otras técnicas. Por último, cabe destacar que, una vez más, pueden observarse los escalones en el rendimiento medido a medida que se van encendiendo módulos esclavos.

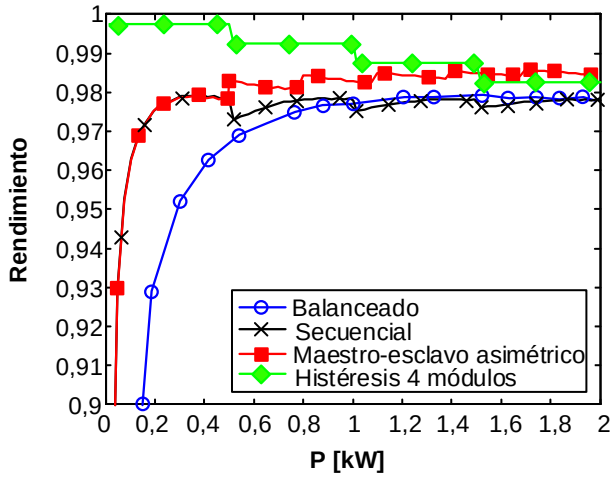


Figura 4.55. Comparativa del rendimiento medido con la técnica de control de encendido intermitente junto con el rendimiento obtenido por las anteriores técnicas de control.

4.4.3.3. Ventajas y desventajas

Desde el punto de vista del rendimiento, esta técnica resulta la más óptima de todas, puesto que hace funcionar a todos los módulos en el punto de rendimiento máximo, evitando cualquier rango de potencias en el que el rendimiento caiga.

Por otra parte, esta estrategia de control es relativamente sencilla de implementar, puesto que no requiere una realimentación del sistema ni un modo de operación a frecuencia variable (como sí ocurre en los anteriores casos). Aquí todos los módulos operan a frecuencia constante sin realimentar, simplificando aún más su funcionamiento si se compara con cualquiera de las técnicas anteriores. Además, gracias a este modo de funcionamiento, es posible conseguir un desfase óptimo entre los módulos y, por lo tanto, un rizado en la corriente de entrada mínimo, lo que es una ventaja frente a la técnica de encendido secuencial y a la estrategia de maestro-esclavo asimétrico.

Esta técnica también comparte con la estrategia de control balanceado la sencillez en el diseño de los módulos (módulos idénticos, operación y funcionamiento de cada módulo en las mismas condiciones, etc.). Este hecho le confiere una mayor robustez que las dos técnicas anteriores, puesto que ante el fallo de un módulo, el convertidor modular únicamente degrada su funcionamiento de manera automática, sin la necesidad de implementar un cambio de maestro o similar. No sólo eso, sino que el funcionamiento de los módulos a potencia máxima le confiere un punto de robustez adicional, puesto que los elementos que forman el módulo siempre se ven sometidos a las mismas condiciones de funcionamiento. Por esta razón, puede verse como una ventaja a tener en cuenta frente a otras estrategias de control.

Sin embargo, estas ventajas se consiguen a costa de tener un control por histéresis que causa un rizado en la tensión de salida. Este rizado debido a la histéresis puede ser restrictivo en aquellos casos en los que se busque una regulación en la tensión de salida con un rizado muy bajo. También hay que tener en cuenta que los transitorios en el control por histéresis pueden limitar la respuesta dinámica del convertidor modular si opera siguiendo esta estrategia de control. Como ya se ha podido ver anteriormente, cuanto mayor sea el salto de carga, mayores serán los niveles de histéresis necesarios para activar o desactivar un mayor número de módulos. Llevado al límite, el número máximo de niveles de tensión de histéresis necesarios sería el doble del número total de módulos ($N-1$ niveles altos y $N-1$ niveles bajos). Por lo tanto, a mayor número de módulos, mayores niveles de tensión y mayores sobre-oscilaciones y tiempos de transición frente a saltos de carga. A este hecho hay que sumar que la selección de los niveles de histéresis no es obvia y afecta directamente al comportamiento del convertidor modular, siendo uno de los aspectos más críticos en el diseño e implementación de esta técnica de control.

Por último, cabe citar como otro inconveniente de esta técnica que el encendido y apagado de un convertidor es crítico, puesto que se somete a todos los componentes a unas mayores sobre-tensiones y sobre-corrientes que en su funcionamiento habitual. Este hecho puede provocar unas pérdidas mayores durante el arranque y un deterioro de la respuesta dinámica del convertidor modular IPOP.

4.4.4. RESUMEN Y COMPARATIVA DE LAS TÉCNICAS DE CONTROL PROPUESTAS

Una vez que se han detallado las cuatro estrategias de control posibles para el convertidor modular IPOP, en este apartado se recoge un resumen y una comparativa del rendimiento de todas ellas.

Los parámetros de diseño para cada estrategia de control se han resumido en la Tabla 4.4. En el caso de la técnica de encendido intermitente se han tomado dos casos: uno de ellos el comentado anteriormente para 4 módulos y un segundo caso en el que se han empleado los 6 módulos (5 módulos de 300W y un módulo de 500W) con el objetivo de obtener una comparativa más justa con la técnica de control maestro-esclavo asimétrico.

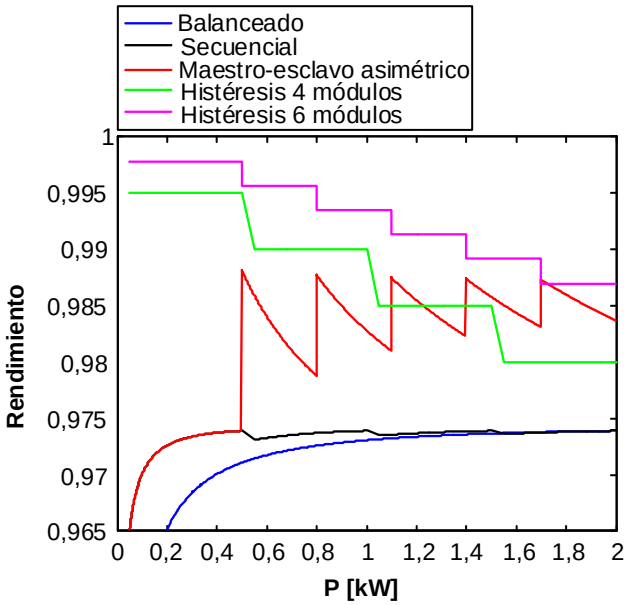
Tabla 4.4. Resumen de los principales parámetros de diseño para cada una de las estrategias de control.

Estrategia de control	Balanceado	Encendido secuencial	Maestro-esclavo asimétrico	Encendido intermitente
Parámetros de diseño	**Parámetro** **Valor** P_n 500W N 4	**Parámetro** **Valor** P_M 500W P_{slave} 500W N_S 3 N 4	**Parámetro** **Valor** P_M 500W P_{slave} 300W N_S 5 η_S 97,98% N 6	**Parámetro** **Valor** P_n 500W N 4 **Parámetro** **Valor** P_n 300W N 6

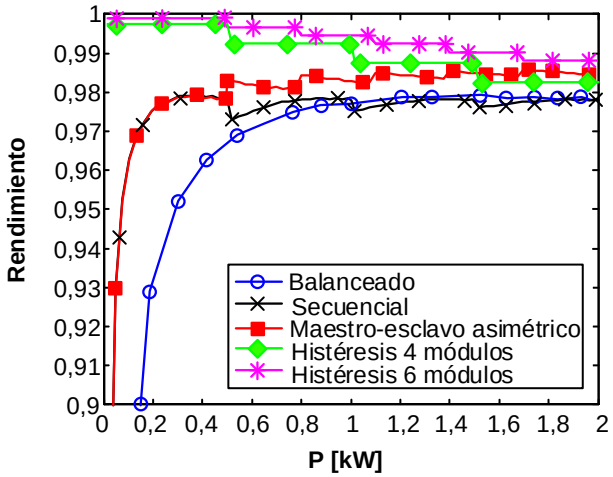
En la Figura 4.56 se muestra una comparativa a modo de resumen del rendimiento obtenido para cada una de las técnicas de control. Concretamente, en la Figura 4.56(a) se muestra el rendimiento estimado a partir de los modelos presentados en el anexo A1 y en las ecuaciones (2.9), (4.3), (4.5) y (4.9) para cada estrategia de control. En la Figura 4.56(b) se muestran los rendimientos medidos experimentalmente. A los comentarios ya recogidos en los apartados anteriores, puede añadirse que el rendimiento obtenido cuando se emplean 6 módulos y el control de encendido intermitente es el mayor de todos, situándose en un 98,7% a plena carga y mejorando, así, los resultados obtenidos por esta técnica de control cuando se emplearon 4 módulos. Además de este hecho, puede observarse que los resultados teóricos se ajustan a los resultados experimentales medidos, con algunas diferencias puntuales en la técnica maestro-esclavo asimétrica, validando el modelo teórico de las pérdidas deducido para cada técnica de control.

En la Figura 4.57 se han representado las pérdidas del convertidor modular IPOP para cada una de las estrategias de control propuestas, tanto las teóricas (Figura 4.57(a)) como las medidas experimentalmente (Figura 4.57(b)). Nótese que estas pérdidas no incluyen las pérdidas del

control del convertidor y se han calculado a partir de las medidas del rendimiento en el caso de las pérdidas experimentales. Sobre estas pérdidas pueden deducirse las mismas conclusiones que se han comentado sobre la curva de rendimiento (ambas representaciones contienen la misma información). No obstante, en estas pérdidas pueden apreciarse aún mejor las diferencias entre una técnica y otra en función del rango de potencia. Al igual que en el caso anterior, los resultados teóricos se ajustan a la tendencia de las pérdidas medidas experimentalmente, aunque con algún error en las técnicas de control balanceado y control de encendido secuencial, en las que se obtienen mayores pérdidas que las deducidas a partir de las medidas experimentales.

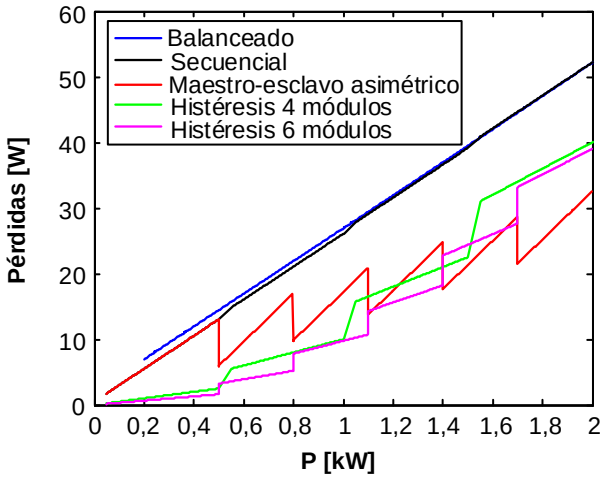


(a)

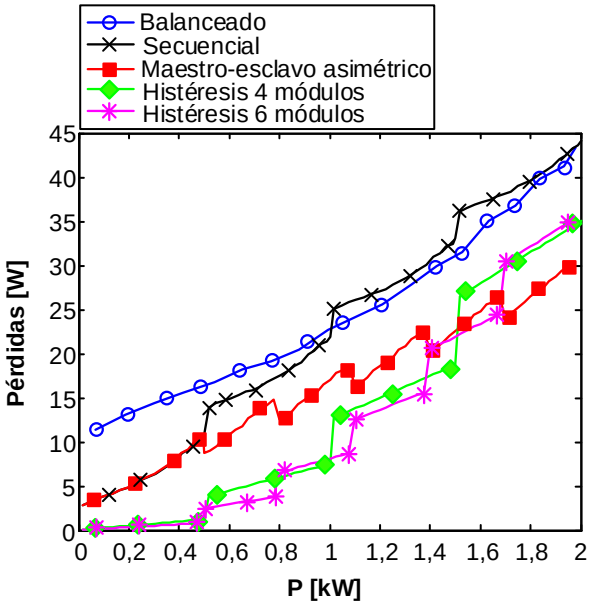


(b)

Figura 4.56. Comparativa de rendimiento para cada una de las técnicas de control propuestas en este capítulo. (a) Rendimiento teórico. (b) Rendimiento medido.



(a)



(b)

Figura 4.57. Comparativa de las pérdidas totales del convertidor modular IPOP para cada una de las técnicas de control propuestas en este capítulo. No se han incluido las pérdidas en el circuito de mando. (a) Pérdidas teóricas. (b) Pérdidas medidas experimentalmente.

Como se mencionó al principio de este apartado, la motivación principal del desarrollo de estas técnicas de control para un convertidor modular IPOP, es mejorar el rendimiento a baja y media carga. Esto se debe, fundamentalmente, a ciertas normativas tanto europeas como estadounidenses ligadas a construcción eficiente y gestión de energías renovables. Existen dos rendimientos ponderados que se usan para establecer los límites de esta normativa: el rendimiento Europeo y el CEC (o rendimiento de California). Las ecuaciones que recogen estos rendimientos ponderados se recogen en (4.1) y (4.2) respectivamente. Para completar este

estudio, se ha propuesto en este trabajo de tesis otro rendimiento ponderado basado únicamente en el rendimiento alcanzado a media carga. Este se define como rendimiento a medido o *custom* en su terminología inglesa

$$EffCustom = 0{,}1 \cdot \eta_{5\%} + 0{,}1 \cdot \eta_{10\%} + 0{,}2 \cdot \eta_{20\%} + 0{,}1 \cdot \eta_{30\%} + 0{,}25 \cdot \eta_{40\%} + 0{,}5 \cdot \eta_{50\%} \quad (4.10)$$

Utilizando estos rendimientos ponderados, es posible establecer otra comparativa entre las distintas técnicas de control para valorar la mejora obtenida por cada una de ellas. Los resultados de rendimiento ponderados experimentales se muestran en la Figura 4.58 para cada estrategia de control.

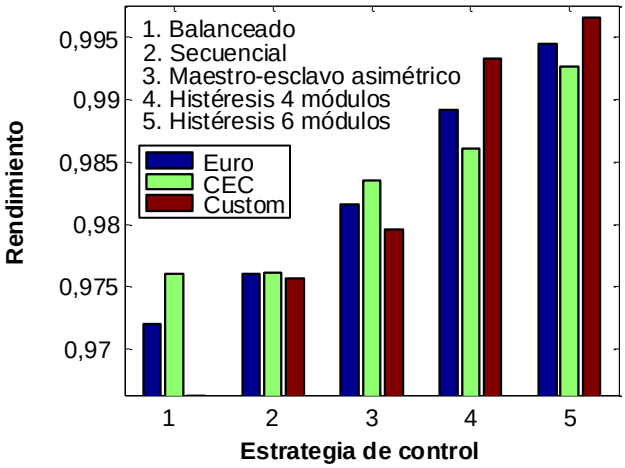


Figura 4.58. Rendimientos ponderados del convertidor modular IPOP para cada estrategia de control.

Atendiendo a estos resultados, la mejor estrategia es el control de encendido intermitente con 6 módulos en todos los casos (rendimiento Europeo, CEC y el *custom*), seguido por el encendido intermitente de 4 módulos. Los peores resultados son los obtenidos para el control balanceado y para el control de encendido secuencial, como se podría esperar tras los rendimientos teóricos mostrados en las figuras anteriores. Cabe destacar, además, que el encendido secuencial, aunque logra mejorar el rendimiento ponderado obtenido por el control balanceado, la mejora no es tan significativa como la lograda por las otras dos técnicas de control. Por lo tanto, estos resultados confirman que la mejor técnica de control desde el punto de vista del rendimiento es el encendido intermitente.

4.5. REFERENCIAS

[4.1] Huber, J.E.; Kolar, J.W., "Optimum number of cascaded cells for high-power medium-voltage multilevel converters," *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, vol., no., pp.359,366, 15-19 Sept. 2013.

[4.2] Luri, S.; Etxeberria-Otadui, I.; Rujas, A.; Bilbao, E.; Gonzalez, A., "Design of a supercapacitor based storage system for improved elevator applications," *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*, vol., no., pp.4534,4539, 12-16 Sept. 2010.

[4.3] Kasper, M.; Bortis, D.; Kolar, J.W., "Scaling and balancing of multi-cell converters," *Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE-ASIA), 2014 International*, vol., no., pp.2079,2086, 18-21 May 2014.

[4.4] De Breucker, S.; Engelen, K.; D'Hulst, R.; Driesen, J., "Impact of current ripple on Li-ion battery ageing," *Electric Vehicle Symposium and Exhibition (EVS27), 2013 World*, vol., no., pp.1,9, 17-20 Nov. 2013.

[4.5] Junhong Zhang; Jih-Sheng Lai; Rae-young Kim; Wensong Yu, "High-Power Density Design of a Soft-Switching High-Power Bidirectional dc–dc Converter," *Power Electronics, IEEE Transactions on*, vol.22, no.4, pp.1145,1153, July 2007.

[4.6] Andreassen, Pal; Undeland, T.M., "Digital Control Techniques for Current Mode Control of Interleaved Quasi Square Wave Converter," *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, vol., no., pp.910, 914, 16-16 June 2005.

[4.7] Andreassen, P.; Undeland, T.M., "Digital control methods for current sharing of interleaved synchronous buck converter," *Power Electronics and Applications, 2005 European Conference on*, vol., no., pp.7 pp.,P.7, 0-0 0.

[4.8] Jong-Bok Baek; Woo-In Choi; Bo-Hyung Cho, "Digital Adaptive Frequency Modulation for Bidirectional DC–DC Converter," *Industrial Electronics, IEEE Transactions on*, vol.60, no.11, pp.5167,5176, Nov. 2013.

[4.9] Huber, L.; Irving, B.T.; Adragna, C.; Jovanovic, M.M., "Implementation of open-loop control for interleaved DCM/CCM boundary boost PFC converters," *Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE*, vol., no., pp.1010,1016, 24-28 Feb. 2008.

[4.10] Huber, L.; Jovanovic, M.M., "Performance evaluation of synchronous rectification in front-end full-bridge rectifiers," *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, vol., no., pp.310,316, 5-9 Feb. 2012.

[4.11] Canesin, C.A.; Gonçalves, F.A.S., "A Multi-Cell Variable Frequency Interleaved ZCS Boost Rectifier Digitally Controlled by FPGA," *Industrial Electronics, 2006 IEEE International Symposium on*, vol.2, no., pp.1382, 1387, 9-13 July 2006.

[4.12] Regulación L 153/13 sobre la directiva 2010/31/EU, EnergyBuilding. Directiva del parlamento Europeo. Mayo de 2010. [Online]: http://eur-lex.europa.eu/LexUriServ/LexUriServ.do?uri=OJ:L:2010:153:0013:0035:EN:PDF. [Último acceso: Jul. 2015].

[4.13] Unión Europea, “Implementing the Energy Performance of Buildings Directive (EPBD),” Concert Action Energy Performance of Buildings, Octubre 2013. [Online]: http://www.epbd-ca.org/Medias/Pdf/CA3-BOOK-2012-ebook-201310.pdf. [Último acceso: Jul. 2015].

[4.14] Comisión Europea de la Energía, Nearly zero-energy buildings. [Online]: https://ec.europa.eu/energy/en/topics/energy-efficiency/buildings/nearly-zero-energy-buildings. [Último acceso: Jul. 2015].

[4.15] C. W. C. E. C. B. Brooks, "Guideline for the use of the Performance Test Protocol for Evaluating Inverters Used in Grid-Connected Photovoltaic Systems," 2005. [Online]: http://www.gosolarcalifornia.ca.gov/equipment/documents/Sandia_Guideline_2005.pdf. [Último acceso: Jun. 2014].

[4.16] Regulación EC 1275/2008 sobre la directiva 2005/32/EC, EcoDesign. Directiva del parlamento Europeo. Diciembre de 2008. [Online]: http://ec.europa.eu/enterprise/policies/sustainable-business/ecodesign/. [Último acceso: Jul. 2015].

[4.17] Regulación EC 278/2009 sobre la directiva 2005/32/EC, EcoDesign. Directiva del parlamento Europeo. Abril de 2009. [Online]: http://ec.europa.eu/enterprise/policies/sustainable-business/ecodesign/. [Último acceso: Jul. 2015].

[4.18] Sakka, M.A.; Van Mierlo, J.; Gualous, H., "Efficiency optimization of a 30KW interleaved 4-channels DC/DC converter with variable number of active channels," *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, vol., no., pp.1,8, Aug. 30 2011-Sept. 1 2011.

[4.19] Jen-Ta Su; Chih-Wen Liu, "A Novel Phase-Shedding Control Scheme for Improved Light Load Efficiency of Multiphase Interleaved DC–DC Converters," *Power Electronics, IEEE Transactions on*, vol.28, no.10, pp.4742,4752, Oct. 2013.

[4.20] Ying-Chi Chen; Jhih-Da Hsu; Yong-Ann Ang; Ta-Yung Yang, "A new phase shedding scheme for improved transient behavior of interleaved Boost PFC converters," *Applied Power Electronics Conference and Exposition (APEC), 2014 Twenty-Ninth Annual IEEE*, vol., no., pp.1916,1919, 16-20 March 2014.

[4.21] Waffler, S.; Kolar, J.W., "Efficiency optimization of an automotive multi-phase bi-directional DC-DC converter," *Power Electronics and Motion Control Conference, 2009. IPEMC '09. IEEE 6th International*, vol., no., pp.566,572, 17-20 May 2009.

[4.22] Jong-bok Baek; Woo-In Choi; Bo-Hyung Cho, "Digital Adaptive Frequency Modulation for Bidirectional DC–DC Converter," *Industrial Electronics, IEEE Transactions on*, vol.60, no.11, pp.5167,5176, Nov. 2013.

[4.23] Zumel, P.; Fernandez, C.; de Castro, A.; Garcia, O., "Efficiency improvement in multiphase converter by changing dynamically the number of phases," *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*, vol., no., pp.1,6, 18-22 June 2006.

[4.24] O'Sullivan, D., Weinberg, A., "The sequential switching shunt regulator S3R," *Proceeding of the Spacecraft Power Conditioning*, pp. 21-23, Sept. 1977.

[4.25] Capel, A.; Perol, P., "Comparative performance evaluation between the S4R and the S3R regulated bus topologies," *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual*, vol.4, no., pp.1963,1969 vol. 4, 2001.

[4.26] Dietrich, Stefan; Wunderlich, Ralf; Heinen, Stefan, "Stability Considerations of Hysteretic Controlled DC-DC Converters," *Ph.D. Research in Microelectronics and Electronics (PRIME), 2012 8th Conference on*, vol., no., pp.1,4, 12-15 June 2012.

[4.27] Saggini, S.; Orietti, E.; Mattavelli, P.; Pizzutelli, A.; Bianco, A., "Fully-digital hysteretic voltage-mode control for dc-dc converters based on asynchronous sampling," *Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE*, vol., no., pp.503,509, 24-28 Feb. 2008.

[4.28] Abu-Qahouq, J.; Hong Mao; Batarseh, I., "Multiphase voltage-mode hysteretic controlled DC-DC converter with novel current sharing," *Power Electronics, IEEE Transactions on*, vol.19, no.6, pp.1397,1407, Nov. 2004.

[4.29] Kohama, T.; Sogawa, Y.; Tsuji, S., "Design of optimized on-off control to improve efficiency of paralleled converter system," *Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE-ASIA), 2014 International*, vol., no., pp.2781, 2786, 18-21 May 2014.

[4.30] Hien Nguyen; Zane, R.; Maksimovic, D., "ON/OFF Control of a Modular DC–DC Converter Based on Active-Clamp LLC Modules," *Power Electronics, IEEE Transactions on*, vol.30, no.7, pp.3748,3760, July 2015.

5 OPTIMIZACIÓN DEL MÓDULO DE POTENCIA BASADA EN EL USO DE DISPOSITIVOS DE BANDA PROHIBIDA ANCHA

En este capítulo se analizará una posible optimización del módulo de potencia mediante el uso de dispositivos de banda prohibida ancha. En primer lugar, se analizarán las potenciales ventajas que ofrecen los dispositivos semiconductores basados en estos materiales en comparación con el silicio. Posteriormente, se presentarán tres posibles casos para la mejora del módulo de potencia. El primero de ellos es un diodo de protección para la agrupación modular IPOP. En este caso se propondrá y analizará una estructura llamada rectificador en cascodo, para ser utilizada en este supuesto. El segundo caso de estudio y comparativa de varios diodos de alta frecuencia para ser empleados en el supuesto en el que se quisiera minimizar o evitar el problema de la recuperación inversa del diodo parásito en los transistores MOSFET de super-unión. Por último, el tercer caso a estudio es el del uso de transistores MOSFET basados en un material de banda prohibida ancha en el módulo de potencia, como sustitutos de los transistores MOSFET de Si utilizados hasta ahora, prestando especial atención en las ventajas y desventajas que aportarían al módulo de potencia y, por extensión, al convertidor modular IPOP.

5.1. INTRODUCCIÓN

El descubrimiento del transistor a mediados del siglo pasado supuso una revolución en la electrónica. En comparación con las válvulas de vacío termoiónicas, la aparición del transistor permitió desarrollar circuitos integrados cada vez más pequeños y la posibilidad de desarrollar otros dispositivos más complejos, como memorias, procesadores, sensores, etc. La mejora continuada de estos transistores (desde los dispositivos bipolares, pasando por los transistores de efecto de campo hasta los IGBT) ha impulsado la búsqueda y desarrollo de distintos materiales semiconductores, como el germanio (Ge), el arseniuro de galio (GaAs) o el silicio (Si), siendo éste último, con diferencia, el más extendido en la actualidad.

En el caso particular de la electrónica de potencia, los tres parámetros más interesantes para evaluar los dispositivos semiconductores (y en especial los transistores) son su velocidad de conmutación (o la capacidad de conmutar a alta frecuencia, entendida esta como unidades de MHz), la capacidad de soportar tensiones elevadas (entendiendo aquí por tensión elevada aquella situada en el rango de las decenas de kV) y la capacidad de trabajar a alta temperatura (en el rango de varias centenas de ºC) [5.1]. Actualmente, existen unos límites teóricos impuestos por el Si, que no pueden ser superados [5.2]. A estos límites teóricos se les añaden los límites tecnológicos relacionados con la capacidad de poder conseguir fabricar dispositivos semiconductores basados en Si con un cierto grado de reproducibilidad y robustez y, además, que los hagan ser económicamente rentables. Concretamente, resulta complejo encontrar transistores MOSFET con tensiones drenador-fuente superiores a 100V y con capacidad para conmutar más allá de 1MHz con unas pérdidas asumibles [5.3]. De igual forma, el transistor IGBT de mayor tensión de ruptura disponible comercialmente en la actualidad se sitúa en los 6,5kV, con una limitación en la frecuencia de conmutación de apenas 2kHz [5.4]. Por último, resulta igualmente difícil encontrar transistores de Si capaces de operar por encima de los 200ºC de temperatura. Estas limitaciones han motivado la búsqueda de nuevos materiales semiconductores que permitan mejorar las prestaciones ofrecidas hasta ahora por el Si y que consigan, por lo tanto, trasladar estas ventajas desde el dispositivo a la fuente de alimentación.

5.1.1. DISPOSITIVOS SEMICONDUCTORES DE BANDA PROHIBIDA ANCHA

En un material semiconductor, se entiende por banda prohibida aquella zona o banda energética en la que no puede encontrarse un electrón a una temperatura dada. Esta banda prohibida se sitúa energéticamente entre la banda de valencia y la banda de conducción. En la Figura 5.1 se ha representado este concepto a partir de la conocida teoría de bandas (i.e.

diagrama de bandas). A una temperatura de 0K, todos los electrones de la última capa del material estarán en la banda de valencia y no habrá ninguno en la banda de conducción. Para que un electrón pueda alcanzar la banda de conducción, es necesario que su energía aumente una determinada cantidad. Esta energía es, precisamente, la energía de la banda prohibida, llamada habitualmente E_g. Los materiales conocidos como de banda prohibida ancha (en adelante WBG de su término inglés *Wide Band Gap*), son aquellos cuya energía E_g resulta ser más elevada (véase la Figura 5.1(b)) que la de los materiales semiconductores más habituales, típicamente, como el Si (véase la Figura 5.1(a)).

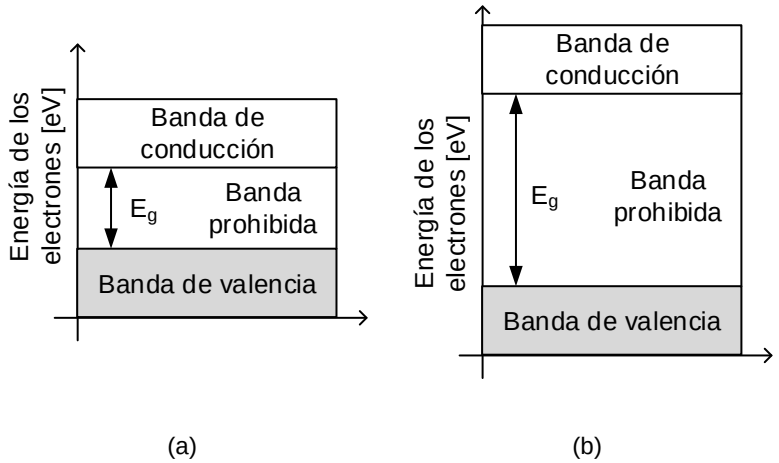


Figura 5.1. Diagrama de bandas para dos materiales semiconductores distintos. (a) Semicondutor basado en Si. (b) Semiconductor considerado de banda prohibida ancha.

Entre los materiales semiconductores de WBG más prometedores desde el punto de vista de la electrónica de potencia, se pueden destacar principalmente dos: el carburo de silicio (SiC) y el nitruro de galio (GaN) [5.5] y [5.6]. En la Tabla 5.1 se han resumido las principales propiedades de distintos materiales semiconductores, los más utilizados habitualmente (Ge, Si y GaAs) y los dos citados anteriormente (SiC y GaN).

Tabla 5.1. Principales propiedades de algunos materiales semiconductores

Material	Energía del gap E_g [eV]	Concentración intrínseca. @ 300ºK n_i [cm^{-3}]	Movilidad de los electrones μ_n [cm²/V·s]	Campo eléctrico de ruptura E_{rup} [V/cm]	Conductividad térmica λ [W/cmºK]
Ge	0,66	$2{,}4\cdot10^{13}$	3900	10^5	0,6
Si	1,1	$1{,}5\cdot10^{10}$	1350	$3\cdot10^5$	1,5
GaAs	1,4	$1{,}8\cdot10^{6}$	8500	$4\cdot10^5$	0,5
3C-SiC	2,2	6,9	900	$1{,}2\cdot10^{6}$	4,5
6H-SiC	3,0	$2{,}3\cdot10^{-6}$	370	$2{,}4\cdot10^{6}$	4,5
4H-SiC	3,26	$8{,}2\cdot10^{-9}$	720	$2\cdot10^{6}$	4,5
GaN	3,39	$1{,}9\cdot10^{-10}$	900	$3{,}3\cdot10^{6}$	1,3

De forma más gráfica, en la Figura 5.2 se han representado estos parámetros para Si, SiC y GaN exclusivamente. Como puede verse, una mayor energía de la banda prohibida conlleva mayores campos eléctricos de ruptura. Esto se traduce en que tanto el SiC como el GaN son

materiales con una mayor capacidad de soportar tensión en comparación con el Si. Por otro lado, la mayor conductividad térmica (especialmente en SiC) y un mayor punto de fusión, hacen que estos dos materiales tengan una capacidad para poder trabajar a mayores temperaturas en comparación con el Si. Por último, tanto el SiC como el GaN (especialmente este último) poseen una mayor movilidad de los electrones, lo que se traduce en unas mejores prestaciones desde el punto de vista de la velocidad de conmutación del dispositivo.

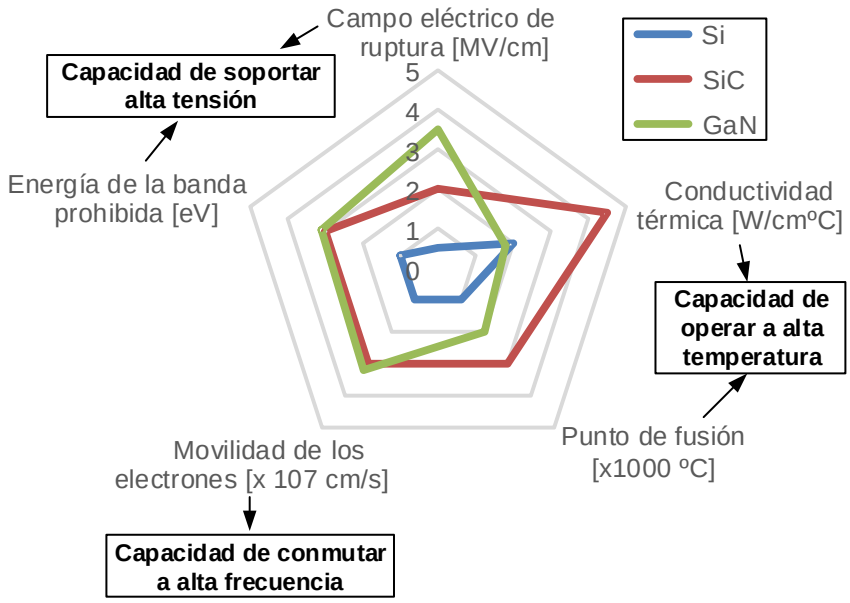


Figura 5.2. Gráfico comparativo de las principales figuras de mérito de los materiales semiconductores para Si, SiC y GaN. Fuente [5.5].

Además de estas potenciales ventajas del SiC y del GaN frente al Si, estos materiales también poseen una resistencia en conducción menor para iguales tensiones de ruptura [5.7], tal y como se ha representado en la Figura 5.3.

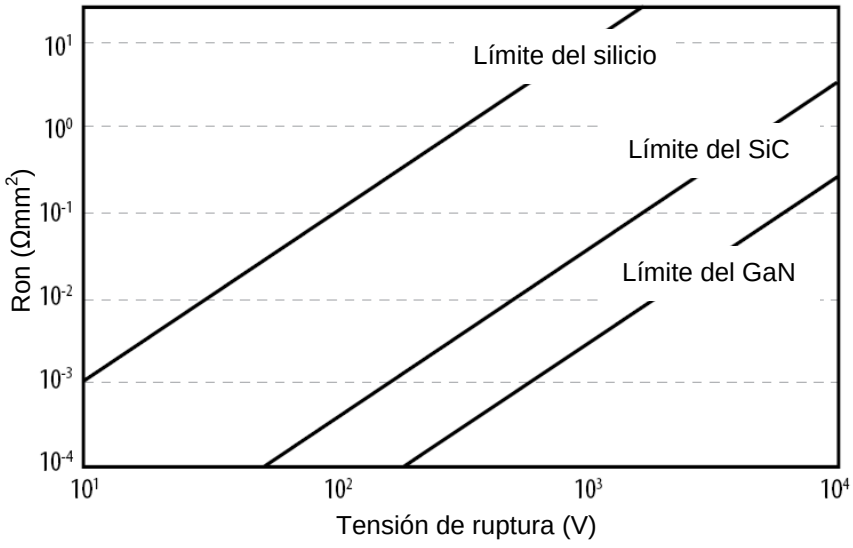


Figura 5.3. Límite teórico de la resistencia en conducción frente a la tensión de ruptura del Si, SiC y GaN. Fuente [5.7]

A la vista de estas ventajas teóricas, en los últimos años ha habido un interés más creciente en el desarrollo, aplicación y uso de dispositivos basados tanto en SiC como en GaN, haciendo que hoy en día se considere uno de las principales líneas de investigación dentro de la electrónica de potencia.

5.1.1.1. Propiedades particulares del carburo de silicio (SiC)

La potencial ventaja del SiC frente a otros materiales semiconductores, es la capacidad de trabajar en un rango de temperaturas más elevado que el Si e incluso que el GaN (véase de nuevo la Figura 5.2), [5.8]-[5.12]. Tampoco debe olvidarse su elevada energía de la banda prohibida y su movilidad en los electrones. Estas dos características han hecho plantearse a los fabricantes el uso de SiC para conseguir transistores que puedan mejorar las prestaciones de los IGBT actuales basados en Si [5.13]. Es decir, desarrollar dispositivos con menores capacidades parásitas que permitirían una mayor frecuencia de conmutación para tensiones elevadas (en el rango de las unidades de kV), unido a unas resistencias en conducción bajas.

Los dispositivos más maduros comercialmente hablando no son los transistores, sino los diodos Schottky de SiC, cuya aparición se remonta hasta hace cerca de 15 años. Este tipo de diodos llevan empleándose de manera muy habitual en convertidores CA/CC con Corrección del Factor de Potencia (CFP) como diodos de libre circulación, consiguiendo una mejora importante en el rendimiento de este tipo de topologías [5.14]-[5.19].

Por otro lado, el mercado de los transistores de SiC es mucho más variable y aún no se ha establecido un estándar claro. Así, los primeros los transistores de SiC en aparecer fueron de tipo JFET normalmente cerrados (en adelante, n-on, de su término en inglés *normally-on*). Estos dispositivos son de natural cerrados, es decir, que ante una tensión de 0V entre sus terminales puerta y fuente, el transistor conduce y es necesaria una tensión negativa entre puerta y fuente para interrumpir el canal. Esto motivó la aparición de nuevos *drivers* y circuitos de protecciones para el empleo de este tipo de transistores en las etapas de potencia habituales [5.20], [5.23]. Posteriormente, aparecieron versiones normalmente abiertas de este transistor (o n-off, de su término en inglés *normally-off*), aunque sus características fueron ligeramente peores que los JFET de SiC n-on. Es por ello que para los JFET n-on se desarrollaron múltiples trabajos con una estructura en cascodo, en la que se conecta en serie el transistor JFET de SiC n-on con un transistor MOSFET de Si de baja tensión. Esta configuración ya fue utilizada para transistores bipolares en convertidores resonantes clase E durante los años 80, como se propuso en los trabajos [5.21] y [5.22]. Han sido muchos los trabajos en los que se han demostrado las ventajas de esta estructura aplicada a transistores JFET de SiC n-on [5.24]-[5.28], siendo, a día de hoy, la más habitual para el uso de este tipo de transistores. Aparte de las desventajas mencionadas

anteriormente (necesidad de *drivers* específicos si no se utiliza el montaje en cascodo y circuitos de protección adicional), cabe mencionar otras dos que ha hecho que el interés en este tipo de transistores haya disminuido en la actualidad. La primera es que el coste de fabricación de este tipo de dispositivos es elevado y la reproducibilidad del dispositivo es baja. La segunda es que este tipo de transistores no tienen la puerta aislada, lo que puede resultar ser un inconveniente para determinadas aplicaciones. Estas dos desventajadas, sumadas a las anteriores, han hecho que los fabricantes centren su interés en el desarrollo de los transistores MOSFET de SiC, que pueden tener, presumiblemente, una mayor demanda futura en el mercado que los transistores JFET de SiC.

En paralelo con el desarrollo de los transistores JFET de SiC, se han desarrollado transistores MOSFET de SiC, aunque su evolución ha sido más lenta. En este sentido, existen un buen número de fabricantes involucrados en este proceso y ofrecen, de manera comercial, modelos desde los 600V, hasta los 1700V, siendo los transistores de 1200V los más accesibles en el mercado. No obstante, este catálogo es muy variable y el objetivo es lograr dispositivos en el marco de los 3,3kV en un futuro próximo para conseguir desbancar al transistor IGBT de Si. Uno de los principales problemas que ha hecho que el desarrollo y la comercialización de este tipo de transistores sean más lentos reside en que no resulta sencillo trasladar la tecnología usada en Si al SiC, como por ejemplo conseguir el aislamiento de puerta del transistor. El proceso de oxidación habitual empleado en Si no es posible aplicarlo aquí por la propiedades particulares que presenta la oblea de SiC. Este es un ejemplo que resalta una realidad: en SiC estos procesos son más costosos (en términos de tiempo y dinero) y menos fiables, razones por las cuáles el precio de estos dispositivos sigue siendo elevado y su implantación en el mercado está siendo lenta.

Por último, también cabe citar que existen fabricantes desarrollando transistores de SiC bipolares (llamados BJT, de su término inglés *Bipolar Junction Transistors*). El objetivo último de esta línea de desarrollo es alcanzar un dispositivo de unas características similares al IGBT actual, pero con unas prestaciones relativas a la tensión a soportar y a las corrientes mucho mayores. No obstante, el desarrollo de este tipo de transistores es aún más lento que el de los transistores MOSFET de SiC. Los ejemplos más significativos de los problemas que deben superarse en este tipo de transistores bipolares de SiC son la degeneración bipolar y el encapsulado para conseguir trabajar a las temperaturas potenciales del material. Cabe mencionar que este último inconveniente se extiende al resto de dispositivos de SiC (diodos, JFET y MOSFET).

Los principales fabricantes de dispositivos de SiC actualmente presentes en el mercado que pueden citarse son Cree, Rohm, Infineon, General Electric, United Silicon Carbide, ST o GeneSiC entre otros.

5.1.1.2. Propiedades particulares del nitruro de galio (GaN)

Las dos características más destacadas del GaN sobre Si y sobre SiC son su elevada movilidad de los electrones y su campo eléctrico de ruptura elevado, ambas mayores que Si e incluso que SiC [5.5], [5.29]. La primera característica se traduce en velocidades de conmutación potenciales de los dispositivos de GaN muy elevadas, mientras que la segunda se traduce en resistencias en conducción muy bajas para tensiones de ruptura elevadas (véase de nuevo la Figura 5.3).

Debido a estas y a otras razones, la mayoría de fabricantes se ha centrado en el desarrollo de transistores HEMT de GaN (de su nomenclatura inglesa, *High Electron Mobility Transistor*). Desde el año 2004 ya era posible adquirir comercialmente este tipo de dispositivos, orientados sobre todo a aplicaciones de radiofrecuencia (RF). Estas estructuras se basan en el fenómeno que proporciona una inusual movilidad de los electrones, denominado 2DEG (de su término en inglés *Two-Dimensional Electron Gas*). Por esta razón, estos transistores HEMT de GaN se han ido empleando con éxito en aplicaciones de RF en el rango de frecuencias de unidades de GHz, tanto dispositivos de GaN sobre sustrato de Si como sobre sustrato de SiC [5.38]-[5.40].

Una ventaja adicional de estos transitores HEMT de GaN radica en el gran *offset* de energía entre la banda de conducción del GaN y la capa barrera de AlGaN. Esto permite un aumento significativo de la densidad de portadores en el canal de los HEMTs basados en GaN con respecto a otros materiales. Si a lo anterior sumamos la posibilidad de utilizar mayores niveles de tensión, se consigue un interesante aumento en la densidad de potencia. Por esta razón, a partir del año 2009 los fabricantes de transistores de HEMT de GaN han ido paulatinamente aumentando la tensión de ruptura de estos dispositivos, dirigiéndose cada vez más al ámbito de la electrónica de potencia. Este buen comportamiento a altas frecuencias los convierte en dispositivos muy atractivos no sólo para aplicaciones de RF, sino también para su aplicación en fuentes de alimentación conmutadas, en las que es conocido que el aumento de su frecuencia de trabajo conlleva varias ventajas, como la reducción del tamaño de los elementos reactivos. De esta forma, es posible conmutar este tipo de transistores en el rango de frecuencias de unidades de MHz con unas pérdidas menores en comparación con transistores de Si operando en las mismas condiciones de tensión y corriente [5.30]-[5.37].

La situación actual del mercado de dispositivos de GaN es algo más estable que en el caso de los dispositivos de SiC. La tecnología de fabricación de este tipo de transistores es menos costosa que en caso del SiC debido, en gran medida, a su mayor tasa de reproducibilidad. Pese a ello, cabe destacar que es un mercado en evolución, cuya inercia se dirige hacia dispositivos de cada vez mayores tensiones de ruptura. Al igual que en el caso de SiC, es posible encontrar transistores HEMT de GaN tanto n-on, como n-off y en estructura en cascodo. Las tensiones de

ruptura típicas se dividen en dos grandes grupos: transistores HEMT hasta 450V y baja corriente (unidades de amperios) y transistores con tensiones del orden de 600V y corriente de decenas de amperios.

Entre los principales fabricantes de transistores de GaN que pueden citarse están EPC, GaNSystems, Transphorm, RFMD o Panasonic.

5.1.2. INCORPORACIÓN DE DISPOSITIVOS DE BANDA PROHIBIDA ANCHA EN EL MÓDULO DE POTENCIA

Como ya se ha citado anteriormente, el objetivo de este capítulo es explorar el uso de distintos dispositivos de WBG en el módulo de potencia analizado en el presente trabajo de tesis, que puedan mejorar alguna característica del mismo y, en consecuencia, del convertidor modular. Teniendo en cuenta la topología empleada como módulo en esta tesis, lo más obvio parece utilizar otro tipo de transistores basados en dispositivos de WBG como sustitutos de los transistores MOSFET de Si de super-unión empleados y analizar cuáles serían las potenciales ventajas o desventajas que aportaría esta sustitución. Sin embargo, antes de plantear esta sustitución, es posible preguntarse dónde sería posible utilizar dispositivos de WBG en el convertidor modular, además de en el propio módulo de potencia.

Así, en la Figura 5.4 se ha representado una vez más el convertidor modular IPOP planteado en el capítulo anterior del presente trabajo de tesis. En esta figura, se han destacado los posibles puntos o ubicaciones donde sería posible introducir un dispositivo de WBG que aportase alguna mejora al comportamiento global del convertidor modular.

Siguiendo un orden desde lo más externo del módulo a lo más interno, en primer lugar puede plantearse la utilización del algún dispositivo de WBG que esté relacionado con la conexión de los módulos entre sí. En el capítulo 4 del presente trabajo de tesis se ha abordado el diseño de distintas técnicas de control para la mejora del rendimiento en un convertidor modular IPOP. Sin embargo, no se exploró cómo debía realizarse la conexión de los módulos (más allá de su conexión en sí), ni si era necesario algún tipo de dispositivo adicional para mejorar no sólo el rendimiento, sino la robustez o la flexibilidad del convertidor modular. En este marco, cabe la posibilidad de emplear dispositivos de WBG que introduzcan muy bajas pérdidas y que permitan así mantener un rendimiento elevado en el convertidor modular IPOP.

El segundo elemento que puede plantearse para la utilización de dispositivos de WBG es el rectificador. Aunque en el marco de esta tesis se ha planteado siempre que el módulo sea síncrono (i.e. bidireccional), cabe la posibilidad de que este convertidor sea asíncrono (o unidireccional) dando pie a la utilización de diodos en lugar de transistores en el semiconductor

que actúa como diodo de libre circulación. Así pues, este diodo sería el siguiente elemento en el que podría plantearse el uso de dispositivos de WBG, teniendo en cuenta, además, que los diodos Schottky de SiC son la tecnología más madura en este material.

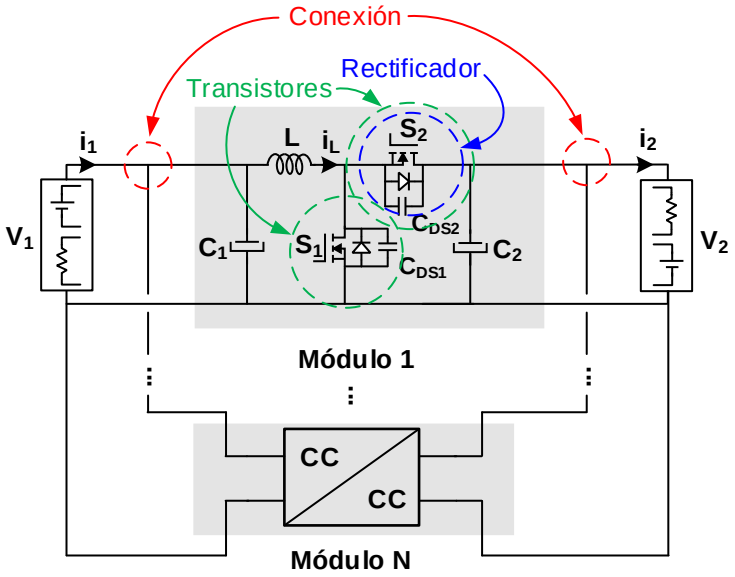


Figura 5.4. Esquema del convertidor modular IPOP basado en el convertidor elevador síncrono QSW-ZVS donde se han destacado los posibles elementos para utilizar dispositivos de WBG.

Por último, para concluir este estudio, cabe la opción de emplear transistores basados en dispositivos de WBG, tal y como se citó al comienzo de este apartado. Esta sustitución no es inmediata, puesto que uno de los transistores (S2, el que juega el papel de rectificador síncrono) es flotante, lo que dificulta el uso de determinados dispositivos, sobre todo aquellos que necesitan una etapa de gobierno (i.e. *driver*) específica distinta a la empleada en transistores de Si.

Teniendo en cuenta estas tres posibles opciones o ubicaciones donde es posible estudiar el empleo de dispositivos de WBG, a continuación se pasará a detallará cada una de ellas.

5.2. EL RECTIFICADOR EN CASCODO

En este apartado se presenta una estructura denominada rectificador en cascodo que combina dos dispositivos diferentes: un diodo Schottky de Si con un JFET n-on de SiC. El objetivo de esta estructura es conseguir un diodo que bloquee una tensión muy elevada pero posea unas pérdidas en conducción bajas.

5.2.1. PLANTEAMIENTO: LA PUERTA *OR*

En el capítulo 4 de esta tesis se plantearon distintas estrategias de control para un convertidor modular IPOP con el objetivo de conseguir un rendimiento elevado, especialmente en condiciones de media y baja carga. Aunque se utilizó la robustez del convertidor modular como parámetro para valorar las ventajas y desventajas de cada estrategia de control, no se abordó este tema en particular durante este capítulo. Precisamente para aumentar la robustez y fiabilidad de un convertidor modular IPOP, resulta muy habitual encontrarse con un sumador de tensión implementado con una puerta *OR* formada por diodos. Estos diodos se colocan a la salida de cada módulo previamente al punto de conexión, tal y como puede verse en la Figura 5.5. El funcionamiento de estos diodos es muy sencillo. Si los módulos operan normalmente, estos diodos se encontrarán directamente polarizados y, por lo tanto, conduciendo, actuando como una pequeña resistencia serie adicional. En el caso en el que un módulo sufra un fallo y se cortocircuite su salida, el diodo correspondiente pasará a estar inversamente polarizado y soportará toda la tensión del bus de salida (V_2). De esta forma, se evita que el fallo de un módulo se propague al resto de módulos, permitiendo así al convertidor modular IPOP seguir funcionando, aunque sea de forma degradada.

Este método de protección basado en puerta *OR* es muy sencillo y poco costoso, puesto que únicamente se necesita un elemento adicional por cada módulo y, además, este elemento no necesita ningún control adicional. Atendiendo al funcionamiento de esta puerta *OR*, es posible establecer una serie de requisitos que han de cumplir estos diodos:

1. Que posean una caída de tensión en directa baja y una resistencia dinámica igualmente baja. En otras palabras, que las pérdidas en conducción que introduce este diodo sean lo más bajas posibles. No en vano, la mayor parte del tiempo estos diodos se encontrarán conduciendo y, si se quiere mantener un rendimiento elevado en el convertidor modular IPOP, las pérdidas en conducción de este elemento han de ser bajas.

2. Que sean capaces de soportar una tensión relativamente elevada. En el contexto de esta tesis, tanto como lo sea la tensión V_2. Es decir, deberán ser diodos capaces de soportar un mínimo de 600V de tensión inversa.
3. Su dinámica no ha de ser especialmente buena. Dado que estos diodos no se encuentran conmutando, no es necesario que tengan unas especificaciones especialmente buenas en términos de tiempo de recuperación inversa o de corriente de recuperación inversa. Por lo tanto, no han de ser especialmente rápidos.

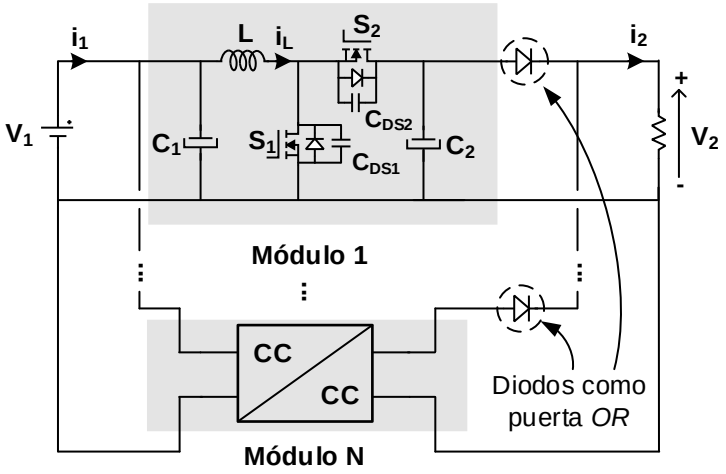


Figura 5.5. Ejemplo de utilización de diodos de baja frecuencia como puerta *OR* a la salida de la conexión del convertidor modular IPOP.

En la Tabla 5.2 se han recogido las principales características de 7 diodos que pueden ser candidatos a ser utilizados como diodos de esta puerta *OR*. En esta sencilla muestra, se han comparado diodos de características muy diversas. Analizando esta tabla, el diodo que posee una mayor resistencia dinámica en conducción es el MUR4100, que también es el que menos corriente puede conducir, pero el que mayor tensión inversa puede soportar. Por otro lado, el que menor resistencia en conducción ofrece es el modelo 20ETF08, un diodo de tipo *ultrafast* del fabricante IR. La menor caída en tensión directa es del modelo GBU8J de Fairchild, que es un diodo pensado para ser utilizado como rectificador de entrada en convertidores CA/CC, al igual que el MUR4100.

Tabla 5.2. Principales características de algunos diodos como posibles candidatos para la puerta *OR*, ordenados por máxima corriente en conducción.

Modelo	Fabricante	V_R [V]	I_F [A]	V_F [V]	r_D [mΩ]
MUR4100	OnSemi	1000	4	1,85	117
BR804	EIC	400	8	1,2	36,7
GBU8J	Fairchild	600	8	1	40,1
IDH12S60C (SiC)	Infineon	600	12	2,1	40
GBJ1504	Diodes INC	400	15	1,05	57,8
20ETF08	IR	800	20	1,31	13,5
MUR3060PT	OnSemi	600	30	1,5	77

Por último, también se ha incluido un diodo de SiC, el modelo IDH12S60C de Infineon. Podría pensarse que este tipo de diodos, que poseen excelentes características desde el punto de vista dinámico, al tratarse de diodos de tipo Schottky, serían unos muy buenos candidatos para ser utilizados en esta aplicación. Sin embargo, las características estáticas de los diodos Schottky de SiC no son tan buenas en comparación con otros diodos. Así, este modelo presenta una caída en tensión directa de 2,1V, siendo la más elevada de todos los diodos recogidos en la Tabla 5.2

Con el objetivo de mejorar las características que presentan los diodos evaluados como candidatos para la puerta *OR*, se ha planteado una nueva estructura que utilice algún dispositivo de WBG para aprovechar sus ventajas y conseguir satisfacer todas las condiciones mencionadas anteriormente.

5.2.2. DESCRIPCIÓN DEL RECTIFICADOR EN CASCODO

5.2.2.1. Estructura del rectificador en cascodo basado en un JFET n-on de SiC

La estructura básica del rectificador en cascodo basado en un JFET n-on de SiC puede verse en la Figura 5.6. Como ya se ha citado anteriormente, se combinan dos dispositivos. Por un lado, un transistor JFET n-on de SiC. Es deseable que este transistor presente una resistencia en conducción baja y una capacidad de soportar una tensión elevada (mayor que 600V). Por otro lado, un diodo Schottky de Si de baja tensión (típicamente de 15V de tensión inversa). Para este dispositivo, es deseable que su caída de tensión directa sea baja, del orden de 0,1V a 0,3V. En esta estructura el cátodo del diodo Schottky se conecta con la fuente del transistor JFET de SiC. Su ánodo se conecta a la puerta del transitor JFET. El cátodo del rectificador en cascodo es el drenador del transistor JFET de SiC, mientras que su ánodo coincide con el punto de conexión del ánodo del diodo Schottky y la puerta del transistor JFET de SiC.

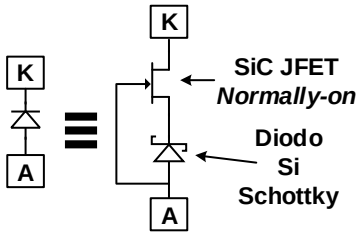


Figura 5.6. Estructura del rectificador en cascodo basado en un JFET n-on de SiC.

Esta estructura combina las propiedades de ambos dispositivos. Por un lado, cuando el rectificador en cascodo se encuentra directamente polarizado, su caída en tensión directa será la del diodo Schottky de Si más la que añada la resistencia en conducción del JFET de SiC.

Teóricamente, esta caída de tensión directa será muy pequeña en base a las características teóricas de ambos dispositivos. Por otro lado, cuando el rectificador en cascodo se encuentre inversamente polarizado, será capaz de soportar tanta tensión como la tensión de ruptura del transistor JFET de SiC.

5.2.2.2. Descripción del funcionamiento

Para explicar el funcionamiento del rectificador en cascodo planteado, supóngase que se conecta a una fuente de tensión alterna de valor V_g y a una carga R_L tal y como se ha representado en la Figura 5.7(a). Durante el semi-ciclo positivo de la señal de alterna de la fuente de entrada, el rectificador en cascodo se encuentra directamente polarizado (i.e. la tensión $V_{cascode}$ es positiva). Los circuitos equivalentes durante este semi-ciclo se muestran en la Figura 5.7, mientras que las formas de onda teóricas se han recogido en la Figura 5.8(a). El diodo Schottky se ha modelado con su circuito equivalente basado en un diodo ideal (D_{ideal}), es decir, una tensión inversa que representa su tensión de codo ($V_{\gamma-SH}$) y una resistencia en serie que representa su resistencia dinámica (r_{d-SH}) (Figura 5.7(b)). Al inicio del semi-ciclo positivo de la tensión de alterna, el transistor JFET de SiC podría conducir (puesto que es un dispositivo normalmente cerrado). Sin embargo, el diodo Schottky no conducirá hasta que la tensión V_g sea mayor que la tensión de codo $V_{\gamma-SH}$. Durante este intervalo de tiempo, el circuito equivalente del rectificador en cascodo es el mostrado en la Figura 5.7(c).

Cuando la tensión de entrada supera el valor $V_{\gamma-SH}$, el diodo Schottky comenzará a conducir. En ese momento, la tensión puerta fuente del transistor JFET de SiC (V_{gs}) es idéntica a la caída de tensión directa del diodo Schottky, V_{D-SH}, cuyo valor será positivo y ligeramente mayor que 0 (en este tipo de diodos, en torno a 0,2V). Por lo tanto, el transistor JFET de SiC se encuentra en conducción, comportándose como una resistencia en conducción de valor $R_{DSon-JFET}$. Así, el rectificador en cascodo pasa a estar conduciendo, según el circuito equivalente mostrado en la Figura 5.7(d).

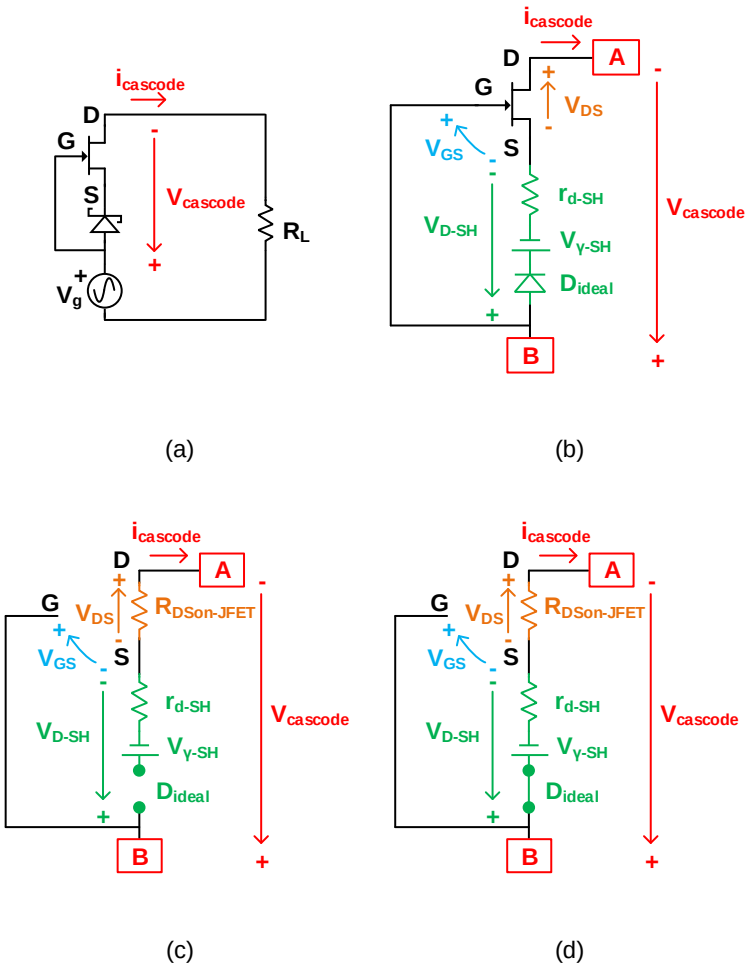


Figura 5.7. Circuitos equivalentes del rectificador en cascodo basado en un JFET n-on de SiC cuando se encuentra directamente polarizado. (a) Circuito supuesto a modo de ejemplo. (b). Circuito equivalente incluyendo el modelo completo del diodo Schottky. (c) Circuito equivalente al inicio del semi-ciclo positivo (d) Circuito equivalente durante el resto del semi-ciclo positivo.

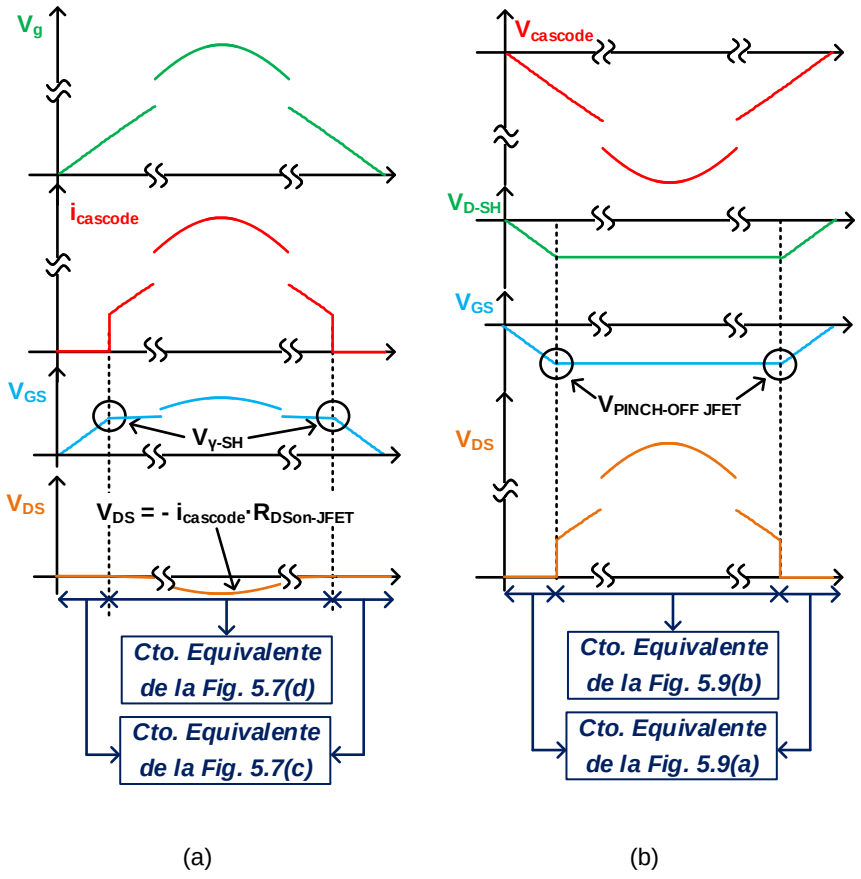


Figura 5.8. Ejemplo de formas de onda teóricas de funcionamiento para el rectificador en cascodo basado en un JFET de SiC. (a) Cuando se encuentra directamente polarizado. (b) Cuando se encuentra inversamente polarizado.

Durante el semi-ciclo negativo de la tensión V_g, el rectificador en cascodo pasará a estar inversamente polarizado, por lo tanto, la tensión $V_{cascode}$ será negativa. Los circuitos equivalentes para este semi-ciclo se muestran en la Figura 5.9, mientras que las formas de onda teóricas se recogen en la Figura 5.8(b). Al comienzo de este semi-ciclo, el diodo Schottky se polarizará inversamente. Puesto que es un diodo de tipo Schottky (y además de baja tensión) su conmutación a bloqueo de tensión puede considerarse prácticamente instantánea (aunque existe un pequeño tiempo de conmutación, éste puede considerarse despreciable). Así pues, en cuanto V_g se hace negativa, el rectificador en cascodo deja de conducir corriente (Figura 5.9(a)). No obstante, toda la tensión inversa está siendo soportada por el diodo Schottky (véase V_{D-SH} de la Figura 5.8(b)). El transistor JFET de SiC seguirá conduciendo corriente inversa hasta que su tensión V_{GS} se haga negativa y alcance su valor de tensión de estricción o estragulamiento del canal (más conocida por su término en inglés como tensión de *pinch-off* $V_{PINCH-OFF\ JFET}$). Es decir, aquél valor de tensión de puerta que hace que el canal del JFET se interrumpa. Cabe recordar que la tensión V_{GS} coincide con la tensión inversa del diodo Schottky V_{D-SH}. Durante este semi-ciclo, esta tensión es la misma que la tensión V_g y decrece (haciéndose cada vez más negativa). Por lo tanto, llegará un instante en el que la tensión V_g sea igual a la tensión de *pinch-off* del JFET de SiC. En ese momento, el canal del transistor JFET de SiC se cortará, y será este transistor

quien comience a soportar toda la tensión V_g (véase V_{DS} en la Figura 5.8(b)). El circuito equivalente cuando el transistor JFET de SiC se encuentra en bloqueo se muestra en la Figura 5.9(b).

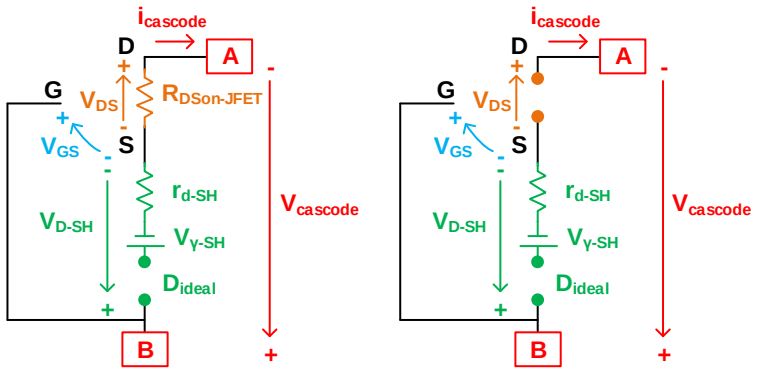
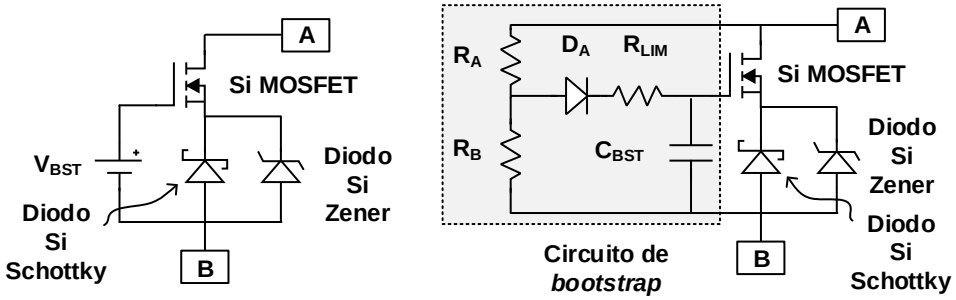


Figura 5.9. Circuitos equivalentes del rectificador en cascodo basado en un JFET n-on de SiC cuando se encuentra inversamente polarizado. (a) Al comienzo del semi-ciclo negativo de la tensión de entrada. (b) Durante el resto del semi-ciclo negativo de la tensión de entrada.

5.2.2.3. Estructura del rectificador en cascodo basado en un MOSFET de Si

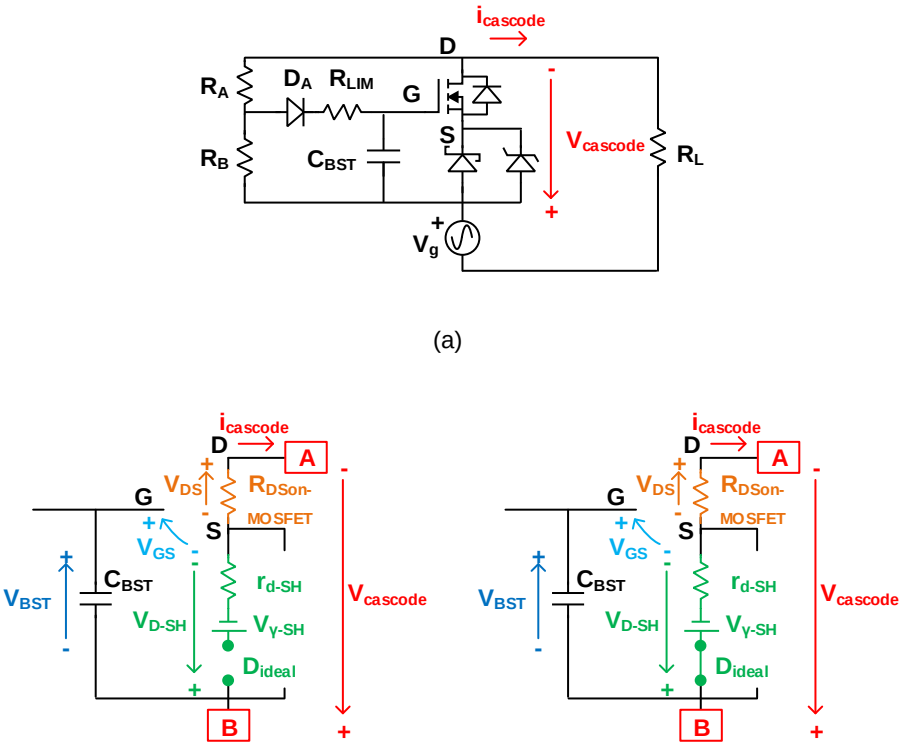
Pese a que en este capítulo se aborda el uso de dispositivos de WBG en el módulo de potencia y que la estructura de rectificador en cascodo ha sido originalmente propuesta para ser implementada con un JFET n-on de SiC, también es posible sintetizar un rectificador en cascodo basado en un transistor MOSFET de Si. La estructura básica del rectificador en cascodo basado en un MOSFET se muestra en la Figura 5.10. Las dos diferencias sustanciales respecto al rectificador en cascodo basado en un JFET son la fuente de tensión V_{BST} y el diodo Zener (Figura 5.10(a)). El diodo Zener es necesario para enclavar la tensión del diodo Schottky y evitar la ruptura del MOSFET por puerta. La tensión V_{BST} es necesaria para convertir al transistor MOSFET en un dispositivo normalmente cerrado, cuando es originalmente normalmente abierto. Esta tensión puede generarse de una forma relativamente sencilla a través de un circuito de autoarranque elevador (conocido en su terminología en ingles como circuito de *bootstrap*) como el mostrado en la Figura 5.10(b), a partir de un divisor resistivo y un condensador.



(a) (b)

Figura 5.10. Estructura del rectificador en cascodo basado en un MOSFET de Si. (a) Estructura básica. (b) Con circuito de *bootstrap*.

El funcionamiento de este rectificador en cascodo basado en un MOSFET de Si es muy similar al explicado anteriormente para el rectificador en cascodo basado en un JFET de SiC. Durante el semi-ciclo positivo de la señal V_g, su funcionamiento es idéntico al comentado anteriormente para el rectificador en cascodo basado en un JFET. Los circuitos equivalentes durante este semi-ciclo se recogen en la Figura 5.11, mientras que las formas de onda teóricas se muestran en la Figura 5.12(a).



(a)

(b) (c)

Figura 5.11. Circuitos equivalentes del rectificador en cascodo basado en un MOSFET de Si. (a) Circuito supuesto en el ejemplo. (b) Circuito equivalente al comienzo del semi-ciclo positivo de la tensión de entrada. (c) Circuito equivalente durante el resto del semi-ciclo positivo de la tensión de entrada.

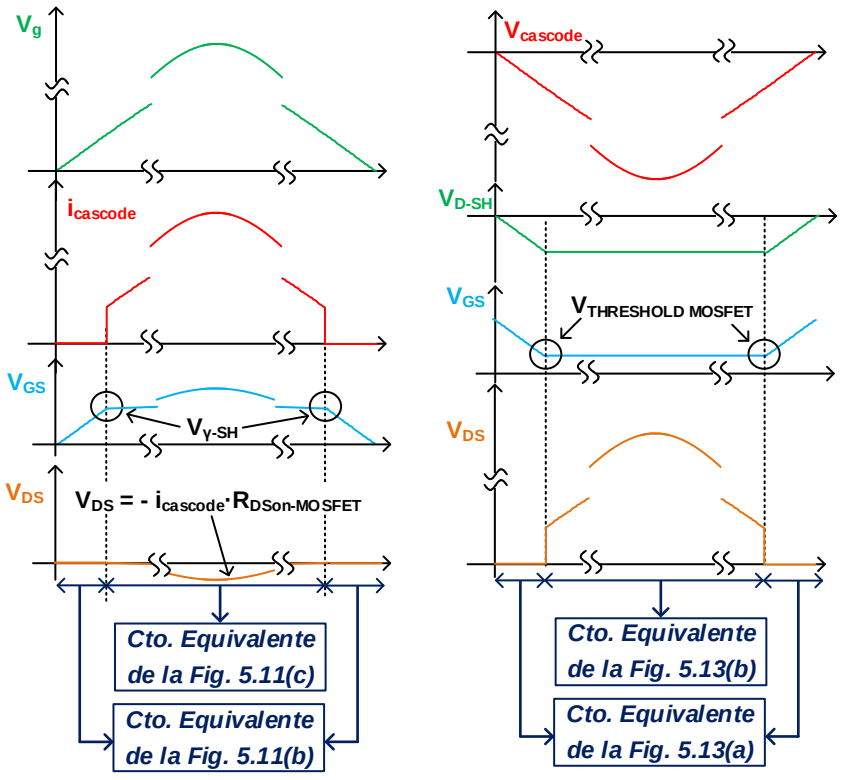


Figura 5.12. Ejemplo de formas de onda teóricas de funcionamiento para el rectificador en cascodo basado en un MOSFET de Si. (a) Cuando se encuentra directamente polarizado. (b) Cuando se encuentra inversamente polarizado.

Durante el semi-ciclo negativo de V_G, el funcionamiento de este rectificador en cascodo es muy similar al caso del JFET. La única diferencia entre este caso y el anterior reside en cuándo se alcanza la condición para que el transistor MOSFET pase a bloquear tensión. En este caso, la tensión V_{GS} es la diferencia entre la tensión V_{BST} y la tensión del diodo V_{D-SH} ($V_{GS} = V_{BST} - V_{D-SH}$). La tensión V_{D-SH} es igual a la tensión V_g durante este semi-ciclo negativo y, al igual que antes, decrece, haciéndose cada vez más negativa. Por lo tanto, asumiendo que la tensión V_{BST} es constante, la tensión V_{GS} decrece. Cuando esta tensión alcance el valor umbral (o *threshold*) de la tensión de puerta del transistor MOSFET (V_{GSth}), el canal de este transistor se cortará, pasando a soportar toda la tensión de entrada. Por lo tanto, esta conmutación se dará cuando $V_g = V_{BST} - V_{GSth}$. Los circuitos equivalentes del rectificador en cascodo basado en un MOSFET cuando se encuentra inversamente polarizado se recogen en la Figura 5.13, mientras que las formas de onda teóricas durante este proceso se muestran en la Figura 5.12(b).

El rectificador en cascodo basado en un MOSFET de Si posee algunas desventajas respecto al basado en un JFET de SiC. La más evidente es que se necesita una tensión auxiliar V_{BST} para su funcionamiento. Una segunda desventaja es que la tensión inversa que puede soportar un MOSFET de Si es menor que la de un JFET de SiC (típicamente 900V frente a 1200V). Además,

es muy probable que la resistencia en conducción del transistor MOSFET sea mayor que la del transistor JFET de SiC. La única ventaja de esta segunda estructura frente a la primera es el coste. Teniendo en cuenta estas ventajas y desventajas, en adelante únicamente se estudiará el rectificador en cascodo basado en un JFET de SiC, ya que este capítulo analiza la utilización de dispositivos de WBG en el convertidor modular IPOP propuesto en este trabajo de tesis.

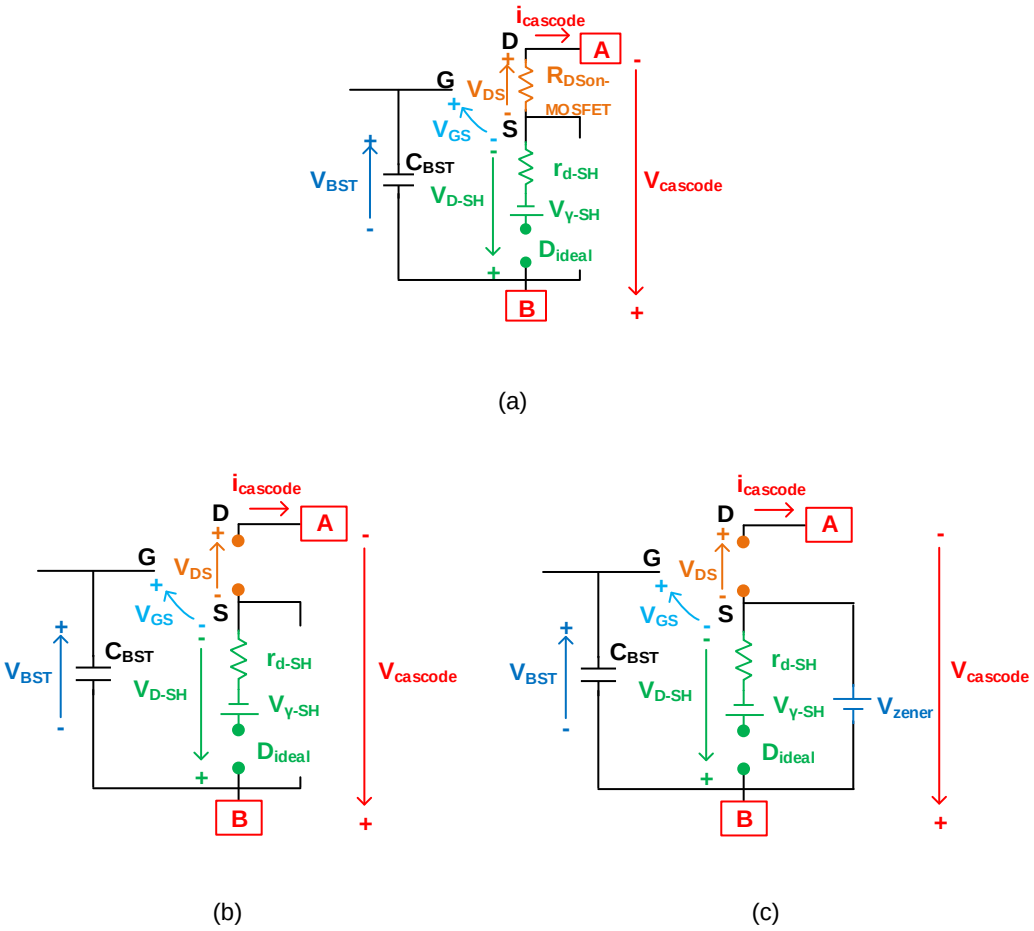


Figura 5.13. Circuitos equivalentes del rectificador en cascodo basado en un MOSFET de Si cuando se encuentra inversamente polarizado. (a) Al comienzo del semi-ciclo negativo de la tensión de entrada. (b) Durante el resto del semi-ciclo negativo de la tensión de entrada. (c) Durante el resto del semi-ciclo negativo de la tensión de entrada si el diodo Zener entra en zona Zener.

5.2.2.4. Caracterización en baja frecuencia

Para evaluar el comportamiento estático de la estructura de rectificador en cascodo, se ha deducido de teóricamente la caída en tensión directa frente a la corriente en conducción de esta estructura. Esta deducción teórica se ha llevado a cabo a partir de los datos suministrados en la hoja de características del fabricante. Para los ensayos que se van a presentar aquí se ha seleccionado el modelo SJDP120R085 de JFET de SiC [5.41], [5.42], combinado con el diodo Schottky 40L15CW (15V y 40A) del fabricante IR [5.43]. Aparte de este rectificador en cascodo, se ha planteado también el rectificador en cascodo basado en un transistor MOSFET modelo

IRFP15N60 del fabricante Vishay junto con un diodo Zener de 15V. Estos dispositivos se han seleccionado atendiendo a los siguientes criterios. El JFET de SiC n-on se seleccionó según la disponibilidad del fabricante, siendo este modelo y uno de mayor corriente los únicos disponibles en el momento en el que se realizaron las pruebas. El diodo Schottky era el de menor caída de tensión en directa para el nivel de corriente fijado que se encontró disponible en el mercado. Por último, el transistor MOSFET de Si era el modelo de mejor relación R_{DSon} y C_{GS} encontrado en el momento en el que se realizaron las pruebas. Las principales características tanto del transistor JFET de SiC como del transistor MOSFET de Si se recogen en la Tabla 5.3. Es importante destacar que el fabricante del transistor JFET fue SemiSouth. En la actualidad, esta empresa ya no existe, pero pueden adquirirse unos transistores de similares características en la empresa United SiC [5.44].

Tabla 5.3. Transistor JFET de SiC y transistor MOSFET de Si utilizados para el rectificador en cascodo.

Modelo	Fabricante	V_{DS} [V]	I_D [A]	$R_{DS\text{-}on}$ [mΩ]
SJDP120R085	SemiSouth	1200	27	85
IRFP15N60	Vishay	600	15	385

Con los datos extraídos de las hojas de características proporcionados por cada fabricante, en la Figura 5.14, se ha representado la corriente en conducción frente a la caída de tensión directa tanto para los dos rectificadores en cascodo como para los diodos mostrados anteriormente en la Tabla 5.2.

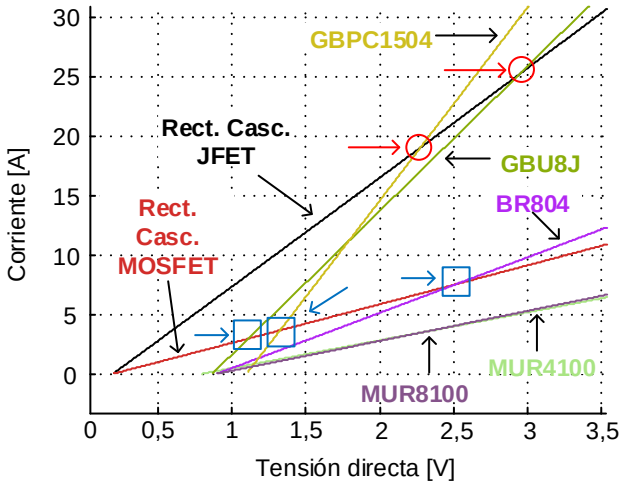


Figura 5.14. Comparativa de la caída de tensión directa para los dos rectificadores en cascodo y los diodos presentados en la Tabla 5.2.

Como puede verse, la caída de tensión directa de ambos rectificadores en cascodo es menor para un mismo nivel de corriente en conducción que el resto de diodos evaluados. Concretamente, en la Figura 5.14 se ha marcado con cuadrados azules los niveles de corriente para los que la caída de tensión directa del rectificador en cascodo basado en un MOSFET se iguala con alguno de los diodos de Si. De igual forma, se ha marcado con círculos rojos estos

mismos puntos con el rectificador en cascodo basado en un JFET de SiC. Como puede verse, la mejora obtenida en este segundo caso es significativa, puesto que hasta un nivel de corriente de 19A aproximadamente, la caída de tensión en directa del rectificador en cascodo basado en un JFET de SiC es notablemente inferior a la de todos los diodos de Si seleccionados para esta comparativa. Si se compara el comportamiento de ambos rectificadores en cascodo, también es evidente el mejor comportamiento obtenido por el rectificador en cascodo basado en el JFET de SiC, sin más que comparar la pendiente de las curvas negra (rectificador en cascodo basado en en JFET de SiC) y roja (rectificador en cascodo basado en un MOSFET de Si). Esta diferencia tan acusada se debe a la resistencia en conducción del MOSFET de Si, que es notablemente mayor que la del JFET de SiC, como ya se comentó anteriormente.

Tras esta comparativa teórica, se ha realizado una segunda comparativa a partir de un test simulado y otro experimental basado en un circuito sencillo como el mostrado en la Figura 5.15.

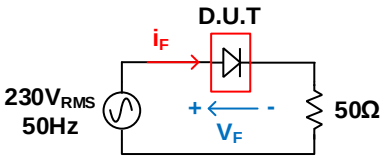
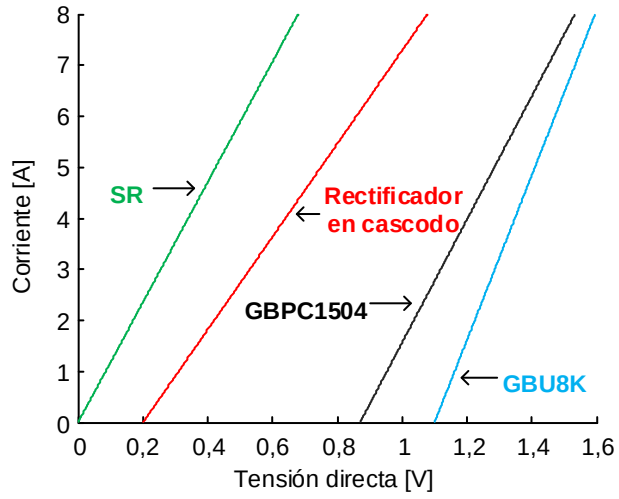


Figura 5.15. Esquema del circuito de test utilizado para comparar la caída de tensión directa.

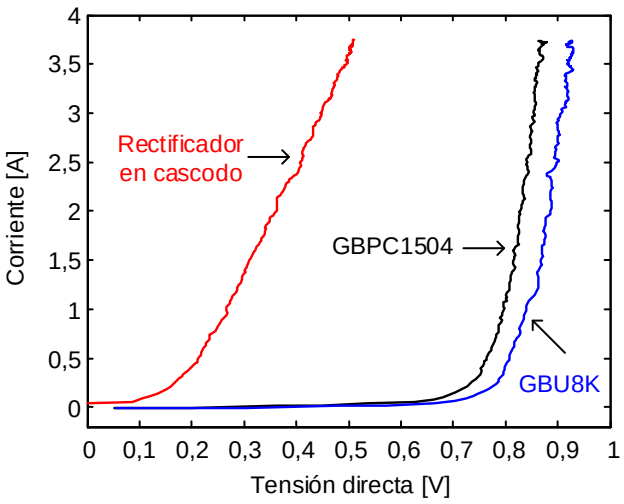
En la Figura 5.16 se recogen los resultados obtenidos a partir del circuito de test planteado. En la Figura 5.16(a) se recogen los resultados simulados utilizando la herramienta LTSpice® usando los modelos PSpice proporcionados por los fabricantes. Como puede verse, el rectificador en cascodo obtiene una tensión de codo de aproximadamente 0,2V, frente a los 0,7V y 1,1V de los dos diodos de Si utilizados en este comparativa y cuyas características pueden consultarse de nuevo en la Tabla 5.2. Se han seleccionado estos dos diodos al tratarse de dispositivos utilizados habitualmente en rectificadores de entrada en convertidores CA/CC, en los que la resistencia dinámica en conducción es el parámetro crítico. Así mismo, la caída de tensión directa del rectificador en cascodo es notablemente menor en todo el rango de corrientes evaluado (hasta 8A). En esta misma figura puede compararse también la respuesta del rectificador en cascodo frente a un rectificador síncrono (SR) utilizando únicamente el transistor MOSFET de Si IRFP15N60.

Por otra parte, en la Figura 5.16(b) se muestran los resultados experimentales obtenidos para el mismo circuito de test, utilizando los dispositivos mencionados anteriormente. Como puede observarse, los resultados experimentales confirman los resultados teóricos y simulados, siendo el comportamiento del rectificador en cascodo el mejor en términos de caída de tensión directa. Por lo tanto, estos resultados confirman las excelentes propiedades de esta estructura desde el punto de vista de la conducción, convirtiéndolos en el mejor candidato para emplearse como

diodo en una puerta *OR*, en el convertidor modular IPOP planteado para la conexión de los distintos módulos.



(a)



(b)

Figura 5.16. Corriente en conducción frente a la caída en tensión directa para el rectificador en cascodo basado en JFET de SiC y dos diodos de Si. (a) Resultados de simulación. (b) Resultados experimentales.

Tras este ensayo de caracterización estática, se ha realizado una medida experimental del rectificador en cascodo basado en el JFET de SiC en un montaje en puerta *OR* para un convertidor modular IPOP. Para ello, se ha utilizado un banco de pruebas como el mostrado en la Figura 5.17. Se han utilizado dos módulos operando en el modo QSW-ZVS bajo las especificaciones habituales que se han venido utilizando a lo largo de este trabajo de tesis. Se han medido las pérdidas del dispositivo bajo prueba (D.U.T.) para dos niveles de potencia distintos: 300W y 600W. Además, se han comparado tres opciones: el diodo de Si MUR4100, el

diodo de Si MUR840 y el rectificador en cascodo basado en el JFET de SiC. Las características de ambos diodos de Si pueden encontrarse de nuevo en la Tabla 5.5.

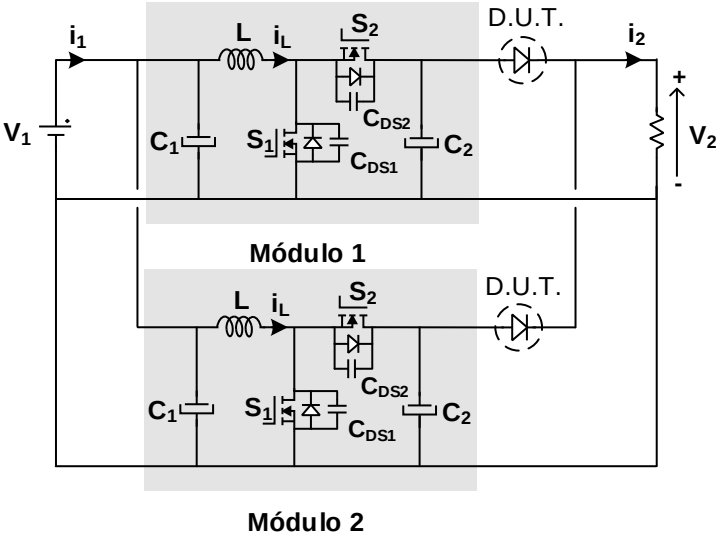


Figura 5.17. Banco de pruebas para la medida del rendimiento del rectificador en cascodo operando como puerta OR.

Los resultados obtenidos se resumen en la Figura 5.18. Como puede observarse, las pérdidas obtenidas para los dos diodos de Si superan ampliamente a las pérdidas medidas en el caso del rectificador en cascodo propuesto. Las pérdidas del diodo en puerta *OR* si se utiliza el rectificador en cascodo se reducen aproximadamente la mitad con respecto al diodo MUR840 y más de un tercio si se compara con el diodo MUR4100. Las pérdidas del dispositivo se han hallado como la diferencia entre la potencia de entrada y la potencia de salida del mismo.

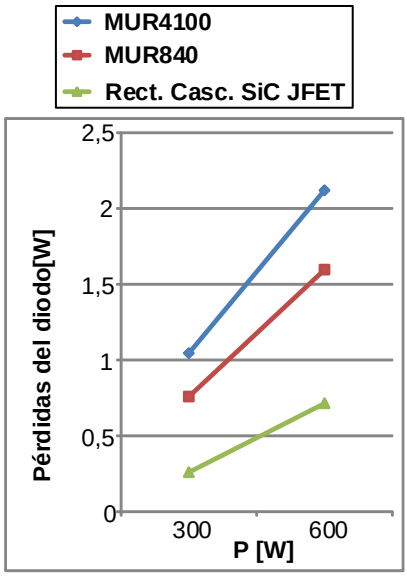


Figura 5.18. Pérdidas del diodo utilizado como D.U.T. operando como puerta OR para el escenario de pruebas, en función de la potencia procesada.

Estos resultados, junto con los anteriores, confirman las ventajas que ofrece la estructura de rectificador en cascodo, especialmente desde el punto de vista de las pérdidas en conducción de este dispositivo.

5.2.3. FUNCIONAMIENTO EN ALTA FRECUENCIA

A la vista de las excelentes propiedades desde el punto de vista estático y del funcionamiento en conducción que tiene el rectificador en cascodo, cabe plantearse si tiene alguna ventaja cuando trabaje como diodo de libre circulación en el módulo de potencia propuesto en el presente trabajo de tesis conmutando en alta frecuencia (entendida ésta como mayor que 100kHz) en comparación con un diodo de Si operando en estas condiciones. A continuación se describen de manera muy concisa las conmutaciones en alta frecuencia de esta estructura. En el Anexo 6 puede encontrarse más detalladamente una caracterización dinámica de esta estructura.

El proceso de apagado del rectificador en cascodo no resulta ser muy diferente al de un diodo. Esto se debe a que en esta transición el rectificador en cascodo se comporta como un diodo Schottky de Si de baja tensión (recuérdese que en cuanto el diodo Schottky deja de conducir, ya no conduce el rectificador en cascodo completo). Por lo tanto, en términos de recuperación inversa, el comportamiento esperado de este rectificador en cascodo sería muy similar al de un diodo Schottky de Si. Aquí hay que hacer una apreciación sobre el proceso de apagado del transistor JFET de SiC. Éste podría resultar ser más lento, pero en ningún caso causaría unas pérdidas significativas en conmutación, puesto que el diodo Schottky impide la circulación de corriente por el transistor JFET de SiC y, debido a esto, no hay convivencia entre tensión y corriente. También hay que decir que siempre habrá una pequeña parte de corriente que circule por el transistor, que coincidirá con la corriente de fugas del diodo Schottky, pero este nivel de corriente puede considerarse despreciable si se compara con la corriente que ha de conducir el rectificador completo.

El proceso de encendido del rectificador en cascodo sí que es completamente diferente al que se da habitualmente en un diodo. Anteriormente, se ha explicado el proceso de entrada en conducción del rectificador en cascodo desde un punto de vista de baja frecuencia, basado en un módulo muy idealizado. Podría pensarse que este proceso es relativamente sencillo, puesto que una vez que entra en conducción el diodo Schottky, el transistor JFET de SiC entra en conducción de manera casi inmediata, al tratarse de un dispositivo normalmente cerrado. Sin embargo, la entrada en conducción del diodo Schottky no es tan sencilla dentro de esta estructura.

La causa de este comportamiento diferente son las capacidades parásitas presentes en el rectificador en cascodo, que se han representado en la Figura 5.19. Las capacidades parásitas del transistor JFET de SiC (C_{GD}, C_{GS} y C_{DS}) juegan un papel determinante en esta transición, junto

la capacidad parásita del diodo Schottky (C_{j-SH}). Durante el encendido de la estructura, estas capacidades parásitas forman un divisor capacitivo, que además resulta ser variable y dependiente de la tensión V_{DS} que soporte el JFET de SiC. Para que la estructura completa conmute y entre en conducción, han de cargarse (o descargarse) estas capacidades parásitas, lo que acarrea un tiempo de conmutación y unas pérdidas asociadas a este proceso de carga y descarga de capacidades.

Por lo tanto, la entrada en conducción del rectificador en cascodo es, en general, lenta siempre que las capacidades parásitas del transistor JFET de SiC sean relativamente elevadas, lo que impide que esta estructura ofrezca alguna ventaja en términos de pérdidas en conmutación sobre otro tipo de diodos, ya sean de Si, de SiC o de GaN. En el anexo A6 de esta tesis se analiza en mayor detalle la conmutación del rectificador en cascodo a alta frecuencia, obteniendo de los resultados experimentales las mismas conclusiones.

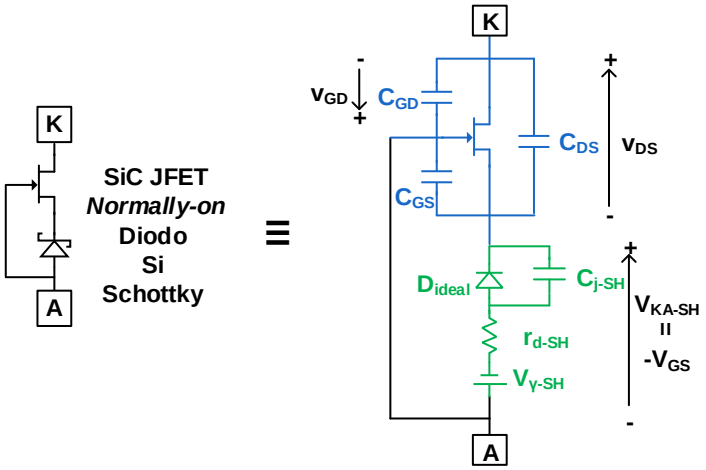


Figura 5.19. Estructura del rectificador en cascodo con sus capacidades parásitas.

5.3. DIODOS PARA CONMUTACIÓN EN ALTA FRECUENCIA

El siguiente emplazamiento en el módulo de potencia donde es posible utilizar dispositivos de WBG es el diodo rectificador del convertidor elevador. En el apartado anterior se ha propuesto una estructura con muy bajas pérdidas en conducción, pero que no aporta ninguna ventaja adicional si se utiliza en conmutación a una frecuencia relativamente elevada. Por lo tanto, en este apartado se exploran distintas alternativas de diodos de WBG que pueden mejorar el rendimiento del módulo de potencia, dadas sus especiales características desde el punto de vista de la conmutación a alta frecuencia.

5.3.1. EL PROBLEMA DE LA RECUPERACIÓN INVERSA DEL DIODO PARÁSITO EN LOS TRANSISTORES DE SUPER-UNIÓN

En el convertidor elevador síncrono operando en modo QSW-ZVS que se ha estudiado en el presente trabajo de tesis como módulo de potencia, existen una serie de intervalos en los que el diodo parásito de los transistores conduce toda la corriente de la inductancia. Estos intervalos son los dos tiempos muertos que se han detallado en el capítulo 3 de esta tesis. Pese a que estos tiempos son pequeños, sobre todo si se comparan con los intervalos de magnetización o desmagnetización de la inductancia, tienen una relevancia muy importante en las pérdidas del convertidor. En los rangos de tensiones que se han fijado en esta tesis (150V, 400V), hacen que sea necesario utilizar transistores de 600V. Para estas tensiones, y teniendo en cuenta además las especiales características que impone el modo QSW-ZVS en cuanto a rizados de corriente y valores eficaces de la misma, resulta más conveniente utilizar MOSFET de tipo super-unión, como los que se analizaron en el capítulo 2 de este trabajo.

La estructura del MOSFET de super-unión se basa en una serie de pilares verticales, como los que pueden verse en la Figura 5.20. Este tipo de transistores consiguen una resistencia en conducción menor que otros transistores MOSFET basados en otras estructuras. Sin embargo, uno de los principales problemas que tienen los MOSFET de super-unión es el comportamiento de su diodo parásito [5.45], [5.46]. Aquí no se entrará en el detalle de las causas que originan que este diodo posea unas características pobres, pero sí en las consecuencias y los problemas que esto ocasiona. En la Figura 5.21 se ha representado la recuperación inversa del diodo parásito de un transistor de super-unión del fabricante Fairchild. Como puede verse, la corriente de recuperación inversa alcanza los -110A de pico y el tiempo de recuperación inversa es de 680ns aproximadamente. Estos valores tomados aquí como ejemplo son claramente peores que los de un diodo de Si de tipo *ultrafast* de las mismas solicitaciones de tensión y corriente. Este fenómeno

de la recuperación inversa del diodo parásito en transistores de super-unión es un problema muy conocido y estudiado en la literatura [5.47]-[5.52].

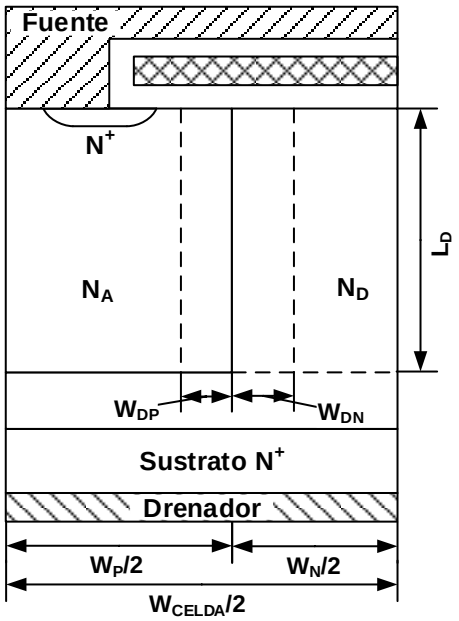


Figura 5.20. Estructura básica de un transistor MOSFET de super-unión. Fuente: [5.46].

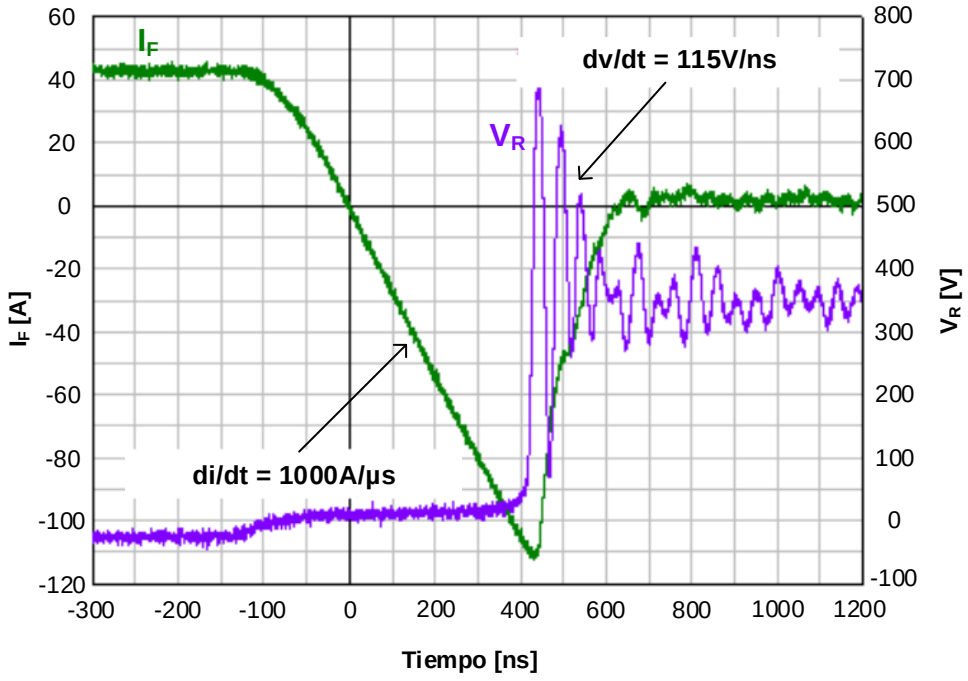


Figura 5.21. Recuperación inversa del diodo parásito del transistor de super-unión modelo FCH041N60E (600V, 70A) de Fairchild. Fuente [5.53].

En el módulo de potencia propuesto en este trabajo, este problema de la recuperación inversa también está presente, aunque en menor medida, puesto que se trabaja con conmutaciones suaves. No obstante, la entrada en conducción del diodo parásito siempre implica ciertas pérdidas

debidas tanto a su conducción en sí, como a la recuperación inversa que tiene lugar cuando conmuta.

Una posible solución a este problema pasa por anular el diodo parásito del transistor. Para ello, es necesario el uso de dos diodos adicionales por cada transistor, en un montaje como el que se ha representado en la Figura 5.22. Uno de los diodos está colocado en anti-serie y es deseable que tenga unas pérdidas en conducción bajas, pero no es necesario que sea un diodo especialmente bueno en términos de conmutación. El segundo diodo está colocado en paralelo con el conjunto transistor-diodo anti-serie. En este caso, este diodo sí que es deseable que tenga un buen comportamiento dinámico, puesto que será utilizado como diodo rectificador o diodo de libre circulación en lugar del transistor. Para el diodo colocado en anti-serie puede utilizarse un rectificador en cascodo cuyas características en conducción superan a las de cualquier diodo de Si. Sin embargo, es posible analizar qué dispositivo puede utilizarse como diodo rápido en esta estructura, y si existe alguna alternativa en dispositivos de WBG que consigan mejorar a los diodos de Si presentes en el mercado. Cabe destacar que el diodo colocado en paralelo deberá soportar la misma tensión que el transistor, siendo para el módulo de potencia propuesto en este trabajo de tesis, la tensión de salida. Por su parte, diodo colocado en anti-serie no es necesario que soporte una tensión elevada.

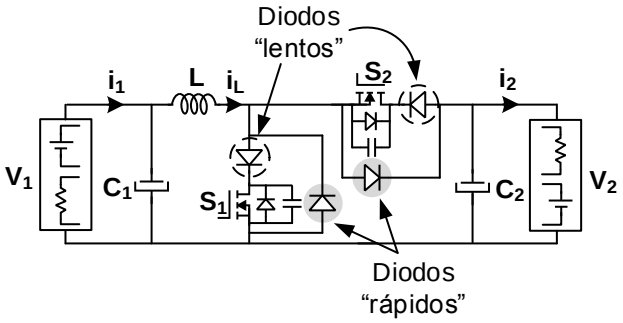


Figura 5.22. El convertidor elevador síncrono con diodos rectificadores para anular el diodo parásito del transistor.

5.3.2. COMPARATIVA DE DIODOS DE SI, SIC Y GAN

En este apartado se recoge una comparativa de tres diodos de distintas tecnologías. Esta comparativa tiene dos objetivos. El primero, y más obvio, es el de establecer qué modelo de diodo resulta ser más adecuado para minimizar las pérdidas debidas a la recuperación inversa en el módulo de potencia. El segundo, es indagar sobre el origen de las pérdidas de recuperación inversa cuando se opera en condiciones de conmutación suave (bien sea a tensión cero, ZVS, bien a corriente cero, ZCS). En conclusión, se trata de averiguar si es correcta la hipótesis de que las pérdidas ligadas a este efecto en conmutación suave son nulas o si, por el contrario, existe algún tipo de efecto que hace que estas pérdidas sigan estando presentes en el convertidor.

Para poder establecer una comparativa justa, se ha utilizado como circuito de test un convertidor elevador operando en modo QSW-ZVS con la relación de tensiones habitual que se ha utilizado a lo largo de este trabajo de tesis: 150V a 400V. La potencia del módulo se ha bajado de los 500W a 150W para aumentar el margen de seguridad de los dispositivos utilizados. En la Figura 5.23 se recoge el circuito esquemático del convertidor utilizado en esta comparativa. Como transistor principal se ha utilizado un transistor HEMT de GaN del fabricante Transphorm. Este transistor es en realidad un cascodo formado por un transistor HEMT n-on de GaN con un transistor de Si de baja tensión (véase de nuevo el esquema equivalente en la Figura 5.23), por lo que es posible utilizar un *driver* comercial de Si común. Las principales características de este transistor pueden encontrarse en la Tabla 5.4. Se ha escogido este transistor para minimizar el impacto de las pérdidas de este elemento en el módulo de potencia y para lograr conmutar a mayor frecuencia. En este sentido, se han fijado tres frecuencias de conmutación nominales: 500kHz, 1MHz y 2MHz. La inductancia empleada ha sido realizada con el núcleo 0L42020UG del fabricante Magnetics (carrete de tipo PQ), con 17 vueltas e hilo litz de 138-strand y sección 48AWG. Tanto el entrehierro como el número de vueltas se han ajustado en cada caso para conseguir ajustar el tiempo de resonancia óptimo en el modo QSW-ZVS. Al igual que en el caso del transistor, se ha diseñado esta inductancia para minimizar sus pérdidas. Las señales de control han sido generadas con una FPGA Virtex-4 de Xilinx. En todas las pruebas el convertidor ha operado en lazo abierto.

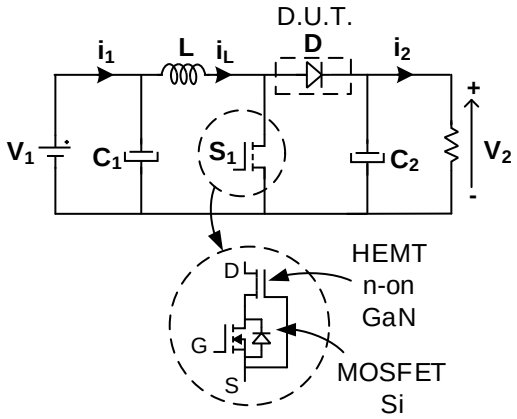


Figura 5.23. Convertidor elevador QSW-ZVS utilizado como circuito de test para la comparativa de diodos.

Tabla 5.4. Principales características del transistor HEMT empleado en la comparativa.

Modelo	Tecnología	Fabricante	V_{DS} [V]	I_D [A]	$R_{DS\text{-}on}$ [mΩ]	C_{iss} [pF]	C_{oss} [pF]	C_{rrs} [pF]
TPH3006PS	GaN	Transphorm	600	17	33	740	133	3,6

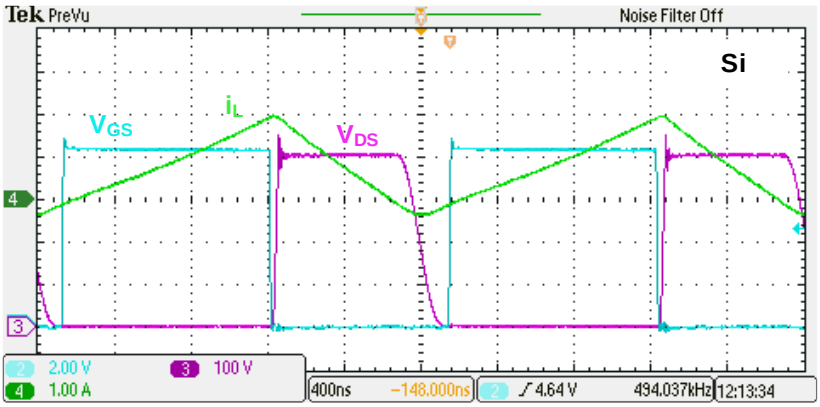
La comparativa se ha realizado con tres modelos distintos de diodos: uno de Si, uno de SiC y otro de GaN. En la Tabla 5.5 se recogen las principales características de los tres modelos de diodos seleccionados. En el caso del diodo de Si, se ha seleccionado un dispositivo de 15A puesto que presenta mejores características que los dispositivos de 4A presentes en el mercado en el

momento de la realización de las pruebas. El diodo de SiC es un diodo tipo Schottky de la empresa Cree. Por último, el dispositivo de GaN es un diodo de tipo rectificador en cascodo, como el analizado en el primer apartado de este capítulo, realizado con un diodo Schottky y un transistor HEMT n-on de GaN. El dispositivo fue suministrado expresamente por la empresa Transphorm para realizar distintas pruebas y sus características específicas no son accesibles públicamente.

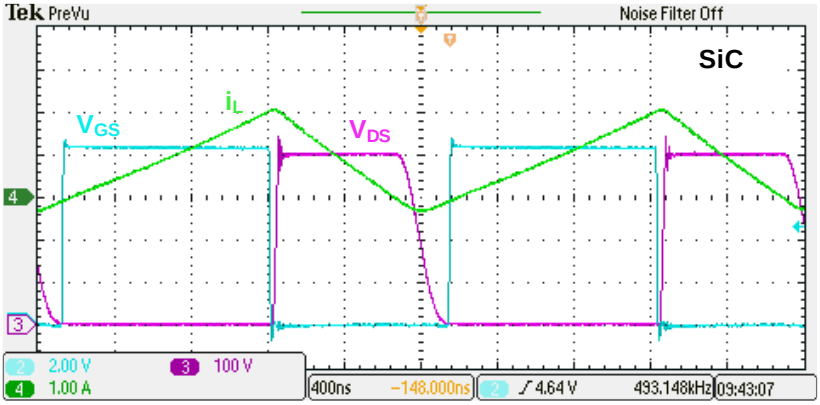
Tabla 5.5. Diodos utilizados en la comparativa para la recuperación inversa, ordenados por tecnología.

Modelo	Tecnología	Fabricante	V_R [V]	I_F [A]	V_F [V]
15ETX06	Si	IR	600	15	2,3
C3D04060A	SiC	Cree	600	4	1,8
TPS3411PK	GaN	Transphorm	600	4	1,3

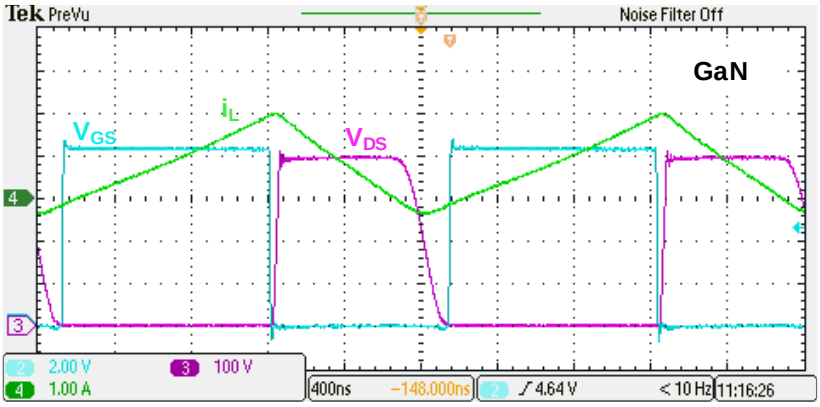
A continuación, en la Figura 5.24, Figura 5.25 y en la Figura 5.26 se muestran las formas de onda de operación para cada frecuencia de conmutación y para cada uno de los tres dispositivos seleccionados anteriormente (tensión puerta-fuente V_{GS}, tensión drenador-fuente V_{DS} y corriente por la inductancia i_L).



(a)

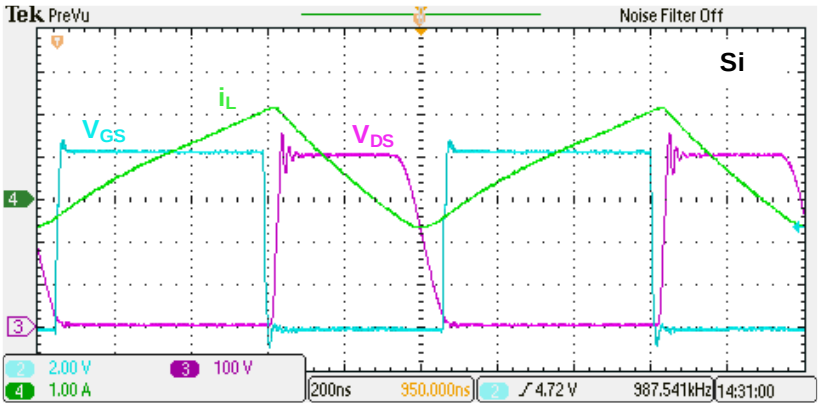


(b)

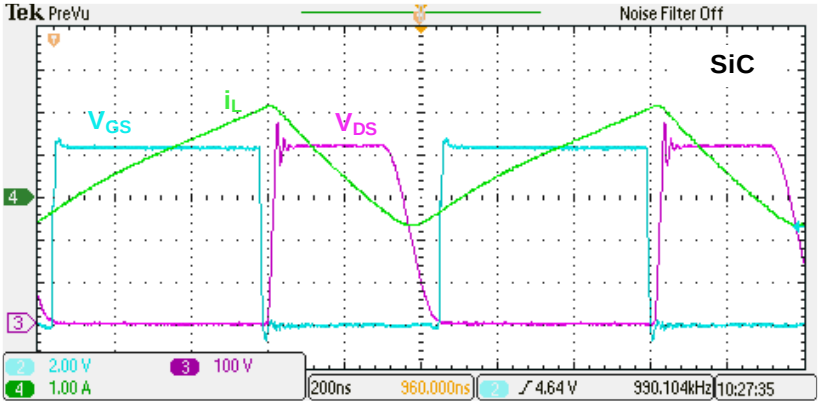


(c)

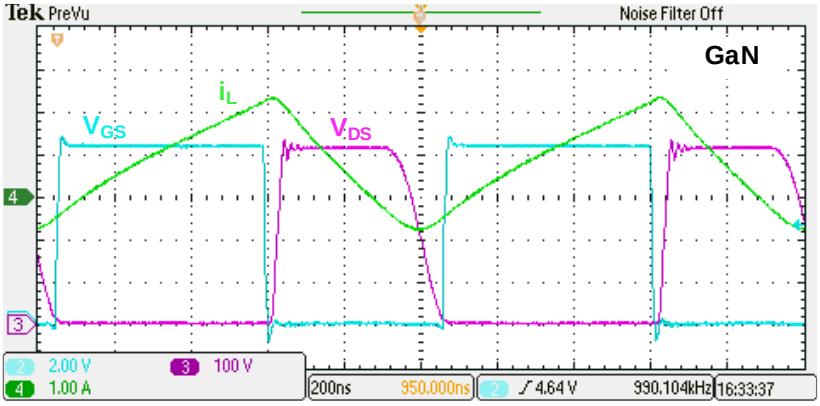
Figura 5.24. Formas de onda de funcionamiento a 500kHz de frecuencia de conmutación. (a) Diodo de Si. (b) Diodo de SiC. (c) Diodo de GaN.



(a)

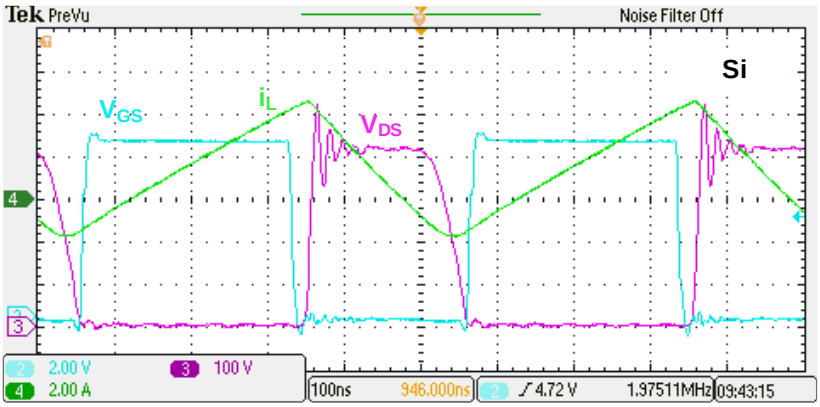


(b)

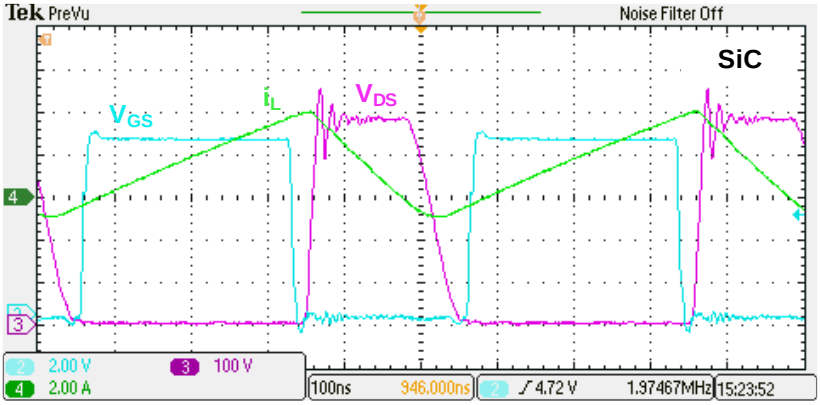


(c)

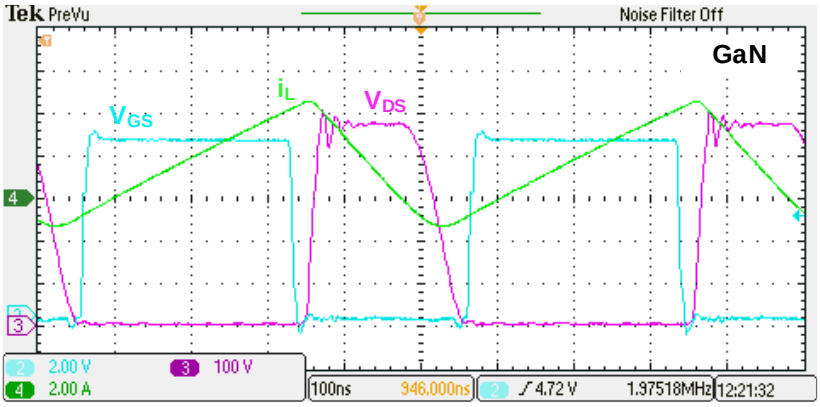
Figura 5.25. Formas de onda de funcionamiento a 1MHz de frecuencia de conmutación. (a) Diodo de Si. (b) Diodo de SiC. (c) Diodo de GaN.



(a)



(b)



(c)

Figura 5.26. Formas de onda de funcionamiento a 2MHz de frecuencia de conmutación. (a) Diodo de Si. (b) Diodo de SiC. (c) Diodo de GaN.

Como puede observarse, a 500kHz apenas hay diferencias significativas en las formas de onda capturadas (véase de nuevo la Figura 5.24). Sin embargo, a 1MHz, puede observarse que tanto en el caso del diodo de Si (Figura 5.25(a)) como en el de SiC (Figura 5.25(b)), aparece una pequeña sobreoscilación en la tensión V_{DS}. Esta oscilación apenas se puede apreciar en el caso del diodo de GaN (Figura 5.25(c)). Esta diferencia puede apreciarse con mayor nitidez en las capturas para 2MHz de frecuencia de conmutación. A esta frecuencia, la oscilación de salida de conducción del transistor es claramente más acusada en el caso del diodo de Si (Figura 5.26(a)) que en para el diodo de SiC (Figura 5.25(b)) y mayor que para el diodo de GaN (Figura 5.25(c)). Téngase en cuenta que en el convertidor utilizado, la placa de circuito impreso y las sondas de medida son las mismas en todos los casos. Por lo tanto, las inductancias parásitas presentes en el circuito también son las mismas para los tres diodos utilizados. También es importante destacar que en los tres tipos de diodos, el encapsulado también es el mismo, TO-220. Este hecho ya parece indicar que el comportamiento del diodo de Si puede ser peor (en términos de pérdidas) que el del SiC y el diodo de GaN, teniendo en cuenta que en todos los casos se opera en condiciones de conmutación suave.

También, otro detalle que puede observarse en las formas de onda mostradas anteriormente, es que el valor de corriente negativo de la inductancia no es el mismo en todos los casos. Para el diodo de Si, este valor es de -1,6A aproximadamente (véase la Figura 5.26(a)). En el caso del diodo de SiC esta corriente alcanza -1A aproximadamente (Figura 5.26(b)), mientras que para el diodo de GaN este valor es algo menor, -1,3A aproximadamente (Figura 5.26(c)). A priori, podría pensarse que el valor de la corriente negativa debería ser el mismo en todos los casos, puesto que el transistor utilizado siempre es el mismo. Sin embargo, este razonamiento es erróneo, puesto que al valor de la capacidad parásita del transistor hay que añadir la capacidad parásita del diodo para el análisis de la transición resonante. Un menor valor de la corriente (más negativo) indica, por lo tanto, un mayor valor de la capacidad total parásita que ha de descargarse para alcanzar ZVS. Así pues, en base a este nivel de corriente, puede establecerse que la capacidad parásita del diodo de Si es la mayor, seguida por la del diodo de GaN y siendo el diodo de SiC el que menor capacidad parásita presenta.

En la Figura 5.27 se muestra el rendimiento medido en función de la frecuencia de conmutación para los tres diodos analizados en esta comparativa. Para 500kHz, el rendimiento obtenido para los tres diodos es muy similar: 97,1% para el diodo de Si, 97,5% para el diodo de SiC y 97,4% para el diodo de GaN. Estas diferencias se incrementan cuando la frecuencia de conmutación pasa a ser 1MHz. En este caso, el diodo de Si obtiene un rendimiento de 96,5%, mientras que el rendimiento obtenido por el diodo de SiC es del 97,8% y para el diodo de GaN de 97,6%. Finalmente, a 2MHz, el rendimiento del diodo de Si es de 89,4%, mientras que el diodo de GaN obtiene un 96,1% y el diodo de SiC 96,6%. Estos rendimientos se han obtenido utilizando cuatro

multímetros digitales, dos FLUKE45 del fabricante FLUKE a la entrada y dos 34401A del fabricante HP (actualmente Keysight) a la salida. En todos los casos, no se han tenido en cuenta las pérdidas en el circuito de *driver*.

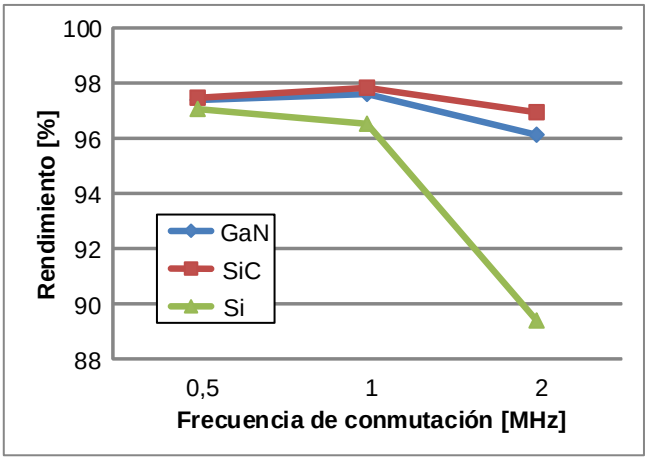


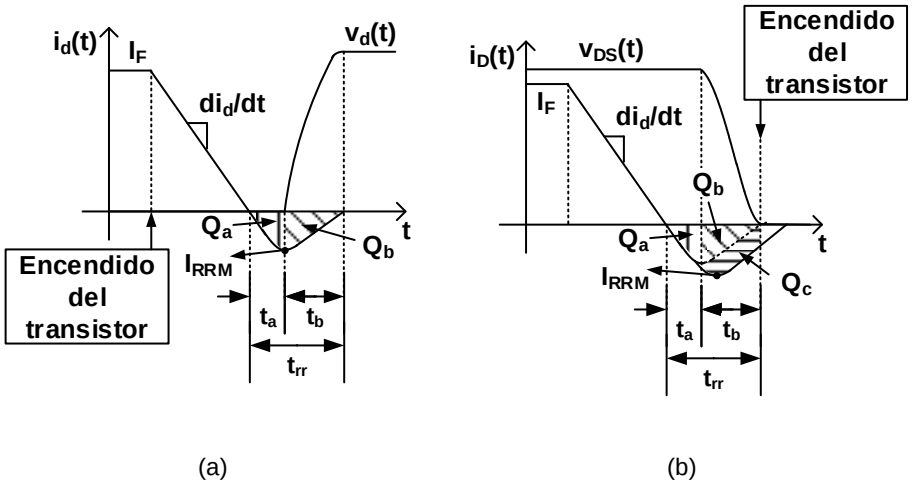
Figura 5.27. Comparativa de rendimiento medido en función de la frecuencia de conmutación para los tres diodos seleccionados.

A la vista de los resultados recogidos anteriormente pueden extraerse una serie de conclusiones interesantes. En primer lugar, el mejor diodo analizado en esta comparativa desde el punto de vista del rendimiento es el diodo de SiC del fabricante Cree. Este modelo de diodo obtiene los mejores rendimientos en las tres frecuencias de conmutación utilizadas, siendo así, la opción más razonable si se pretende optimizar el rendimiento del convertidor operando en alta frecuencia. El diodo de GaN también obtiene buenos rendimientos (siempre por encima del 96%), pero no mejora a los obtenidos por el diodo de SiC, especialmente a 2MHz. Este hecho puede explicarse en base a los dos efectos comentados anteriormente cuando se analizaron las formas de onda del convertidor. Si se recuerda, el diodo de GaN manejaba algo más de corriente negativa por la inductancia, lo que acarrea unas pérdidas en conducción mayores. Por último, el diodo de Si es comparable, en términos de rendimiento, a los anteriores únicamente a 500kHz. Sin embargo, para 1MHz y 2MHz el rendimiento obtenido cuando se ha utilizado este modelo cae drásticamente en comparación con cualquiera de los dos diodos de WBG, lo que evidencia las mejoras que poseen estos dos semiconductores sobre el diodo de Si en estas condiciones de operación.

Como ya se ha citado al comienzo de este apartado, un segundo objetivo de esta comparativa era el de averiguar si las pérdidas ligadas al fenómeno de recuperación inversa del diodo podían asumirse como prácticamente nulas, partiendo de la base que el convertidor opera en condiciones de conmutación suave. Desde un punto de vista teórico, las pérdidas de recuperación inversa son aquellas originadas por el proceso de distribución de carga que presenta un diodo cuando conmuta de su estado en conducción a su estado en bloqueo (o de polarizado directamente a polarizado inversamente). En la Figura 5.28(a) se ha representado las formas de onda teóricas

durante el proceso de recuperación inversa, cuando el transistor conmuta duro. El tiempo de recuperación inversa (t_{rr}) y la carga de recuperación inversa (Q_{rr}) suelen dividirse en dos intervalos, denotados aquí como t_a, y t_b, cuyas cargas asociadas se denotan como Q_a y Q_b. El primer intervalo, t_a, se define como el tiempo que transcurre hasta que la tensión inversa que soporta el diodo empieza a crecer (o también, como el tiempo que transcurre hasta que se alcanza el valor de la corriente de recuperación inversa I_{RRM}). El segundo intervalo, t_b, es el tiempo que transcurre hasta que la corriente se hace cero (o también el tiempo que transcurre hasta que la tensión inversa que soporta el diodo alcanza su valor final).

En condiciones de conmutación suave, este proceso es muy similar. Las formas de onda teóricas se han representado en la Figura 5.28(b), donde se ha reemplazado la tensión inversa del diodo por la tensión drenador-fuente del transistor que actúa como rectificador síncrono. En este caso, el tiempo t_a es aquel que transcurre desde que la corriente pasa por cero hasta que la tensión V_{DS} comienza a caer. Por otro lado, el tiempo t_b se define como aquél que transcurre desde el instante anterior hasta que la tensión V_{DS} se hace cero. Tradicionalmente, se ha venido asumiendo que la carga Q_b era prácticamente despreciable en estas condiciones, y por lo tanto, las pérdidas ligadas a la convivencia de tensión y corriente durante este intervalo podían despreciarse también. Sin embargo, puede existir un exceso de carga, denotado aquí como Q_c durante este proceso que hace que la carga total Q_{rr} ya no sea despreciable. Este exceso de carga está ligado a varios fenómenos físicos y a la capacidad parásita de la unión que presenta el diodo.

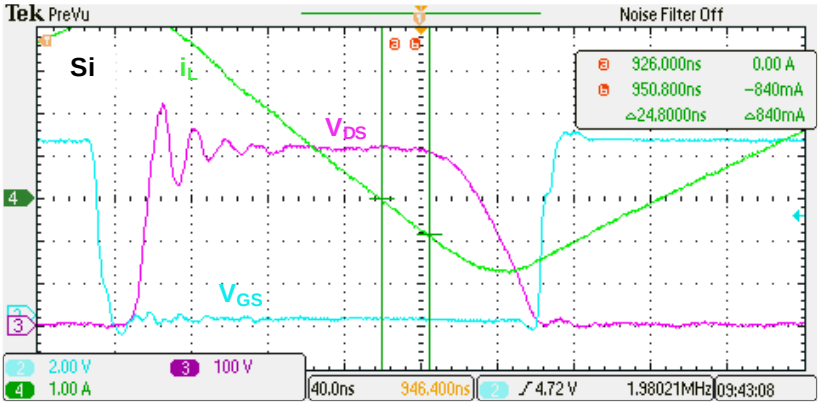


(a) (b)

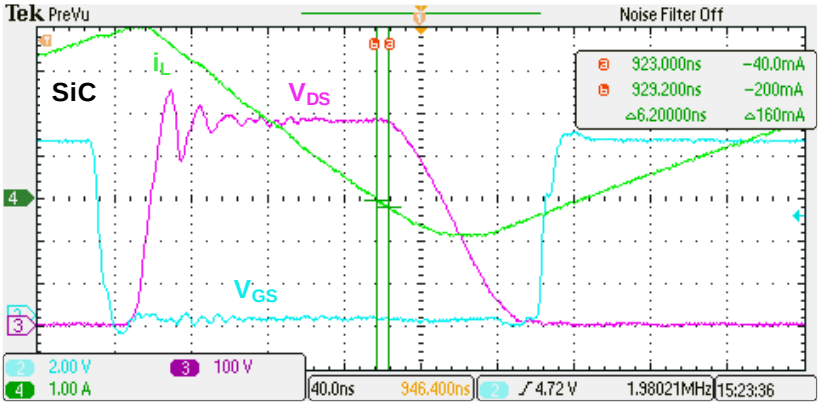
Figura 5.28. Formas de onda teóricas durante la recuperación inversa del diodo. (a) En condiciones de conmutación dura. (b) En condiciones de conmutación suave.

Para esclarecer este fenómeno, se ha medido experimentalmente el tiempo t_a y se ha comparado este tiempo para los tres casos analizados anteriormente. En la Figura 5.29 se recogen tres capturas del osciloscopio donde se ha destacado la medida de este tiempo. Por

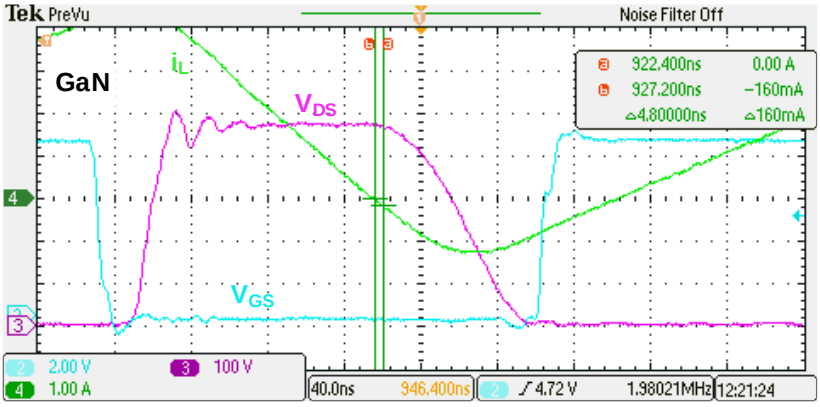
simplicidad, únicamente se muestran las capturas realizadas a una frecuencia de conmutación de 2MHz para los tres diodos utilizados en esta comparativa.



(a)



(b)



(c)

Figura 5.29. Tiempo ligado a la recuperación inversa t_a medido a una frecuencia de conmutación de 2MHz. (a) Para el diodo de Si. (b) Para el diodo de SiC. (c) Para el diodo de GaN.

En la Figura 5.30 se resumen los tiempos medidos en función de la frecuencia de conmutación para los tres modelos de diodos estudiados. Como puede observarse, el diodo de Si obtiene

tiempos mucho mayores que los medidos para el caso del diodo de SiC y del diodo de GaN. Para este diodo de Si, los tiempos se sitúan siempre en torno a 20ns aproximadamente, con una tendencia decreciente con la frecuencia. Tanto para el diodo de SiC como para el diodo de GaN estos tiempos se sitúan en torno a los 8ns aproximadamente, aunque estas medidas pueden verse influenciadas por las condiciones de medida. A la vista de estos resultados puede confirmarse que los diodos de WBG presentan una recuperación inversa mucho menor (o mucho más rápida en términos temporales) que la que presenta el diodo de Si, algo que ya era bien conocido.

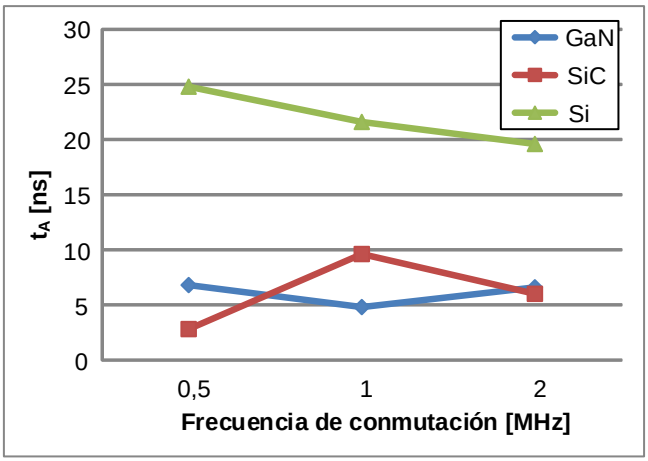
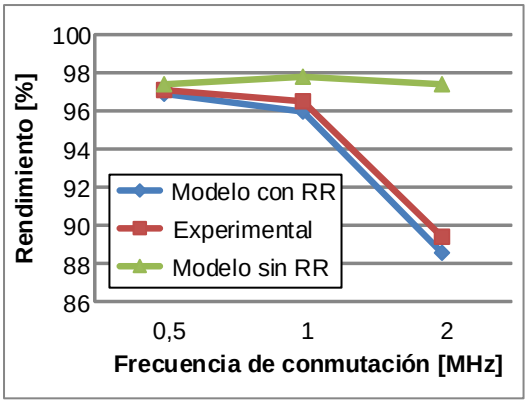


Figura 5.30. Tiempo t_a medido en función de la frecuencia para cada diodo.

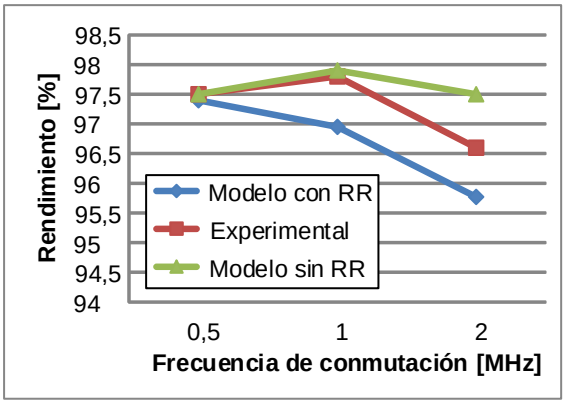
No obstante, si se evalúan los datos de rendimiento medidos anteriormente y se comparan con un modelo de pérdidas, como el detallado en el anexo A1 del presente trabajo de tesis, pueden extraerse una serie de conclusiones que van más allá de la aplicación de esta técnica. En la Figura 5.31 se muestra una comparativa de rendimientos. Por un lado, los obtenidos a partir de un modelo de pérdidas que tiene en cuenta la recuperación inversa del diodo (curva azul). Por otro, los obtenidos de manera experimental (curva roja). Y por último, los obtenidos por un modelo de pérdidas en los que se han despreciado las pérdidas de recuperación inversa asumiendo las conmutaciones suaves.

Si se presta atención a los resultados obtenidos para el caso del diodo de Si (Figura 5.31(a)), puede verse que el modelo de pérdidas que no tiene en cuenta la recuperación inversa introduce un gran error, especialmente a 2MHz (del orden de 7,9%). Sin embargo, el modelo de pérdidas que incluye la recuperación inversa sí que se aproxima con mayor fidelidad a los datos experimentales medidos (el error cometido es menor que el 2%). Esto evidencia, junto con los resultados anteriores, que incluso en condiciones de conmutación suave, no es posible despreciar las pérdidas de recuperación inversa, especialmente en frecuencias de conmutación del orden de MHz. Para el diodo de SiC (véase la Figura 5.31(b)), se obtiene un resultado diferente. Hasta 1MHz el modelo de pérdidas que desprecia la recuperación inversa resulta ser el que mejor se

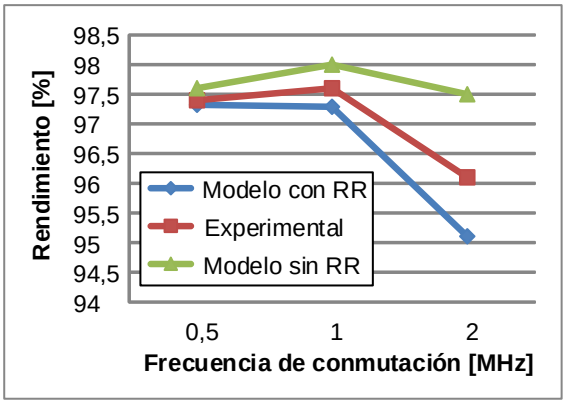
ajusta a los resultados experimentales, mientras que el modelo de pérdidas que sí incluye este fenómeno comete un error por exceso apreciable (de alrededor de 1,6%). Sin embargo, en 2MHz ambos modelos introducen un error del 0,6% (uno por exceso y otro por defecto). Este comportamiento evidencia que hasta 1MHz las pérdidas de recuperación inversa introducidas por este diodo son despreciables. Sin embargo, para 2MHz existe otro fenómeno de pérdidas asociado a la conmutación del diodo que no es capaz de describir el modelo clásico de pérdidas de recuperación inversa utilizado para diodos de Si. Los resultados para el diodo GaN se recogen en la Figura 5.31(c). En este caso, los dos modelos teóricos de pérdidas cometen aproximadamente el mismo error (del orden de 1,76% a 1MHz y de 1,46% a 2MHz), una vez más, uno por exceso y otro por defecto. Al igual que en el caso del diodo de SiC, esto evidencia que existen unas pérdidas ligadas a la conmutación de este dispositivo que no se describen con los modelos sencillos de pérdidas utilizados habitualmente para modelar la recuperación inversa en diodos de Si.



(a)



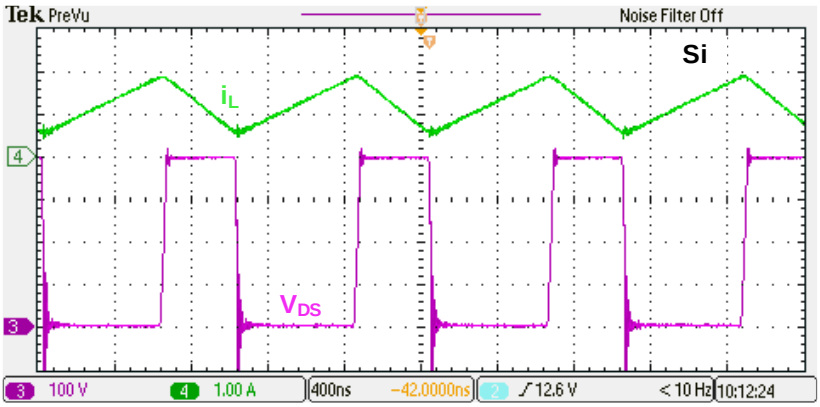
(b)



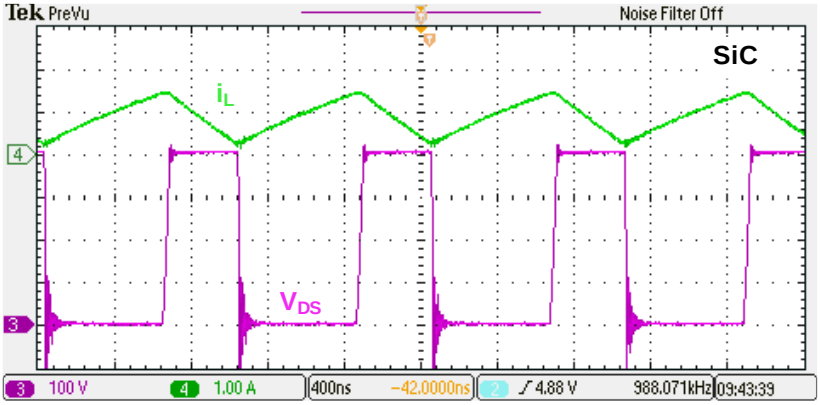
(c)

Figura 5.31. Comparativa de rendimiento medido experimentalmente, modelo de pérdidas sin incluir la recuperación inversa y modelo de pérdidas incluyendo la recuperación inversa. (a) Para el diodo de Si. (b) Para el diodo de SiC. (c) Para el diodo de GaN.

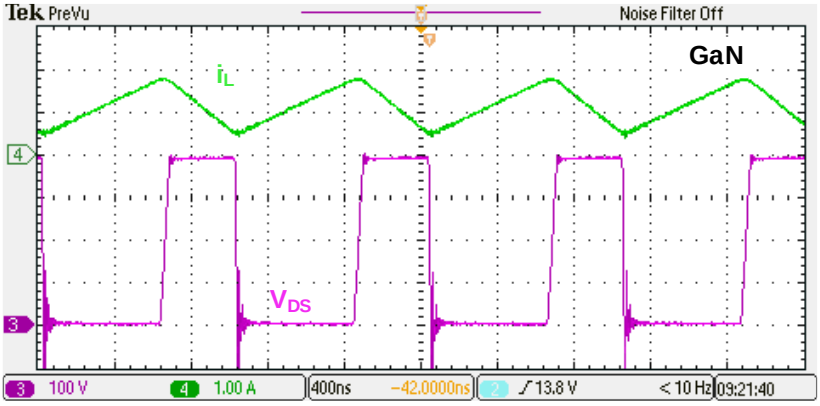
Por último, se han realizado pruebas experimentales trabajando en modo de conducción continuo (MCC) con la misma potencia (150W) y los mismos dispositivos, a una frecuencia de conmutación de 1MHz. El objetivo de estas pruebas es el de comparar las pérdidas de estos dispositivos cuando operan en condiciones de conmutación dura y tratar de clarificar el impacto de su recuperación inversa en el rendimiento del módulo de potencia. Únicamente se ha modificado la inductancia para conseguir trabajar en este modo de funcionamiento en particular. En la Figura 5.32 se recogen las principales formas de onda medidas en este modo para los tres diodos utilizados en esta comparativa.



(a)



(b)



(c)

Figura 5.32. Formas de onda experimentales trabajando en MCC a 1MHz. (a) Para el diodo de Si. (b) Para el diodo de SiC. (c) Para el diodo de GaN.

En la Tabla 5.6 se recogen las pérdidas estimadas utilizando el modelo teórico de pérdidas detallado en el anexo A1, el rendimiento estimado y el rendimiento medido en el modo MCC operando a 1MHz para cada uno de los diodos de esta comparativa.

Tabla 5.6. Pérdidas y rendimiento estimado, junto con el rendimiento medido y el error cuando el convertidor opera en MCC a 1MHz para los tres modelos de diodo analizados.

Modelo	Tecnología	P_{cond} [W]	P_{ind} [W]	P_{sw} [W]	η_{modelo} [%]	η_{medido} [%]	Error [%]
15ETX06	Si	1,6	2,59	8,7	91,4	80,3	56,5
C3D04060A	SiC	1,33	2,59	8,4	91,7	90,1	16,6
TPS3411PK	GaN	1,45	2,59	14,3	87,8	86,0	13,1

Como puede observarse, el mejor rendimiento es obtenido nuevamente para el diodo de SiC, seguido por el diodo de GaN y, por último, por el diodo de Si, lo que confirma las conclusiones que se alcanzaron para el modo QSW-ZVS. En este caso, las ventajas de los dos diodos de WBG se hacen más evidentes, al obtener una mejora en rendimiento de casi 10 puntos frente al diodo de Si, lo que confirma el impacto de las pérdidas de la recuperación inversa en las pérdidas totales del convertidor. El error cometido por el modelo teórico es también notable para el caso de Si, desviándose más de un 50%. No obstante, el modelo teórico sí que se ajusta mejor para describir las pérdidas tanto para el diodo de SiC como para el diodo de GaN.

Nuevamente, estos resultados confirman las ventajas del diodo de SiC utilizado como rectificador en el módulo de potencia si se quiere optimizar el rendimiento de este convertidor, sobre todo operando a frecuencias del orden de MHz.

5.4. EL MÓDULO DE POTENCIA CON TRANSISTORES DE SIC

El último paso presentado en este trabajo para tratar de optimizar el módulo de potencia pasa por sustituir los transistores MOSFET de Si por otro tipo de transistores de WBG que puedan mejorar las prestaciones de los primeros. En este apartado se analizarán qué ventajas y desventajas aporta el uso de transistores de SiC frente a los transistores de Si utilizados en el módulo de potencia, sin perder la capacidad de que el módulo sea bidireccional.

5.4.1. EL TRANSISTOR MOSFET DE SIC

Como ya se ha mencionado en la introducción de este capítulo, existen cuatro alternativas de transistores de SiC para poder ser utilizados como sustitutos del transistor MOSFET de Si en el módulo de potencia: el transistor JFET n-on, el transistor JFET n-off, el transistor BJT y el transistor MOSFET.

El transistor JFET n-off ofrece peores prestaciones que la alternativa n-on y necesita un driver específico para ser utilizado. Por su parte, el transistor JFET n-on ofrece unas prestaciones potenciales interesantes, tal y como se demostró con su uso en el rectificador en cascodo propuesto anteriormente. Sin embargo, exige unos *drivers* específicos y unas protecciones adicionales si se quiere utilizar como reemplazo del transistor en el módulo de potencia, debido a que se trata de un dispositivo normalmente cerrado. Una alternativa para paliar estos dos inconvenientes sería utilizar un montaje en cascodo, combinando este transistor con un MOSFET de Si de baja tensión. El gobierno de esta estructura sería inmediato, puesto que se gobierna directamente un transistor de Si. Sin embargo, esta estructura ya ha sido ampliamente estudiada en la literatura, poniendo de manifiesto sus ventajas [5.21]-[5.25]. Debido a esto y a la escasez de transistores JFET n-on disponibles comercialmente, se ha descartado profundizar sobre esta opción.

El transistor BJT de SiC se encuentra aún en desarrollo, pese a que sea comercialmente accesible. Sus propiedades y su manejo no son, por el momento, contrastables, debido a la baja reproducibilidad de fabricación de este dispositivo en concreto en el momento en el que se desarrolló el presente trabajo de tesis. Por esta razón, también se ha descartado el análisis de este tipo de transistor.

El transistor MOSFET de SiC ha tenido una evolución más sostenida en el tiempo que alguno de los anteriores. A día de hoy la mayoría de los principales fabricantes de semiconductores han apostado por este tipo de transistor, puesto que, por sus características, podría resultar ser un

sustituto para los transistores IGBT de Si en aplicaciones de alta tensión y para los transistores MOSFET de Si de super-unión en aplicaciones de media tensión y relativa alta frecuencia.

La mayoría de los transistores MOSFET de SiC accesibles en el mercado poseen tensiones de ruptura del orden de 1200V. Aunque también existen modelos de menor tensión de ruptura (del orden de 650V), la tendencia de los fabricantes es la de subir estas tensiones máximas hasta los 3300V, con el objetivo de sustituir al IGBT, aunque todavía no existen dispositivos accesibles comercialmente de estas características en el momento del desarrollo del presente trabajo. Por lo tanto, la principal ventaja que aportaría el uso de transistores MOSFET de SiC en el módulo de potencia sería la capacidad de aumentar considerablemente la tensión de salida del convertidor modular IPOP.

Una segunda potencial ventaja del uso de transistores MOSFET de SiC es la de aumentar la frecuencia de conmutación, lo que permitiría reducir el volumen y el peso del convertidor modular. En la Tabla 5.7 se muestran las principales características de dos modelos de transistor MOSFET de SiC. El primer modelo, C2M0080120 del fabricante Cree, posee una tensión máxima de ruptura de 1200V. El segundo modelo mostrado como ejemplo, SCT2120AFC del fabricante Rohm, es un transistor de tensión máxima de 650V y corriente máxima de 29A. A modo de comparación, se ha incluido en esta misma tabla las características correspondientes al modelo del transistor MOSFET de Si utilizado hasta ahora en el módulo de potencia.

Si se comparan las características de los tres transistores mostrados en la Tabla 5.7, puede apreciarse que el modelo de Cree posee unas características de puerta mejores en comparación con el transistor MOSFET de Si (4,6Ω de resistencia interna de puerta y 62nC de carga total de puerta). Además, la capacidad de entrada se reduce prácticamente a la mitad (950pF por los 1660pF del modelo de Si Infineon). Por lo tanto, es esperable que este transistor presente menores tiempos de conmutación que el transistor MOSFET de Si y, por lo tanto, que posea menores pérdidas de conmutación para una misma frecuencia de conmutación o bien que permita conmutar a una mayor frecuencia de conmutación para unas pérdidas similares a las del transistor MOSFET de Si. La resistencia en conducción del transistor MOSFET de Cree también es menor, lo cual está directamente relacionado con la mayor capacidad de conducción de corriente que posee este transistor de SiC.

Si se realiza esta misma comparativa con el transistor MOSFET de SiC de Rohm, puede verse que sus características son muy similares a las del transistor de Si de Infineon, tanto en corriente máxima soportada como de resistencia en conducción. Si se presta atención a las características de puerta del modelo SCT2120AFC, puede observarse que la capacidad de entrada es ligeramente menor (1200pF por los 1660pF del transistor MOSFET de Si), mientras que la resistencia interna y la carga total de puerta son mayores que las del modelo de Infineon. Por lo

tanto, es esperable que este transistor MOSFET tenga un comportamiento, desde el punto de vista de la conmutación y de las pérdidas totales del dispositivo, muy similar al transistor MOSFET de Si.

En ambos casos, cabe destacar que la capacidad de salida recogida en las hojas de características proporcionadas por cada fabricante es notablemente mayor en los transistores MOSFET de SiC en comparación con el MOSFET de Si. Este hecho ha de ser tenido en cuenta para el modo de operación QSW-ZVS, puesto que una mayor capacidad de salida implicará un mayor tiempo de resonancia, un mayor tiempo de circulación de corriente negativa por la inductancia y, por lo tanto, un valor eficaz mayor en las corrientes que procese el módulo de potencia.

Tabla 5.7. Principales características de dos transistores MOSFET de SiC. Se incluye como comparativa, el transistor MOSFET de Si utilizado en el módulo de potencia de manera habitual en el presente trabajo.

Modelo	Fabricante	V_{DS} [V]	I_D [A]	R_{DSon} [mΩ]	C_{OSS} [pF]	C_{ISS} [pF]	C_{RSS} [pF]	R_G [Ω]	Q_G [nC]	Encapsulado
C2M0080120	Cree (SiC)	1200	36	98	100	950	7,6	4,6	62	TO-247
SCT2120AFC	Rohm (SiC)	650	29	156	90	1200	13	13,8	91	TO-220
IPW60R160C6	Infineon (Si)	600	23,8	160	40	1660	-	6,4	75	TO-247

Otra característica importante que imponen los transistores MOSFET de SiC, es el ajuste y no rediseño del circuito de gobierno (o *driver*) de la puerta del transistor. Los fabricantes de este tipo de dispositivos recomiendan unas tensiones de puerta en el rango de 20V y -5V, para conseguir unos tiempos de conmutación óptimos y una resistencia en conducción baja [5.54], [5.55]. La tensión mínima de puerta negativa obliga a utilizar un *driver* ligeramente distinto al utilizado hasta ahora en el módulo de potencia cuando se empleaban transistores MOSFET de Si. Esta tensión negativa, según los fabricantes, asegura la apertura total del canal del transistor. El nivel de tensión alto recomendado por los fabricantes (20V) es ligeramente superior al utilizado por lo general en transistores MOSFET de Si de super-unión, que se sitúa en torno a los 12V. La mayor dificultad no radica en alcanzar este valor de tensión, sino en conseguir un valor muy estable ya que la tensión de puerta máxima del transistor C2M0080120 es de 25V. Esto deja un margen muy pequeño entre el nivel de tensión recomendado y la tensión de ruptura. Por o tanto, es necesario conseguir una tensión muy fija para el nivel alto de la señal de mando, lo que unido al hecho anterior de tener un nivel bajo de tensión negativa, obliga a modificar un *driver* tradicional para este tipo de transistores MOSFET de SiC. Conviene destacar que la segunda generación de este tipo de transistores ya se pueden gobernar con tensiones positivas.

5.4.2. DRIVERS PARA MOSFET DE SIC

Como se ha expuesto anteriormente, el objetivo de este *driver* para transistores MOSFET de SiC es proporcionar una señal PWM entre valores de 20V y -5V respectivamente. Además de proporcionar estos niveles de tensión, también es necesario que el *driver* proporcione aislamiento, para poder ser utilizado tanto en transistores referidos a masa como en transistores flotantes.

En la Figura 5.33 se muestra el esquema de bloques del *driver* propuesto para los transistores MOSFET de SiC, que se ha basado, con alguna modificación, en el propuesto en [5.56]. En primer lugar, los dos elementos que proporcionan el aislamiento galvánico necesario son el convertidor CC-CC JCD0605D05 y el opto-acoplador TLP15F. El primer elemento proporciona el aislamiento galvánico para los niveles de tensión del PWM y de las alimentaciones auxiliares del resto de elementos del circuito. El segundo componente proporciona el aislamiento galvánico en la señal de control PWM.

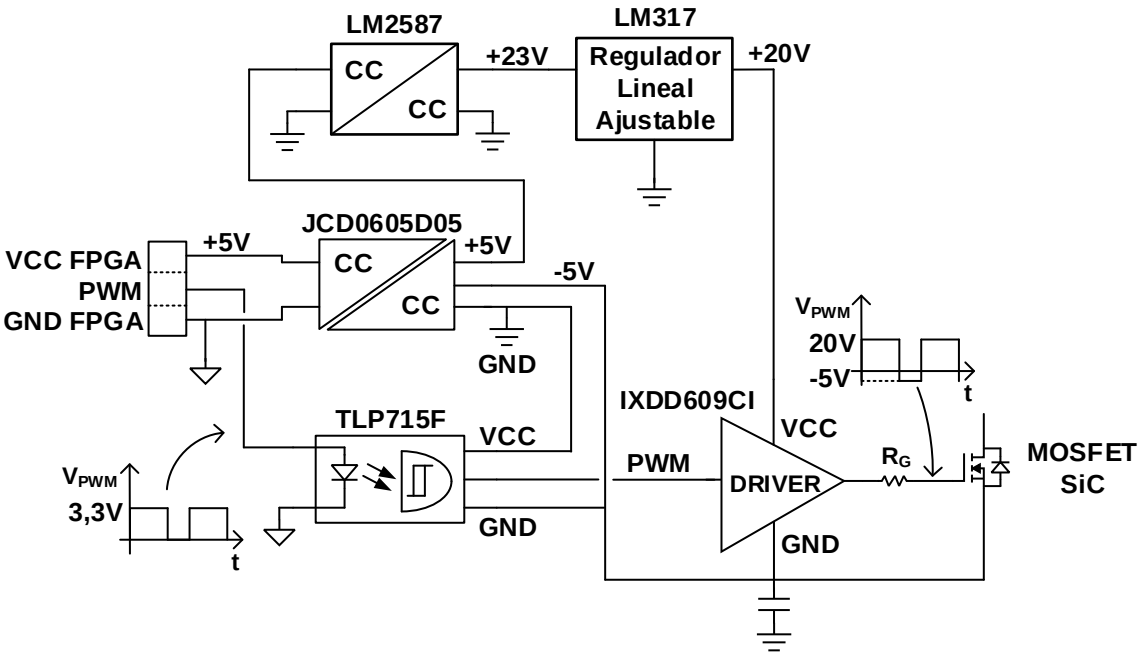


Figura 5.33. Esquema de bloques del *driver* propuesto para el transistor MOSFET de SiC.

El convertidor JCD0605D05 también proporciona dos salidas simétricas de +5V y -5V. La tensión de -5V será la que se utilice como señal de nivel bajo. Por lo tanto, se utiliza como alimentación del opto-acoplador TLP715F. A partir de la segunda salida de +5V ha de obtenerse un nivel de tensión de 20V muy fijo.

Para ello, se utiliza una estructura en dos etapas. En primer lugar, se eleva esta tensión de 5V hasta los 23V con un convertidor elevador CC-CC comercial modelo LM2587. En segundo lugar, se utiliza un regulador lineal ajustable modelo LM317 para conseguir los 20V a partir de los 23V proporcionados por el convertidor anterior. Desde el punto de vista del coste o del rendimiento,

podría haberse prescindido de este regulador lineal y utilizar directamente el convertidor CC-CC para proporcionar la tensión regulada de 20V. Sin embargo, por cuestiones de seguridad anteriormente expuestas, se ha decidido utilizar un regulador lineal para obtener una respuesta dinámica más rápida y asegurar un nivel de tensión muy fijo a la salida.

El último elemento presente en el circuito de la Figura 5.36 es el *driver* comercial propiamente dicho. Se ha utilizado el modelo IXDD609CI del fabricante Ixys, recomendado por el fabricante Cree para el gobierno de sus transistores MOSFET de SiC. Adicionalmente, se ha colocado una resistencia R_G en serie con la puerta del dispositivo, cuyo valor se ha ido ajustando para las distintas pruebas en función de la frecuencia de conmutación y de la potencia procesada por el transistor MOSFET.

En la Figura 5.34 se muestra una fotografía de la placa de circuito impreso del *driver* para transistores MOSFET de SiC construido, donde se han destacado cada uno de los elementos anteriormente comentados y sus dimensiones.

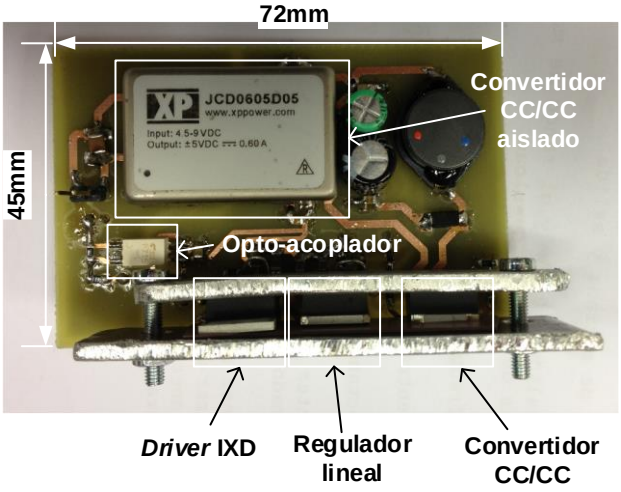


Figura 5.34. Fotografía del *driver* fabricado para el transistor MOSFET de SiC.

En la Figura 5.35 se recoge una captura de las señales proporcionadas por el *driver* propuesto. Las formas de onda medidas en el osciloscopio se corresponden con una señal PWM de frecuencia de 2MHz, medida directamente en los terminales puerta-fuente de ambos transistores, cuando el convertidor no procesa potencia. Pueden observarse los niveles de tensión conseguidos por el *driver* y que se corresponden con los 20V y -5V.

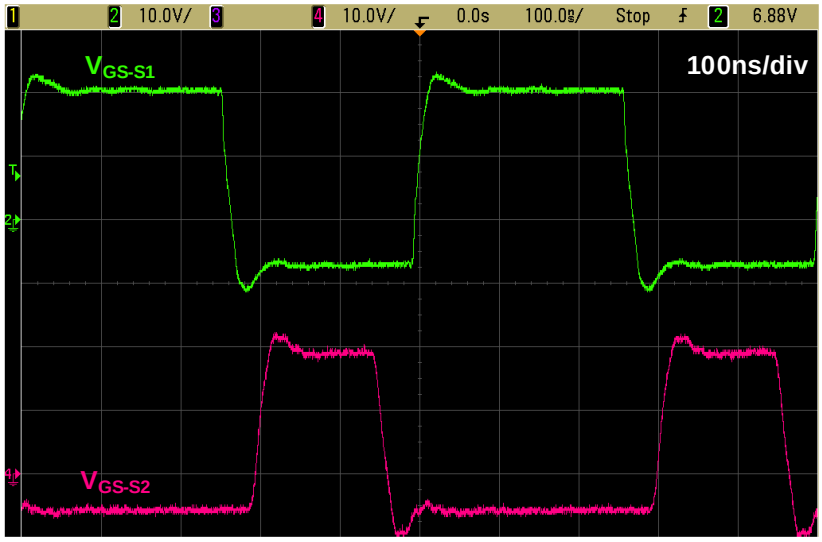


Figura 5.35. Tensiones puerta-fuente proporcionadas por el *driver* propuesto cuando opera a una frecuencia de conmutación de 2MHz sin procesar potencia.

5.4.3. RESULTADOS EXPERIMENTALES

En este apartado se recogen los resultados experimentales obtenidos con un módulo de potencia utilizando transistores MOSFET de SiC. El set-up utilizado es exactamente el mismo al de otros capítulos y puede verse en la Figura 5.36. La estructura del convertidor es exactamente la misma que en el resto de pruebas experimentales presentadas anteriormente, a excepción del *driver* y los dispositivos MOSFET de SiC comentados anteriormente. Las tensiones de entrada y de salida son las mismas que se han fijado como referencia y que han sido utilizadas a lo largo de este trabajo de tesis.

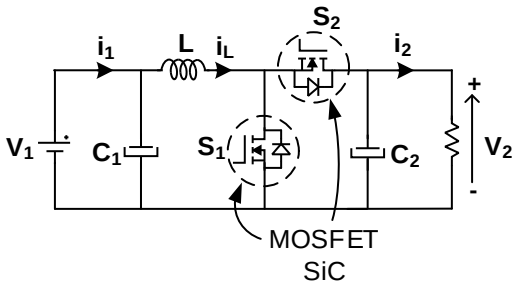


Figura 5.36. Circuito de prueba para el módulo de potencia utilizando transistores de SiC.

El transistor MOSFET de SiC utilizado es el modelo C2M0080120 de Cree, cuyas características ya han sido comentadas anteriormente y pueden consultarse de nuevo en la Tabla 5.7. Con el objetivo de explorar las características que ofrecen estos dispositivos, se ha fijado un nivel de potencia de 600W y dos frecuencias de conmutación (100kHz y 400kHz. Para cada uno de estos casos se ha ajustado el valor de la inductancia de acuerdo a las condiciones fijadas por el modo de funcionamiento QSW-ZVS. Además, también se ha ajustado el valor de la resistencia

de puerta en cada caso, para minimizar la sobre-oscilación de la tensión de puerta y maximizar el rendimiento para cada valor de la frecuencia de conmutación planteado. En la Tabla 5.8 se resumen los valores de inductancia, características del núcleo y resistencia de puerta utilizadas para cada caso. Es importante destacar que las inductancias utilizadas en estos ensayos se han diseñado y construido siguiendo un diseño tradicional. Por lo tanto, no se han aplicado las técnicas de optimización comentadas en el capítulo 3 en cuanto a la forma de devanado y la selección del hilo de cobre.

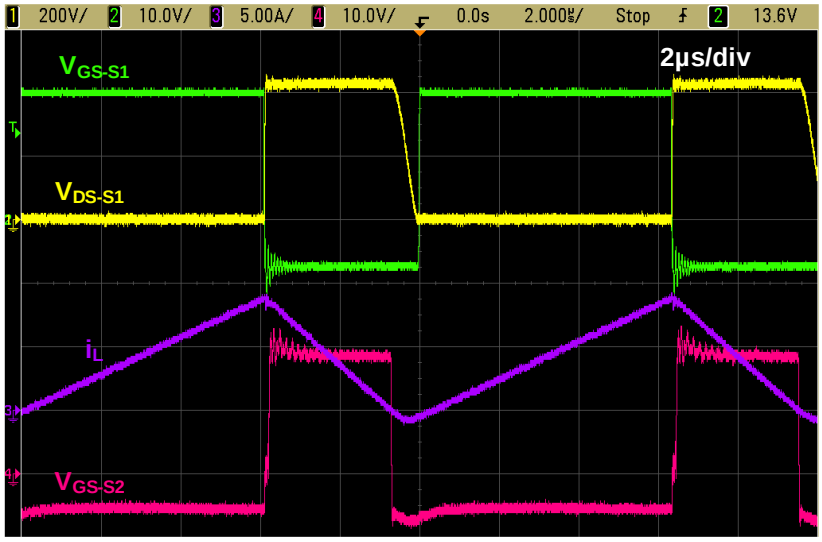
Tabla 5.8. Valores de inductancia, características del núcleo y resistencia de puerta utilizados en función de la frecuencia de conmutación.

P [W]	f_S [kHz]	L [µH]	Material del núcleo	Tamaño del núcleo	Fabricante	R_G [Ω]
600	100	96	3F3	ETD42	Ferroxcube	2
600	400	17,13	3F3	ETD44	Ferroxcube	2,36

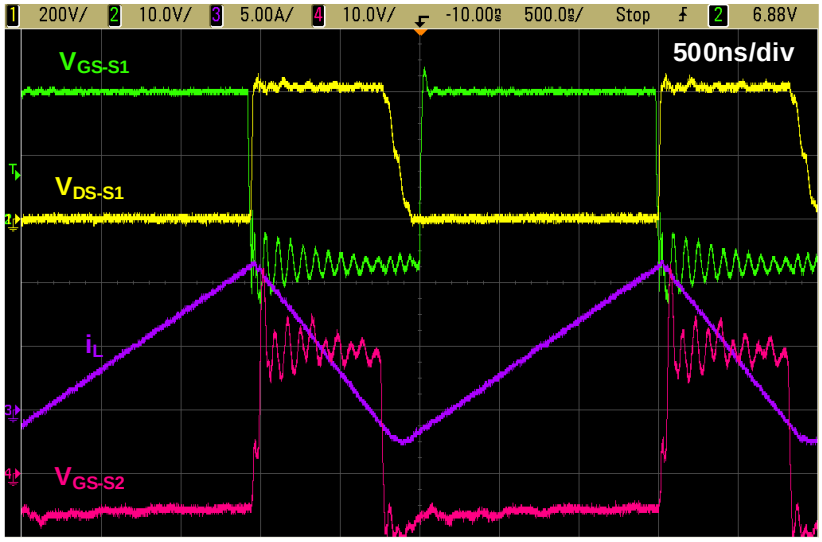
En todos los casos, se ha utilizado una FPGA Spartan 6 para generar las señales de mando de los transistores sobre la que se ha implementado el control directo de frecuencia variable comentado en el capítulo 3 de esta tesis.

En la Figura 5.37 se muestran las formas de onda de funcionamiento obtenidas cuando el módulo de potencia procesa 600W. Concretamente, en la Figura 5.37(a) se muestran los resultados obtenidos para una frecuencia de conmutación de 100kHz. Como puede observarse, las formas de onda obtenidas son similares a las recogidas en el capítulo 3 cuando el módulo utiliza transistores MOSFET de Si. Apenas se observan diferencias destacables, salvo un ligero incremento del tiempo de resonancia t_{d2} de acuerdo con el incremento de la capacidad de salida del transistor de SiC con respecto al MOSFET de Si.

En la Figura 5.37(b) se recogen los resultados medidos cuando la frecuencia de conmutación es de 400kHz. En este caso, pueden observarse ciertas oscilaciones parásitas en las tensiones de puerta de ambos transistores durante la conducción del transistor flotante S2. Estas oscilaciones, sin embargo, no se reflejan en la desmagnetización de la inductancia, como puede apreciarse en la corriente que circula por este elemento. El origen de estas oscilaciones parásitas puede ser muy variado, desde los elementos parásitos introducidos por la placa de circuito impreso hasta la disposición física de los transistores en esta placa. Pese a la existencia de estas resonancias, en ningún caso se acercan a los valores de tensión que puedan causar una ruptura por puerta del MOSFET de SiC ni a su umbral de conducción. Alcanzado este punto, cabe recordar que se ha utilizado siempre la misma placa de circuito impreso en todos los casos analizados en este apartado. Además de esto, se ha intentado minimizar el bucle de conexión entre el *driver* y la puerta del transistor.



(a)



(b)

Figura 5.37. Formas de onda experimentales para una potencia de 600W utilizando transistores MOSFET de SiC. (a) Para una frecuencia de conmutación de 100kHz. (b) Para una frecuencia de conmutación de 400kHz.

Otro detalle que debe destacarse es que puede apreciarse con nitidez la llamada meseta Miller (o en su término en inglés *Miller plateau*) durante el intervalo de resonancia en el que se descarga de la capacidad de salida del transistor S1. Este efecto está ligado a la descarga de la capacidad Miller del transistor MOSFET. Bajo condiciones de funcionamiento de conmutaciones suaves, el tiempo que dura este efecto se reduce con respecto al caso de conmutaciones duras. Pese a ello, a determinadas frecuencias de conmutación, el *Miller plateau* es visible, puesto que no puede reducirse más y el tiempo de descarga de este condensador parásito es comparable a los intervalos de conmutación.

De igual forma, también pueden observarse los tiempos de encendido y apagado del transistor MOSFET de SiC, que apenas alcanzan los 25ns aproximadamente. Cabe destacar, también, que en todos los casos se han ajustado los tiempos t_{on} y t_{d1} de acuerdo con el modo de operación QSW-ZVS, para mantener la relación de tensiones de entrada y de salida y para minimizar las pérdidas por conducción del diodo parásito.

En la Figura 5.38 se muestran los rendimientos medidos en los casos analizados. Este rendimiento no incluye las pérdidas en el *driver*. El mayor rendimiento se obtiene para 100kHz, como cabría esperar, situándose en un 96,36%. A 400kHz, el rendimiento desciende hasta un 94,07%.

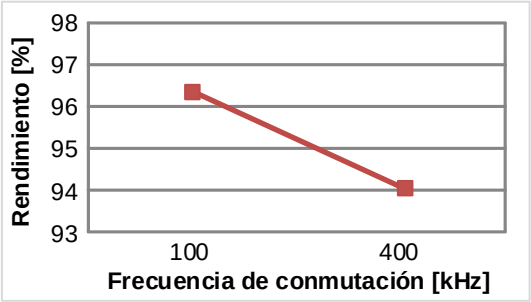


Figura 5.38. Rendimiento obtenido por el módulo de potencia utilizando transistores MOSFET de SiC en función de la frecuencia de conmutación.

Los rendimientos medidos utilizando transistores MOSFET de SiC no mejoran los rendimientos obtenidos en el caso de los transistores MOSFET de Si. Este hecho se debe, en buena medida, al incremento de pérdidas debido a la utilización de una inductancia no optimizada. Además de las pérdidas adicionales en este elemento, cabe destacar el aumento de la capacidad de salida del MOSFET de SiC utilizado, que dobla la capacidad de salida del transistor. Este hecho, que ya se destacó al comienzo de este apartado, ocasiona que el convertidor maneje mayores valores de corriente de pico, incrementando así las pérdidas tanto de conmutación como de conducción. Por último, también deben tenerse en cuenta las oscilaciones parásitas observadas en las formas de onda de funcionamiento, especialmente a 400kHz. La combinación de estos tres factores explicaría el rendimiento menor en comparación con el módulo de potencia basado en MOSFET de Si. Teniendo en cuenta las consideraciones anteriores, el rendimiento cae aproximadamente 2 puntos cuando se cuadriplica la frecuencia de conmutación, lo que verifica la capacidad que ofrecen estos dispositivos para conmutar a una frecuencia mayor.

Aun teniendo en cuenta los resultados obtenidos, no debe olvidarse que estos dispositivos son capaces de soportar el doble de tensión que los transistores MOSFET de Si. Una de las desventajas de la agrupación modular IPOP era que las tensiones no se escalaban. A este hecho se suma el que en el módulo de potencia seleccionado (convertidor elevador síncrono) los transistores soportan la tensión de salida. Así, disponer de transistores MOSFET de SiC con una

mayor capacidad para soportar tensión, pero con unas características similares a los transistores de Si en cuanto a pérdidas se refiere, permitiría solventar esta limitación en el convertidor modular IPOP bajo estudio en este trabajo de tesis, manteniendo, además, la frecuencia de conmutación.

5.4.3.1. Comparativa con transistores HEMT de GaN

Puesto que el objetivo del análisis planteado en este apartado es el de comprobar la capacidad de los transistores basados en materiales de WBG y los beneficios que estos pueden aportar al módulo de potencia, se han repetido los mismos experimentos descritos anteriormente para los MOSFET de SiC pero utilizando esta vez dispositivos de GaN.

En este caso se persigue comprobar la capacidad de estos transistores para conmutar en alta frecuencia. Para ello, se ha seleccionado el modelo TPH3006PS del fabricante Transphorm [5.57]. Este transistor es un montaje en cascodo con un transistor HEMT n-on de GaN junto con un transistor MOSFET de Si, como puede observarse en la Figura 5.39 que se ha extraído de la hoja de características.

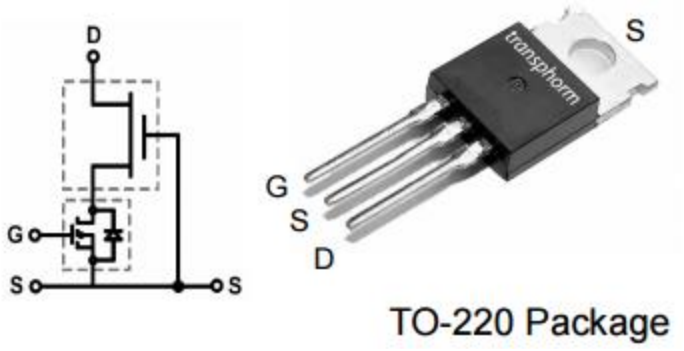


Figura 5.39. Esquema eléctrico del modelo TPH3006PS e imagen del encapsulado. Fuente: [5.57].

Los principales parámetros de este transistor se recogen en la Tabla 5.9. Al tratarse de un montaje en cascodo, este transistor puede gobernarse directamente utilizando los mismos *drivers* que los empleados en el caso de los transistores de Si. Puede revisarse la información de estos *drivers* en el apartado de resultados experimentales del capítulo 3 de este trabajo de tesis. Los dos únicos cambios a tener en cuenta están ligados al encapsulado. En primer lugar, este transistor utiliza un encapsulado TO-220 (a diferencia del TO-247 empleado hasta ahora tanto en Si como en SiC). En segundo lugar, el orden de los terminales es distinto al habitual en este tipo de transistores: en lugar de seguir el orden GDS (puerta, drenador, fuente) en este caso es GSD (puerta, fuente y drenador), con lo que el ruteado de las pistas es ligeramente distinto. No obstante, tanto el tamaño de la placa de circuito impreso como el resto de componentes son los mismos que los utilizados en el módulo de potencia cuando se emplean transistores MOSFET de Si.

Tabla 5.9. Principales características del transistor TPH3006PS de GaN.

Modelo	Fabricante	V_{DS} [V]	I_D [A]	R_{DSon} [mΩ]	C_{OSS} [pF]	C_{ISS} [pF]	C_{RSS} [pF]	R_G [Ω]	Q_G [nC]	Encapsulado
TPH3006PS	Transphorm (GaN)	600	17	180	133	950	740	-	6,2	TO-220

A continuación se muestran los resultados obtenidos con este transistor para las tres frecuencias de conmutación: 100kHz, 400kHz y 1MHz. En este caso, se ha reducido la potencia que maneja el módulo a 300W. Cabe destacar que las inductancias empleadas son similares a las utilizadas en el apartado anterior, en las que únicamente se ha ajustado mínimamente su valor para conseguir el funcionamiento en el modo QSW-ZVS. En la Tabla 5.10 se han resumido las principales características de cada una de estas inductancias. Así mismo, en la Figura 5.40 se muestra una fotografía con las tres inductancias construidas. Puede apreciarse la reducción considerable de tamaño logrado al incrementar la frecuencia de conmutación. La plataforma de control también es la misma que la empleada en el caso de los MOSFET de SiC.

Tabla 5.10. Valor de la inductancia y sus características para las tres frecuencias de conmutación utilizadas en la experimentación de los transistores HEMT de GaN.

f_S [kHz]	L [µH]	Material del núcleo	Tamaño del núcleo	Fabricante
100	96	3F3	ETD42	Ferroxcube
400	28	3F3	ETD39	Ferroxcube
1000	8,01	L	0L42020U6	Magnetics

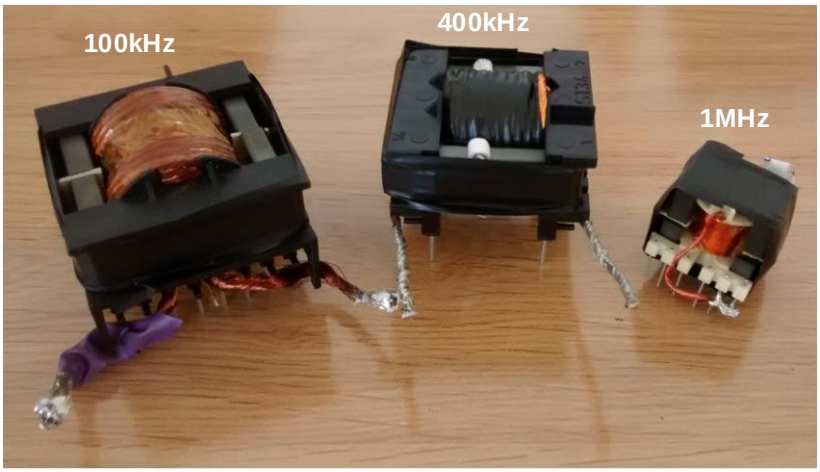
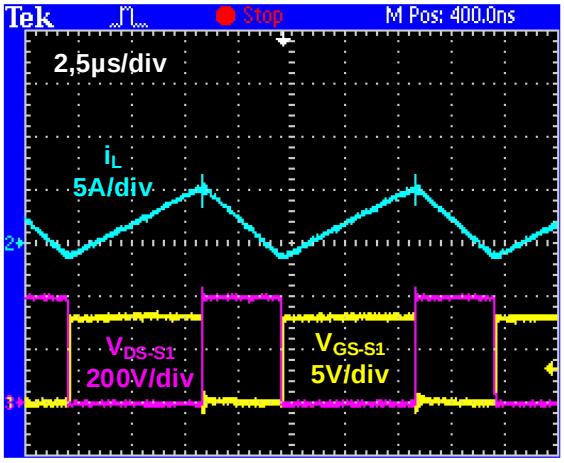


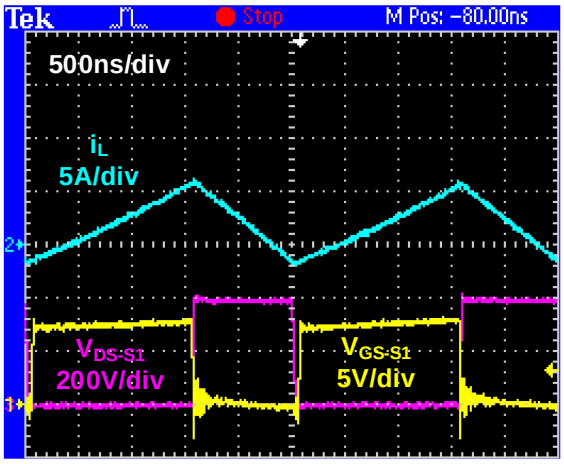
Figura 5.40. Fotografía de las inductancias utilizadas para cada frecuencia de conmutación para una potencia de 300W. De izquierda a derecha, 100kHz, 400kHz y 1MHz.

En la Figura 5.41 se muestran las principales formas de onda medidas para cada una de las frecuencias de conmutación. Concretamente, en la Figura 5.41(a) se muestran las formas de onda para una frecuencia de conmutación de 100kHz. En este caso puede observarse una ligera oscilación en la transición de encendido a apagado del transistor referido a masa que puede apreciarse tanto en el pico de la corriente como en la tensión V_{DS}. Para 400kHz, esta oscilación desaparece y puede apreciarse que el pico de corriente por la inductancia es ligeramente superior al caso de 100kHz (véase la Figura 5.41(b)). Por último, para 1MHz la tensión V_{GS} es más ruidosa

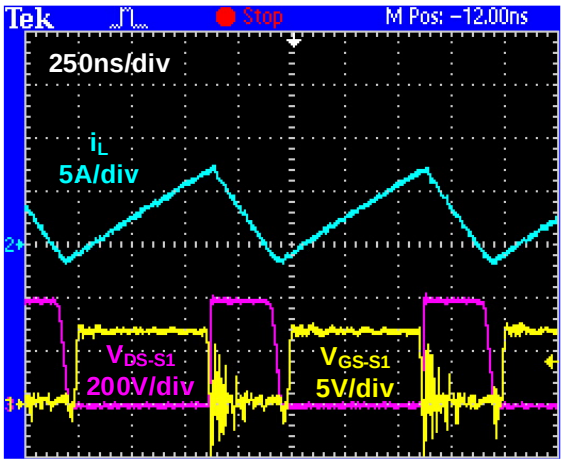
que en los casos anteriores (véase la Figura 5.41(c)), aunque este ruido de conmutación puede deberse en parte al ruido radiado captado por la sonda de medida. Nuevamente, en este caso el pico de la corriente máxima por la inductancia es ligeramente superior al de los casos anteriores. En los tres casos, se consigue operar en modo QSW-ZVS con conmutación a tensión cero.



(a)



(b)



(c)

Figura 5.41. Formas de onda experimentales para una potencia de 300W utilizando transistores HEMT de GaN. (a) Para una frecuencia de conmutación de 100kHz. (b) Para una frecuencia de conmutación de 400kHz. (c) Para una frecuencia de conmutación de 1MHz.

En la Figura 5.42 se ha representado el rendimiento experimental medido cuando se han utilizado estos transistores HEMT de GaN. A su vez, se han representado los resultados obtenidos en el caso de MOSFET de SiC y para los transistores MOSFET de Si (únicamente a 100kHz). Como puede observarse, el rendimiento obtenido con estos transistores de GaN se sitúa en un 98,1%, 97,6% y 95,6% respectivamente para 100kHz, 400kHz y 1MHz. Estos resultados mejoran a los obtenidos tanto por los transistores de Si (a 100kHz) como para los transistores MOSFET de SiC (en todas las frecuencias).

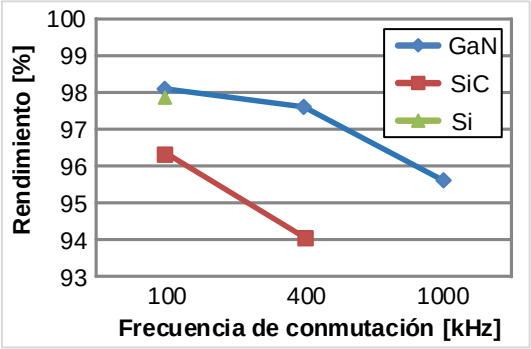


Figura 5.42. Comparativa de rendimiento para los transistores HEMT de GaN, MOSFET de SiC y MOSFET de Si en función de la frecuencia de conmutación.

5.4.4. CONCLUSIONES

A la vista de los resultados recogidos en este apartado, pueden resumirse algunas conclusiones del uso de transistores de WBG en el módulo de potencia.

- Los transistores MOSFET de SiC necesitan unos *drivers* específicos que pueden resultar complejos. No obstante, en las versiones más recientes de este tipo de transistores, es posible gobernarlos con tensiones positivas (comprendidas entre 0 y 20V).
- Los transistores HEMT de GaN utilizados aquí se basan en una estructura en cascodo. Por lo tanto, pueden emplearse los mismos *drivers* comerciales que los utilizados para transistores de Si, lo que resulta una ventaja respecto a los transistores de SiC.
- Los transistores HEMT de GaN logran conmutar a 400kHz y a 1MHz con un rendimiento elevado. Esto les posiciona como los dispositivos más interesantes si se quisiera aumentar la frecuencia de conmutación (y, por lo tanto, reducir el volumen) del módulo de potencia.
- Los transistores MOSFET de SiC también logran conmutar tanto a 100kHz como a 400kHz, pero el rendimiento obtenido no es tan elevado como en el caso de los dispositivos de GaN. No obstante, a 400kHz su rendimiento es aceptable (94%).

- No se ha logrado conmutar los transistores de MOSFET de super-unión de Si originales los a 400kHz con las tensiones y potencias nominales, debido al calentamiento y ruptura por puerta. Este hecho pone de manifiesto las dificultades existentes a la hora de hacer conmutar a una frecuencia relativamente elevada (400kHz) un dispositivo de alta tensión (entendida esta como 600V).
- Por último, no debe olvidarse que los transistores MOSFET de SiC empleados en este apartado son dispositivos que pueden soportar el doble de tensión de ruptura que los transistores tanto de Si como de GaN. Por lo tanto, este hecho les posiciona como el dispositivo a emplear si se desea incrementar la tensión de salida del módulo de potencia, pudiendo mantener la frecuencia de conmutación en 100kHz.

5.5. CONCLUSIONES DEL USO DE DISPOSITIVOS DE WBG EN EL MÓDULO DE POTENCIA

A lo largo de este capítulo se han planteado tres posibles escenarios donde pueden emplearse dispositivos de WBG en el módulo de potencia: en la conexión de los módulos, como diodo en formato unidireccional y el estudio de transistores de SiC y de GaN. A continuación se resumen las principales conclusiones alcanzadas en cada experimento.

- La estructura de rectificador en cascodo basada en un JFET n-on de SiC y un diodo de Schottky de Si, propuesta en el primer apartado, es un diodo de excelentes características desde el punto de vista de la conducción, como ha quedado demostrado, a lo que se une su capacidad de soportar tensiones elevadas (la que pueda soportar el JFET de SiC). Por lo tanto, es una estructura a tener en cuenta en aquellos casos en los que sea necesario emplear un diodo a baja frecuencia (como rectificador de entrada en convertidores CA/CC) o bien donde las pérdidas de conducción tengan un peso mucho mayor que las de conmutación (como la puerta *OR*).
- El rectificador en cascodo estudiado no ofrece ninguna ventaja destacable sobre un diodo de SiC cuando se emplea como diodo de libre circulación en un convertidor conmutado.
- El diodo Schottky de SiC se muestra como la mejor alternativa si se quiere conmutar a muy alta frecuencia, desde el punto de vista de las pérdidas ligadas a la recuperación inversa. El diodo de GaN arroja comportamientos similares y superiores al rendimiento obtenido por un diodo de Si. Por lo tanto, si se quiere emplear el módulo de potencia en formato unidireccional, han de tenerse en cuenta estos dispositivos como alternativa a los diodos de Si.
- A pesar de que tanto el diodo de SiC como el de GaN son dispositivos teóricamente sin recuperación inversa, los modelos de pérdidas que mejor se ajustan a los resultados son aquellos que incluyen ciertas pérdidas de conmutación. Por lo tanto, incluso operando en condiciones de conmutación suave, ha de tenerse en cuenta que para frecuencias elevadas (mayores que 1MHz) aparecen estas pérdidas ligadas a la conmutación de este tipo de diodos basados en WBG.
- En conmutación dura (es decir, operando en MCC) las diferencias entre los diodos de WBG y el Si se hacen más evidentes y ponen de manifiesto, una vez más, las ventajas de estos componentes sobre el Si.

- El transistor HEMT de GaN basado en un cascodo es el transistor más recomendable si se desea aumentar la frecuencia de conmutación del módulo de potencia sin que el rendimiento resulte afectado. Por el contrario, si se desea aumentar la tensión de salida sin necesidad de reducir la frecuencia de conmutación, el transistor MOSFET de SiC es el dispositivo que mejores prestaciones puede conseguir desde el punto de vista del rendimiento.

5.6. REFERENCIAS

[5.1] Adler, M.S.; Owyang, K.W.; Baliga, B.Jayant; Kokosa, R.A., "The evolution of power device technology," *in Electron Devices, IEEE Transactions on*, vol.31, no.11, pp.1570-1591, Nov 1984.

[5.2] Keyes, R.W., "Fundamental limits of silicon technology," *in Proceedings of the IEEE*, vol.89, no.3, pp.227-239, Mar 2001.

[5.3] Morancho, F.; Tranduc, H.; Rossel, P., "The on-resistance limits of high cell density power MOSFET's," *in Microelectronics, 1997. Proceedings., 1997 21st International Conference on*, vol.1, no., pp.395-398 vol.1, 14-17 Sep 1997.

[5.4] Bauer, J.G.; Schilling, O.; Schaeffer, C.; Hille, F., "Investigations on the ruggedness limit of 6.5 kV IGBT," *in Power Semiconductor Devices and ICs, 2005. Proceedings. ISPSD '05. The 17th International Symposium on*, vol., no., pp.71-74, 23-26 May 2005.

[5.5] J. Millan, P. Godignon, X. Perpina, A. Perez-Tomas and J. Rebollo, "A Survey of Wide Bandgap Power Semiconductor Devices," *Power Electronics, IEEE Transactions on*, vol. 29, no. 5, pp. 2155-2163 , May 2014.

[5.6] Millán, J., "Wide band-gap power semiconductor devices". *IET Circuits Devices and Systems*, vol. 1-5, p. 372-379. 2007.

[5.7] Baliga, B.J., "Semiconductors for high-voltage, vertical channel field-effect transistors". *Journal of Applied Physics*, 53, p. 1759-1764. 1982.

[5.8] J. Biela, M. Schweizer, S. Waffler and J. Kolar, "SiC versus Si—Evaluation of Potentials for Performance Improvement of Inverter and DC–DC Converter Systems by SiC Power Semiconductors," *Industrial Electronics, IEEE Transactions on,* vol. 58, no. 7, pp. 2872-2882, Jul. 2011.

[5.9] D. Jiang, R. Burgos, F. Wang and D. Boroyevich, "Temperature-Dependent Characteristics of SiC Devices: Performance Evaluation and Loss Calculation," *Power Electronics, IEEE Transactions on,* vol. 27, no. 2, pp. 1013-1024, Feb. 2012.

[5.10] A. Powell and L. B. Rowland, "SiC materials-progress, status, and potential roadblocks," *Proceedings of the IEEE,* vol. 90, no. 6, pp. 942-955, Jun. 2002.

[5.11] P. Friedrichs, "Silicon carbide power devices - status and upcoming challenges," *Power Electronics and Applications, 2007 European Conference on,* pp. 1-11, Sept. 2007.

[5.12] Cooper, J. A.; Agarwal, A., "SiC power-switching devices. The second electronics revolution?". *Proceedings of the IEEE*, vol. 90-6, p. 956-968. Junio 2002.

[5.13] P. Roussel, "SiC market and industry update*," presented at the Int. SiC Power Electron. Appl. Workshop*, Kista, Sweden, 2011.

[5.14] G. Spiazzi, S. Buso, M. Citron, M. Corradin and R. Pierobon, "Performance evaluation of a Schottky SiC power diode in a boost PFC application," *Power Electronics, IEEE Transactions on,* vol. 18, no. 6, pp. 1249-1253, Nov. 2003.

[5.15] B. Lu, W. Dong, Q. Zhao and F. Lee, "Performance evaluation of CoolMOS and SiC diode for single-phase power factor correction applications," *Applied Power Electronics Conference and Exposition, 2003. APEC '03. Eighteenth* Annual IEEE, vol. 2., no., pp.651-657 vol.2, 9-13 Feb. 2003.

[5.16] Chimento, F.; Musumeci, S.; Raciti, A.; Melito, M.; Sorrentino, G., "Super-Junction MOSFET and SiC Diode Application for the Efficiency Improvement in a Boost PFC Converter," *in IEEE Industrial Electronics, IECON 2006 - 32nd Annual Conference on*, vol., no., pp.2067-2072, 6-10 Nov. 2006.

[5.17] M. Hernando, A. Fernandez, J. Garcia, D. Lamar and M. Rascon, "Comparing Si and SiC diode performance in commercial AC-to-DC rectifiers with power-factor correction," *Industrial Electronics, IEEE Transactions on,* vol. 53, no. 2, pp. 705- 707, Apr. 2006.

[5.18] A. Elasser, M. Kheraluwala, M. Ghezzo, R. Steigerwald, N. Evers, J. Kretchmer, and T. Chow, "A comparative evaluation of new silicon carbide diodes and state-of-the-art silicon diodes for power electronic applications," *IEEE Trans. Ind. Applicat*., vol. 39, no. 4, pp. 915 – 921, july-aug. 2003.

[5.19] J. Kolar, J. Biela, S. Waffler, T. Friedli, and U. Badstuebner, "Performance trends and limitations of power electronic systems," *in Integrated Power Electronics Systems (CIPS), 2010 6th International Conference on*, 2010, pp. 1–20.

[5.20] R. Shillington, P. Gaynor, M. Harrison and B. Heffernan, "Applications of silicon carbide JFETs in power converters," *Universities Power Engineering Conference (AUPEC), 2010 20th Australasian,*pp. 1-6, Dec. 2010.

[5.21] Lutteke, Georg; Raets, Hubert C., "High Voltage High Frequency Class-E Converter Suitable for Miniaturization," *in Power Electronics, IEEE Transactions on*, vol.PE-1, no.4, pp.193-199, Oct. 1986.

[5.22] Lutteke, Georg; Raets, Hubert C., "220-V Mains 500-kHz Class-E Converter Using a BIMOS," *in Power Electronics, IEEE Transactions on*, vol.PE-2, no.3, pp.186-193, July 1987.

[5.23] R. Mousa, D. Planson, H. Morel, B. Allard and C. Raynaud, "Modeling and high temperature characterization of SiC-JFET," *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE,* pp. 3111-3117, 2008.

[5.24] T. Friedli, S. Round, D. Hassler and J. Kolar, "Design and Performance of a 200-kHz All-SiC JFET Current DC-Link Back-to-Back Converter," *Industry Applications, IEEE Transactions on,* vol. 45, no. 5, pp. 1868-1878, Sept. 2009.

[5.25] D. Aggeler, F. Canales, J. Biela and J. Kolar, "Dv/Dt-Power Control Methods for the SiC JFET/Si MOSFET Cascode," *Power Electronics, IEEE Transactions on,* vol. 28, no. 8, pp. 4074-4082, Aug. 2013.

[5.26] D. Peftitsis, R. Baburske, J. Rabkowski, J. Lutz, G. Tolstoy and H.-P. Nee, "Challenges Regarding Parallel Connection of SiC JFETs," *Power Electronics, IEEE Transactions on,* vol. 28, no. 3, pp. 1449-1463, , March 2013.

[5.27] F. Guedon, S. Singh, R. McMahon and F. Udrea, "Boost Converter With SiC JFETs: Comparison With CoolMOS and Tests at Elevated Case Temperature," *Power Electronics, IEEE Transactions on,* vol. 28, no. 4, pp. 1938-1945, April 2013.

[5.28] C. Cass, R. Burgos, F. Wang and D. Boroyevich, "Three-phase AC Buck Rectifier using Normally-On SiC JFETs at 150 kHz Swtiching Frequency," *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE,* pp. 2162-2167, 2007.

[5.29] M. Briere, "The Power Electronics Market and the Status of GaN Based Power Devices," *Compound Semiconductor Integrated Circuit Symposium (CSICS), 2011 IEEE,* pp. 1-4, Oct. 2011.

[5.30] Delaine, J.; Jeannin, P.; Frey, D.; Guepratte, K., "Improvement of GaN transistors working conditions to increase efficiency of a 100W DC-DC converter". *IEEE Applied Power Electronics Conference and Exposition (APEC)*, p. 656-663. Marzo 2013.

[5.31] Wang, Y.; Kim, W.; Zhang, Z.; Calata, J.; D.T Ngo, K., " Experience with 1 to 3 Megahertz Power Conversion Using eGaN FETs". *IEEE Applied Power Electronics Conference and Exposition (APEC)*, p. 532-539. Marzo 2013.

[5.32] Costinett, D.; Nguyen, H.; Zane, R.; Maksimovic, D., "GaN-FET based dual active bridge DC-DC converter". *IEEE Applied Power Electronics Conference and Exposition (APEC)*, p. 1425-1432. Marzo 2011.

[5.33] Khanna, R.; Hughes, B.; Stanchina, W.; Rongming Chu; Boutros, K.; Reed, G., "Modeling and characterization of a 300 V GaN based boost converter with 96% efficiency at 1 MHz," *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, vol., no., pp.92,99, 14-18 Sept. 2014.

[5.34] Wang Kangping; Yang Xu; Zeng Xiangjun; Yu Xiaoling; Li Hongchang; Guo Yixuan; Gao Bing; Ma Huan, "Analytical loss model of low voltage enhancement mode GaN HEMTs," *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, vol., no., pp.100,105, 14-18 Sept. 2014.

[5.35] Xiucheng Huang; Weijing Du; Zhengyang Liu; Lee, F.C.; Qiang Li, "Avoiding Si MOSFET avalanche and achieving true zero-voltage-switching for cascode devices," *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, vol., no., pp.106,112, 14-18 Sept. 2014.

[5.36] Zhengyang Liu; Xiucheng Huang; Lee, F.C.; Qiang Li, "Simulation model development and verification for high voltage GaN HEMT in cascode structure," *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, vol., no., pp.3579,3586, 15-19 Sept. 2013.

[5.37] Xiucheng Huang; Qiang Li; Zhengyang Liu; Lee, F.C., "Analytical Loss Model of High Voltage GaN HEMT in Cascode Configuration," *Power Electronics, IEEE Transactions on*, vol.29, no.5, pp.2208,2219, May 2014.

[5.38] I. Omura, W. Saito, T. Domon, and K. Tsuda, “Gallium nitride power HEMT for high switching frequency power electronics,” i*n Physics of Semiconductor Devices, 2007. IWPSD 2007. International Workshop on*, dec. 2007, pp. 781 –786.

[5.39] Yuanzhe Zhang; Rodriguez, M.; Maksimovic, D., "100 MHz, 20 V, 90% efficient synchronous buck converter with integrated gate driver," *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, vol., no., pp.3664,3671, 14-18 Sept. 2014.

[5.40] Rodriguez, M.; Yuanzhe Zhang; Maksimovic, D., "High-Frequency PWM Buck Converters Using GaN-on-SiC HEMTs," *Power Electronics, IEEE Transactions on*, vol.29, no.5, pp.2462,2473, May 2014.

[5.41] UJN1208K, SiC JFET n-on, United Silicon Carbide. [Online]: http://www.unitedsic.com/uploads/UJN1208K.PDF. Última vez visitada: Septiembre2015.

[5.42] UJN1205K, SiC JFET n-on, United Silicon Carbide, [Online]: http://www.unitedsic.com/uploads/UJN1205K.PDF. Última vez visitada: Septiembre 2015.

[5.43] 40L15CW, diodo Schottky, OnSemi & International Rectifier, [Online]: http://www.irf.com/product-info/datasheets/data/40l15cw.pdf. Última vez visitada: Septiembre 2015.

[5.44] United Silicon Carbide, "SiC transistor series," [Online]: http://goo.gl/zUVlKS. Última vez visitada: Septiembre 2015.

[5.45] B. Jayant Baliga, "Fundamental of Power Semiconductor Devices," Springer Science + Business Media LLC, 2008.

[5.46] B. Jayant Baliga, "Advanced Power MOSFET Concepts," Springer Science + Business Media LLC, 2010.

[5.47] ST, Nota de Aplicación AN2626,"MOSFET body diode recovery mechanism in a phase-shifted ZVS full bridge DC/DC converter," pp. 1-13, 2007.

[5.48] Infineon, Nota de Aplicación AN 2014-03, "Hard Commutation of Power MOSFET OptiMOS FD 200V/250V," pp. 1-13, 2014.

[5.49] Fairchild, Nota de Aplicación AN-6099, "New PowerTrench MOSFET with shielded Gate Technology Increases System Efficiency and Power Density in Synchronous Rectification Applications," pp. 1-11, 2013.

[5.50] Farag, M. M.; Gadoue, S. M.; Mohamadein, A.L.; Massoud, A.M.; Ahmed, S., "Elimination of reverse recovery effects associated with CoolMOS devices employing current source inverter topology," *Power Electronics, Machines and Drives (PEMD 2012), 6th IET International Conference on*, vol., no., pp.1,6, 27-29 March 2012.

[5.51] Xudong Huang; Yu, H.; Jih-Sheng Lai; Hefner, A.R., Jr.; Berning, D.W., "Characterization of paralleled super junction MOSFET devices under hardand soft-switching conditions," *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual*, vol.4, no., pp.2145,2150 vol. 4, 2001.

[5.52] Sung-Yeul Park; Pengwei Sun; Wensong Yu; Jih-Sheng Lai, "Performance evaluation of high voltage super junction MOSFETs for zero-voltage soft-switching inverter applications," *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, vol., no., pp.387,391, 21-25 Feb. 2010.

[5.53] FCH041N60E, Fairchild, [Online]: https://www.fairchildsemi.com/datasheets/FC/FCH041N60E.pdf. Última vez visitada: Septiembre 2015.

[5.54] Rohm, Application Note 14103EBY01, "SiC Power Devices and Modules," pp. 1-26, 2014.

[5.55] Cree, Application Note CPWR-AN08, "Application Considerations for SiC MOSFETs," pp. 1-6, 2014.

[5.56] Cree, Application Note CPWR-AN10, "SiC MOSFET Isolated Gate Driver," pp. 1-6, 2014.

[5.57] TPH3006PS, Transphorm, [Online]: https://goo.gl/s59paG. Última vez visitada: Septiembre 2015.

6 CONCLUSIONS, CONTRIBUTIONS AND FUTURE WORK

The main conclusions of this thesis are summarized in this chapter and the main contributions are highlighted. Finally, some future lines of work are presented.

6.1. CONCLUSIONS

The concepts of the power module, modular design and the modular converter are the main ideas addressed in this thesis. An in-depth analysis has been carried out in this research work exploring these concepts. From the general modular concept approach, a modular converter to be applied to bidirectional power conversions has been considered in the first chapters of this thesis (a synchronous boost converter working in QSW-ZVS mode). Moreover, the main advantages and drawbacks of each possible modular grouping have been studied. It has been demonstrated that the theoretical scale laws present in these modular converters, afford certain inherent advantages, such us higher efficiency and improved performance.

Chapters 3 and 4 present an example of a modular converter choosing a power module (the synchronous boost converter working in QSW-ZVS) and a particular modular grouping (IPOP). More precisely, the QSW-ZVS mode applied to the synchronous boost converter has been studied in detail, emphasizing certain potential properties that this mode brings to this module: very high efficiency, reduced volume and few components used. An IPOP grouping has subsequently been considered in order to illustrate a modular converter design. A possible algorithm has been presented at the beginning of chapter 4 to optimize the number of required modules, in terms of efficiency, volume and cost. A number of different control techniques that can be applied to the modular IPOP converter have also been presented in this chapter. These control techniques can improve the overall efficiency of the modular converter by combining (or activating and deactivating) some modules following a particular control scheme. These control techniques have demonstrated two additional potential advantages for modular converters: reliability and flexibility. More precisely, these techniques have underlined the advantage in terms of efficiency of using a modular converter in very wide power range applications, when compared to a standalone converter.

Finally, the adoption and use of wide band-gap devices have been considered in the last chapter of this thesis in order to test the improvement that these devices could bring to the power module. In some cases, the direct replacement of some elements enables an increase in both efficiency and switching frequency. An in-depth study of different SiC and GaN diodes has been carried out in this respect. SiC power MOSFET and GaN HEMT transistors and GaN cascode transistors have also been considered in this chapter, comparing these devices with Si devices in terms of loss. The cascode rectifier structure has also been proposed here as a new structure to be used as an OR diode for modular converters.

6.2. CONTRIBUTIONS AND PUBLICATIONS

6.2.1. CONTRIBUTIONS

Some original contributions of this thesis may be highlighted.

- First, the design and theoretical study of the modular converter is carried out here for the first time. QSW-ZVS operational mode has been studied previously at constant frequency and applied to unidirectional topologies. In chapter 3 of this thesis however, a static characterization has been carried out of a synchronous boost converter working in QSW-ZVS with variable switching frequency, in addition to a study of its dynamic response.
- The required inductor for QSW-ZVS mode has also been analyzed in detail in this same chapter, in particular, the fringe flux effect. An optimized design taking into account this effect for this particular mode has also been carried out.
- Direct frequency control is an original contribution of this thesis, as an approach to implement the variable frequency QSW-ZVS mode, likewise presented in chapter 3. Moreover, the master-slave technique developed to group several QSW-ZVS boost converters together is also a contribution of this thesis.
- The asymmetrical master-slave technique and the on-off control (or hysteretic control) are also presented here as an original contribution to the state of the art. These contributions can be found in chapter 4.
- The cascode rectifier structure based on a SiC JFET and its static and dynamic characterization, presented in chapter 5, is another contribution of this work.
- Finally, the comparison and study of the reverse recovery behavior under soft-switching conditions of SiC and GaN diodes constitute the final contribution to be found in this thesis.

6.2.2. PUBLICATIONS

[1] Rodriguez, A.; Vazquez, A.; Lamar, D.G.; Hernando, M.M., "Three-port power electronic system for energy storage and recovery using a parallel connection of a power factor corrector boost and a dual active bridge," in *Power Electronics and Motion Control Conference (EPE/PEMC), 2012 15th International*, vol., no., pp.LS7d.4-1-LS7d.4-8, 4-6 Sept. 2012.

[2] Rodriguez, A.; Fernandez, M.; Vazquez, A.; Lamar, D.G.; Arias, M.; Sebastian, J., "Optimizing the efficiency of a dc-dc boost converter over 98% by using commercial SiC

transistors with switching frequencies from 100 kHz to 1MHz," in *Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE*, vol., no., pp.641-648, 17-21 March 2013.

[3] Vazquez, A.; Rodriguez, A.; Fernandez, M.; Hernando, M.M.; Sebastian, J., "On the use of front-end cascode rectifiers based on normally-on SiC JFET and Si MOSFET," in *Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE*, vol., no., pp.1844-1851, 17-21 March 2013.

[4] Costinett, D.; Maksimovic, D.; Zane, R.; Rodriguez, A.; Vazquez, A., "Comparison of reverse recovery behavior of silicon and wide bandgap diodes in high frequency power converters," in *Control and Modeling for Power Electronics (COMPEL), 2013 IEEE 14th Workshop on*, vol., no., pp.1-8, 23-26 June 2013.

[5] Rodriguez, A.; Vazquez, A.; Lamar, D.G.; Hernando, M.M., "Increasing the voltage and the switching frequency in a dual active bridge using a normally-on SiC JFET in a cascode configuration," *in Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, vol., no., pp.4905-4911, 15-19 Sept. 2013.

[6] Vazquez, A.; Rodriguez, A.; Martin, K.; Arias, M.; Hernando, M.M., "Inductor optimization for multiphase interleaved synchronous bidirectional Boost converter working in discontinuous conduction mode with zero voltage switching," in *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, vol., no., pp.4977-4984, 15-19 Sept. 2013.

[7] Vazquez, A.; Rodriguez, A.; Fernandez, M.; Hernando, M.M.; Maset, E.; Sebastian, J., "On the Use of Front-End Cascode Rectifiers Based on Normally On SiC JFET and Si MOSFET," in *Power Electronics, IEEE Transactions on*, vol.29, no.5, pp.2418-2427, May 2014.

[8] Vazquez, A.; Rodriguez, A.; Lamar, D.G.; Hernando, M.M., "Master-slave technique for improving the efficiency of interleaved synchronous boost converters," in *Control and Modeling for Power Electronics (COMPEL), 2014 IEEE 15th Workshop on*, vol., no., pp.1-9, 22-25 June 2014.

[9] Vazquez, A.; Arias, M.; Rodriguez, A.; Lamar, D.G.; Luri, S., "Master-slave technique with direct variable frequency control for interleaved bidirectional boost converter," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, vol., no., pp.956-963, 14-18 Sept. 2014.

[10] Vazquez, A.; Rodriguez, A.; Sebastian, J.; Maset, E.; Ferreres, A.; Sanchis, E., "Dynamic behavior analysis and characterization of a cascode rectifier based on a normally-on SiC JFET," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, vol., no., pp.1589-1596, 14-18 Sept. 2014.

6.3. FUTURE WORK

This thesis is the first research work based on bidirectional modular power converters to be carried out in the Electronic Power Supply Systems Group at the University of Oviedo. However, it can be considered a continuation of previous works conducted by this research group, which has also focused on bidirectional power converters applied to multi-port power supply systems. Hence, in order to promote future research, the following lines may be considered:

- The study and validation of other modular groupings, such as ISOS and ISOP. In this respect, further control techniques to improve the efficiency could be investigated, taking into account the limitations imposed by these modular converters.
- The study and implementation of a distributed control, to improve the reliability of master-slave techniques.
- A cycling control strategy applied to the on-off technique and master-slave technique. This control strategy changes (or rotates) the module which is always processing power so as to avoid an increase in the temperature of this converter that could lead to its failure. In other words, all the modules are used but in different time intervals, something like a slave time multiplexing technique.
- A theoretical study of the input and output impedance of a modular converter, and the relationship between the number of modules, the grouping (IPOP, ISOS, etc.), and the control technique with these impedances.
- A study of the proposed module (synchronous boost converter working in QSW-ZVS) when it works in AC/DC conversions.

6.4. FINANCIAL SUPPORT

This thesis was supported by the Spanish Government under student grant FPI BES-2011-044114 and project DPI2010-21110-C02-01.

7 CONCLUSIONES, APORTACIONES Y TRABAJO FUTURO

En este capítulo se resumen las conclusiones extraídas del presente trabajo de tesis, así como las principales aportaciones y publicaciones logradas. Finalmente, se presentan algunas líneas de trabajo futuras.

7.1. CONCLUSIONES

Las principales ideas desarrolladas a lo largo del presente trabajo de tesis son los conceptos de módulo de potencia, el diseño modular y los convertidores modulares. En este trabajo de investigación se ha desarrollado un análisis en profundidad de cada uno de estos conceptos aplicado a las conversiones bidireccionales. Concretamente, en los primeros capítulos se realizó una aproximación genérica al diseño modular, enfatizando las leyes de escala y las ventajas y desventajas de las posibles agrupaciones modulares, especialmente desde el punto de vista del rendimiento.

En los capítulos 3 y 4 se concretó el diseño modular analizado anteriormente en un convertidor en particular, el convertidor elevador síncrono operando en QSW-ZVS, propuesto como módulo de potencia, y una agrupación en concreto, la agrupación en paralelo IPOP. Concretamente el modo de operación QSW-ZVS aplicado a este convertidor se analizó en detalle en el capítulo 3, destacando aquellas propiedades que facilitaban su uso como módulo de potencia: rendimiento muy elevado, reducido número de elementos, bajo coste y capacidad de agruparlo en paralelo de una forma sencilla. La agrupación IPOP se tomó como ejemplo para ilustrar el diseño de un convertidor modular. Al comienzo del capítulo 4 se presentó un algoritmo de optimización del número de módulos en función de varios parámetros (rendimiento, volumen, coste y rizado de la corriente de entrada). Posteriormente, se propusieron cuatro técnicas de control con el objetivo de mejorar el rendimiento del convertidor modular. Estas técnicas se basaron en la activación o desactivación de uno o varios módulos siguiendo un patrón determinado, con lo que se lograba combinar las mejores prestaciones posibles de los módulos según la potencia demandada. Con el desarrollo de estas técnicas se enfatizó la potencial mejora en el rendimiento que puede lograr un convertidor modular, no sólo por las leyes de escala, sino también por la flexibilidad y adaptabilidad que posee en comparación con un único convertidor.

El último capítulo de este trabajo de tesis se ha dedicado al uso de dispositivos de banda prohibida ancha, y las mejoras que podía acarrear su adopción en el módulo de potencia en tres ámbitos distintos: en la conexión de los módulos, en la minimización de las pérdidas de recuperación inversa del diodo parásito del transistor y en la sustitución de los transistores de Si. Así, en el primer caso se propuso la estructura de rectificador en cascodo basado en un JFET normalmente cerrado de SiC. Este rectificador conseguía reducir drásticamente las pérdidas en conducción, lo que lo hacía especialmente interesante para aplicaciones como la puerta OR. En el segundo caso, se realizó una comparación entre diodos de Si, de SiC y de GaN conmutando a alta frecuencia y analizando las pérdidas de recuperación inversa. En el último caso se utilizaron transistores tanto de SiC como de GaN como sustitutos de los transistores de Si utilizados en el

módulo de potencia. Las principales ventajas del uso de estos transistores se analizaron en detalle desde el punto de vista del rendimiento, llegando a la conclusión de que era posible incrementar potencialmente la tensión de salida (con los primeros) o la frecuencia de conmutación (con los últimos), sin que el rendimiento se viera afectado.

7.2. APORTACIONES Y DIFUSIÓN DE LOS RESULTADOS

7.2.1. APORTACIONES

A continuación se detallan las principales aportaciones de este trabajo de tesis:

- El estudio teórico y el diseño de un convertidor modular son aportaciones de este trabajo. El modo QSW-ZVS ya había sido estudiado previamente en la literatura, en particular a frecuencia de conmutación constante y aplicado a convertidores unidireccionales. No obstante, en este trabajo de tesis se ha realizado el análisis estático y dinámico de este modo a frecuencia de conmutación variable y aplicado al caso de un convertidor bidireccional.
- El estudio de las pérdidas en la inductancia en el modo QSW-ZVS es otra aportación de esta tesis. En particular, el efecto del flujo disperso (o *fringing*) y el algoritmo de diseño optimizado, que puede ser generalizable a otros convertidores que posean características similares al modo QSW-ZVS.
- La tercera aportación a destacar de este trabajo de tesis es el control directo de frecuencia variable propuesto en el capítulo 3 para el modo QSW-ZVS. Además, la técnica de maestro-esclavo para extender este control a una agrupación modular IPOP es también una aportación original de este trabajo.
- Las técnicas de control para el convertidor modular IPOP de maestro-esclavo asimétrica y de encendido intermitente son otras dos aportaciones que pueden encontrarse en el capítulo 4 de esta tesis.
- La estructura de rectificador en cascodo basado en un JFET de SiC y su caracterización tanto estática como dinámica es otra aportación de este trabajo de tesis.
- Finalmente, la última aportación que conviene destacar es el estudio de la recuperación inversa de diodos de SiC y de GaN en condiciones de conmutación suave que se realizó en el capítulo 5.

7.2.2. DIFUSIÓN DE LOS RESULTADOS

A continuación se recogen las principales publicaciones relacionadas con este trabajo de tesis, ordenadas cronológicamente.

[1] Rodriguez, A.; Vazquez, A.; Lamar, D.G.; Hernando, M.M., "Three-port power electronic system for energy storage and recovery using a parallel connection of a power factor corrector boost and a dual active bridge," in *Power Electronics and Motion Control Conference (EPE/PEMC), 2012 15th International*, vol., no., pp.LS7d.4-1-LS7d.4-8, 4-6 Sept. 2012.

[2] Rodriguez, A.; Fernandez, M.; Vazquez, A.; Lamar, D.G.; Arias, M.; Sebastian, J., "Optimizing the efficiency of a dc-dc boost converter over 98% by using commercial SiC transistors with switching frequencies from 100 kHz to 1MHz," in *Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE*, vol., no., pp.641-648, 17-21 March 2013.

[3] Vazquez, A.; Rodriguez, A.; Fernandez, M.; Hernando, M.M.; Sebastian, J., "On the use of front-end cascode rectifiers based on normally-on SiC JFET and Si MOSFET," in *Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE*, vol., no., pp.1844-1851, 17-21 March 2013.

[4] Costinett, D.; Maksimovic, D.; Zane, R.; Rodriguez, A.; Vazquez, A., "Comparison of reverse recovery behavior of silicon and wide bandgap diodes in high frequency power converters," in *Control and Modeling for Power Electronics (COMPEL), 2013 IEEE 14th Workshop on*, vol., no., pp.1-8, 23-26 June 2013.

[5] Rodriguez, A.; Vazquez, A.; Lamar, D.G.; Hernando, M.M., "Increasing the voltage and the switching frequency in a dual active bridge using a normally-on SiC JFET in a cascode configuration," *in Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, vol., no., pp.4905-4911, 15-19 Sept. 2013.

[6] Vazquez, A.; Rodriguez, A.; Martin, K.; Arias, M.; Hernando, M.M., "Inductor optimization for multiphase interleaved synchronous bidirectional Boost converter working in discontinuous conduction mode with zero voltage switching," in *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, vol., no., pp.4977-4984, 15-19 Sept. 2013.

[7] Vazquez, A.; Rodriguez, A.; Fernandez, M.; Hernando, M.M.; Maset, E.; Sebastian, J., "On the Use of Front-End Cascode Rectifiers Based on Normally On SiC JFET and Si MOSFET," in *Power Electronics, IEEE Transactions on*, vol.29, no.5, pp.2418-2427, May 2014.

[8] Vazquez, A.; Rodriguez, A.; Lamar, D.G.; Hernando, M.M., "Master-slave technique for improving the efficiency of interleaved synchronous boost converters," in *Control and Modeling for Power Electronics (COMPEL), 2014 IEEE 15th Workshop on*, vol., no., pp.1-9, 22-25 June 2014.

[9] Vazquez, A.; Arias, M.; Rodriguez, A.; Lamar, D.G.; Luri, S., "Master-slave technique with direct variable frequency control for interleaved bidirectional boost converter," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, vol., no., pp.956-963, 14-18 Sept. 2014.

[10] Vazquez, A.; Rodriguez, A.; Sebastian, J.; Maset, E.; Ferreres, A.; Sanchis, E., "Dynamic behavior analysis and characterization of a cascode rectifier based on a normally-on SiC JFET," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, vol., no., pp.1589-1596, 14-18 Sept. 2014.

7.3. LÍNEAS DE TRABAJO FUTURAS

Esta tesis es el primer trabajo de investigación sobre convertidores modulares aplicados a conversiones bidireccionales que se ha realizado en el grupo de investigación de Sistemas Electrónicos de Alimentación de la Universidad de Oviedo. Sin embargo, puede ser considerado como una continuación de otras tesis presentadas anteriormente en este mismo grupo de investigación, que también abordaban los convertidores bidireccionales o los sistemas de alimentación de múltiples flujos de energía. Por lo tanto, con el objetivo de promover futuros trabajos ligados a esta línea de investigación, se proponen los siguientes puntos:

- El estudio y validación de otras agrupaciones modulares como la ISOS y la IPOS. En este sentido, también cabe la posibilidad de estudiar y proponer nuevas técnicas de control aplicadas a estas agrupaciones que consigan mejorar el comportamiento del convertidor modular resultante, tanto en términos de rendimiento como de otros parámetros adicionales.
- El estudio y aplicación de un control distribuido para mejorar la robustez de los convertidores modulares, en especial, para aquellos que implementen la técnica maestro-esclavo.
- La propuesta, estudio y validación de una estrategia de control cíclica, tanto para la técnica de control maestro-esclavo asimétrica como para la técnica de encendido intermitente. Este control cíclico se basa en rotar aquellos módulos esclavos para evitar que el mismo módulo esclavo esté encendido durante todo el tiempo. De esta forma,

se emplearían varios módulos con una lógica secuencial (i.e. todos estarían procesando potencia, pero sólo durante un determinado intervalo de tiempo).

- El estudio de la impedancia tanto de entrada como de salida del convertidor modular y la relación con las mismas impedancias del módulo de potencia seleccionado. Este estudio se puede aplicar tanto para la agrupación IPOP como para el resto de agrupaciones consideradas en este trabajo de tesis.
- El estudio del uso del convertidor elevador síncrono operando en QSW-ZVS para conversiones CA/CC. A su vez, el estudio sobre la viabilidad y las ventajas o desventajas del convertidor modular IPOP planteado en esta tesis aplicado para conversiones desde una tensión de entrada de alterna.

7.4. FINANCIACIÓN

Este trabajo de tesis ha sido financiado por el Gobierno de España bajo la beca FPI BES-2011-044114 y el proyecto DPI2010-21110-C02-01.

ANEXOS

ÍNDICE

A1 Desglose de pérdidas en el modo QSW-ZVS 333

A1.1. Introducción 334

A1.2. Pérdidas en los semiconductores 334

A1.2.1. Pérdidas en conducción 334

A1.2.2. Pérdidas EN conmutación. Encendido y apagado del transistor 335

A1.2.3. Pérdidas en conmutación. Capacidad parásita de salida 338

A1.2.4. Pérdidas debidas a la recuperación inversa 339

A1.3. Pérdidas en el circuito de gobierno (*driver*) 340

A1.4. Pérdidas en la inductancia (primera aproximación) 341

A1.5. Pérdidas en el condensador de salida o de entrada 342

A1.6. Referencias del anexo 1 344

A2 Diseño de la inductancia para un convertidor elevador QSW-ZVS 345

A2.1. Introducción 346

A2.2. Diseño básico de la inductancia 346

A2.3. Desglose de pérdidas en la inductancia y su impacto en el modo QSW-ZVS 350

A2.3.1. Pérdidas en los conductores: el efecto Joule y el efecto pelicular 350

A2.3.2. Pérdidas en los conductores: el efecto proximidad 352

A2.3.3. Pérdidas en los conductores: el flujo disperso (*fringe effect*) 353

A2.3.4. Pérdidas por histéresis 370

A2.3.5. Pérdidas debidas a las corrientes inducidas (Eddy current) 376

A2.4. Un ejemplo de diseño de la inductancia para el modo QSW-ZVS 377

A2.5. Referencias del anexo 2 384

A3 Modelo dinámico del convertidor elevador síncrono operando en mcl 387

A3.1. Modelado dinámico para el modo MCL 388

A3.2. Referencias 390

A4 Modelo para el cálculo del volumen equivalente de un módulo 391

A4.1. Introducción 392

A4.2. Volumen del radiador 392

A4.3. Volumen de la inductancia 395

A4.4. Volumen de los condensadores 396

A4.5. Referencias 398

A5 Modelo de pérdidas para la estrategia de control de encendido intermitente 399

A5.1. Modelo de pérdidas aproximado sin tener en cuenta las transiciones de encendido y apagado 400

A5.2. Modelo de las pérdidas durante en el encendido y apagado 401

A6 Caracterización dinámica del rectificador en cascodo 403

A6.1. La conducción inversa del transistor JFET de SiC 404

A6.2. Transición de apagado el rectificador en cascodo (*turn-off*) 406

A6.3. Transición de encendido del rectificador en cascodo (*turn-on*) 406

A6.4. Comparativa con otros diodos del rectificador en cascodo trabajando como rectificador de alta frecuencia 411

A6.5. Conclusiones de la caracterización dinámica 417

ÍNDICE DE FIGURAS

Figura A1.1. Formas de onda ideales asumidas para el cálculo de las pérdidas de conmutación en los transistores. (a) Durante el encendido. (b) Durante el apagado. 336

Figura A1.2. Esquema básico del circuito considerado como *driver* de control. 340

Figura A2.1. Pérdidas en el núcleo y en el cobre en función del número de vueltas. 348

Figura A2.2. Desglose de pérdidas en la inductancia. 350

Figura A2.3. Ejemplo del flujo disperso debido al efecto borde (*fringe effect*) en un núcleo E. 354

Figura A2.4. Dimensiones físicas para el ejemplo del modelo basado en reluctancias utilizado y representación de la fuerza magneto-motriz en un núcleo en E. 355

Figura A2.5. Circuito equivalente basado en reluctancias para el ejemplo mostrado en la Figura A2.4. 355

Figura A2.6. Distintos devanados utilizados para los resultados experimentales para medir el impacto del flujo disperso debido al efecto borde. Se muestra únicamente una mitad del núcleo y se ha asumido una simetría de revolución. (a) Tradicional. (b) Devanado en C. (c) Devanado en E. (d) Devanado en H. 361

Figura A2.7. Secuencia de montaje de la inductancia siguiendo el devanado en H. 362

Figura A2.8. Flujo magnético disperso para los cuatro devanados probados utilizando cada uno de los cuatro métodos (Wood, Slemon, Evans y Dixon). 362

Figura A2.9. Reluctancia del entrehierro para los cuatro devanados probados utilizando cada uno de los métodos teóricos. 363

Figura A2.10. Energía del campo magnético disperso para cada uno de los cuatro devanados propuestos utilizando cada uno de los métodos teóricos. 363

Figura A2.11. Densidad del campo magnético disperso para cada uno de los devanados propuesto utilizando cada método teórico. 363

Figura A2.12. Factor de resistencia (FR) para cada uno de los devanados analizados. 364

Figura A2.13. Variación de la resistencia de alterna (RAC) en función de la frecuencia para cada uno de los devanados propuestos. 365

Figura A2.14. Distribución de las líneas de flujo magnético obtenidas mediante Maxwell-PExprt®, unidades en Wb. (a) Devanado tradicional. (b) Devanado en C. (c) Devanado en E. (d) Devanado en H. 365

Figura A2.15. Detalle de las líneas de flujo magnético en el entrehierro en el devanado tradicional. 366

Figura A2.16. Detalle de las líneas de flujo magnético en el entrehierro en el devanado en C. 366

Figura A2.17. Detalle de las líneas de flujo magnético en el entrehierro en el devanado en E. 366

Figura A2.18. Detalle de las líneas de flujo magnético en el entrehierro en el devanado en H. 367

Figura A2.19. Potencia asociada al flujo magnético disperso en función de la distancia al centro (x) y de la altura (y) para el devanado tradicional. 367

Figura A2.20. Potencia asociada al flujo magnético disperso en función de la distancia al centro (x) y de la altura (y) para el devanado en H. 368

Figura A2.21. Comparativa del rendimiento medido con los cuatro devanados propuestos con el convertidor operando en modo elevador. 369

Figura A2.22. Comparativa del rendimiento medido con los cuatro devanados propuestos con el convertidor operando en modo reductor. 369

Figura A2.23. Ejemplo de una curva B-H. 371

Figura A2.24. Variación de la corriente y del campo magnético en el modo QSW-ZVS. 371

Figura A2.25. Recorrido en la curva B-H para un material dado en función del modo de conducción del convertidor. (a) QSW-ZVS. (b) MCD. (c) MCC. 372

Figura A2.26. Pérdidas totales en la inductancia utilizando dos métodos distintos para el cálculo de las pérdidas en el núcleo. 378

Figura A2.27. Desglose de pérdidas en la inductancia según el diseño resumido en la Tabla A2.5. 379

Figura A2.28. Desglose de pérdidas en la inductancia según el diseño resumido en la Tabla A2.6. 381

Figura A2.29. Desglose de pérdidas en la inductancia según el diseño resumido en la Tabla A2.7. 382

Figura A3.1. Circuito equivalente de pequeña señal para el modelado dinámico del convertidor elevador síncrono operando en MCL. 389

Figura A4.1. Dimensiones físicas del encapsulado TO-247. 392

Figura A4.2. Circuito equivalente térmico. 393

Figura A4.3. Resistencia térmica en función de la longitud del radiador. Fuente: [A4.1]. 394

Figura A4.4. Perfil y dimensiones del modelo 000KR de Aavid Thermalloy [A4.2]. Las dimensiones se muestran en mm. 395

Figura A4.A.5. Dimensiones físicas del carrete para un núcleo ETD49 [A4.5]. Las dimensiones se muestran en mm. 396

Figura A4.A.6. Ejemplo de las dimensiones de un condensador electrolítico proporcionadas por Panasonic [A4.6]. Dimensiones en mm. 397

Figura A.1. Formas de onda teóricas para el encendido intermitente. 400

Figura A6.A.1. Curvas de corriente de drenador en función de la tensión de drenador para distintas tensiones puerta-fuente del transistor JFET de SiC. 405

Figura A6.A.2. Curvas de corriente de drenador en función de la tensión de drenador para distintas tensiones puerta-drenador del transistor JFET de SiC. 405

Figura A6.A.3. Capacidades parásitas del rectificador en cascodo. 407

Figura A6.A.4. Circuito de doble pulso utilizado para caracterizar la respuesta dinámica del rectificador en cascodo. 407

Figura A6.A.5. Circuito equivalente al inicio de la transición de encendido del rectificador en cascodo en el circuito de doble pulso. 408

Figura A6.A.6. Divisor capacitivo formado por las capacidades parásitas durante el encendido del rectificador en cascodo. 409

Figura A6.A.7. Formas de onda teóricas durante el encendido del rectificador en cascodo en el caso en el que está controlado por la tensión puerta-drenador. 409

Figura A.8. Formas de onda teóricas durante el encendido del rectificador en cascodo en el caso en el que está controlado por la tensión puerta-fuente. 409

Figura A.9. Circuito de doble pulso utilizado para la caracterización dinámica del rectificador en cascodo. (a) Circuito esquemático. (b) Detalle de las sondas de medida y de la PCB. 412

Figura A.10. Formas de onda del rectificador en cascodo para distintos valores de di/dt. (a) Encendido. (b) Apagado. 413

Figura A.11. Energías de conmutación medidas para los tres dispositivos seleccionados en esta comparativa en función de di/dt. (a) Energía de encendido (Eon). (b) Energía de apagado ($Eoff$). 414

Figura A.12. Corriente de recuperación inversa en función de di/dt para los tres dispositivos utilizados en esta comparativa. 415

Figura A.13. Tiempo de recuperación inversa en función de di/dt para los tres dispositivos utilizados en esta comparativa. 415

Figura A.14. Pérdidas de la etapa de potencia medidas para los tres dispositivos utilizados en función de la frecuencia de conmutación. 416

Figura A.15. Pérdidas totales de la etapa de potencia en función de la potencia procesada para una frecuencia de conmutación de 10kHz. 417

ÍNDICE DE TABLAS

Tabla A2.1. Especificaciones de diseño para la experimentación con los distintos devanados para la inductancia. 359

Tabla A2.2. Valores de la inductancia y de los esfuerzos en corriente obtenidos a partir del análisis estático. 360

Tabla A2.3. Diseño básico para el devanado tradicional obtenido a partir del análisis estático. 360

Tabla A2.4. Entrehierro utilizado para cada opción del devanado planteado..... 361

Tabla A2.5. Parámetros constructivos de la inductancia para el primer diseño. 379

Tabla A2.6. Parámetros constructivos para la inductancia siguiendo el segundo diseño. 380

Tabla A2.7. Parámetros constructivos para la inductancia siguiendo el diseño óptimo. 382

A1 DESGLOSE DE PÉRDIDAS EN EL MODO QSW-ZVS

En este anexo se presenta un modelado teórico de las pérdidas en un convertidor elevador operando en modo QSW-ZVS. El cálculo de las pérdidas del convertidor se utiliza en su diseño para definir una frecuencia de conmutación nominal. Además de esto, se utilizará este modelado para evaluar y decidir sobre las agrupaciones modulares, con lo que conviene detallar las expresiones analíticas utilizadas para calcular estas pérdidas. Por lo tanto, dada su importancia en los procesos de diseño, en este anexo se presentan estas expresiones teóricas.

A1.1. INTRODUCCIÓN

Como en cualquier otra etapa de potencia, existen al menos cuatro elementos que hay que tener en cuenta en la valoración de las pérdidas en este convertidor: pérdidas en los semiconductores, pérdidas en el circuito de gobierno o *driver*, pérdidas en la inductancia y pérdidas en los condensadores de entrada o de salida. Además de estas cuatro fuentes básicas de pérdidas, podrían haberse considerado otras, como son las pérdidas por conducción en las pistas que constituyen la placa de circuito impreso (o PCB, de su término en inglés *Printed Circuit Board*) o las pérdidas en el filtro EMI (si lo hubiera). No obstante, estas últimas se han obviado en este análisis.

A1.2. PÉRDIDAS EN LOS SEMICONDUCTORES

Como ya se ha mencionado al comienzo del análisis estático, se va a considerar que en este convertidor se emplean transistores de tipo MOSFET. Las pérdidas en estos transistores pueden deberse a cinco efectos: las debidas a la conducción directa, las debidas a la conducción del diodo parásito, las debidas al encendido y apagado del transistor (comúnmente llamadas de conmutación), las debidas a la carga y descarga de la capacidad parásita de salida de los transistores MOSFET y las debidas a la recuperación inversa de su diodo parásito.

A1.2.1. PÉRDIDAS EN CONDUCCIÓN

Las pérdidas en conducción pueden expresarse como

$$P_{condS} = R_{DSon} \cdot i_{Srms}^2 \tag{11.1}$$

donde R_{DSon} es la resistencia en conducción de cada transistor e i_{Srms} es el valor eficaz de la corriente que circula por el transistor. En el convertidor elevador QSW-ZVS estas pérdidas en conducción suelen ser, en general, las dominantes sobre el resto de pérdidas presentes en el convertidor. Esto se debe a que el rizado de la corriente por la inductancia es notablemente mayor que el que se presenta en MCC, haciendo que el valor eficaz sea también mayor en comparación con este modo de operación.

Durante los intervalos de tiempo definidos como tiempos muertos, es posible que el diodo parásito de los transistores MOSFET entre en conducción. Este hecho puede darse durante el primer tiempo muerto (t_{d1}). Durante este tiempo, la corriente circulará por el diodo parásito del

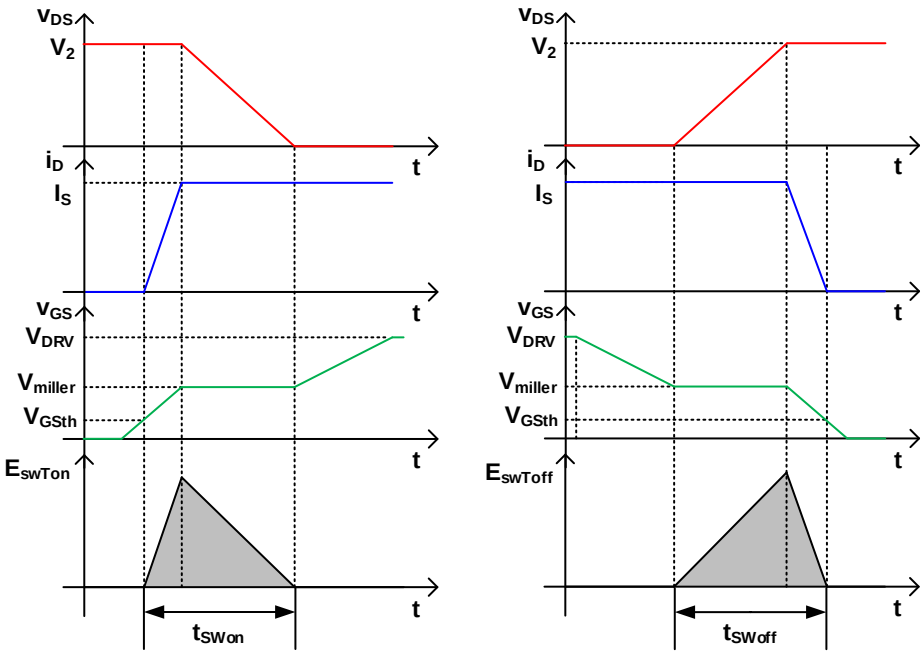
transistor hasta que se active el canal del mismo. Las pérdidas debidas a la conducción de este diodo pueden expresarse como

$$P_{diodoS} = V_\gamma \cdot i_{Savg} + r_d \cdot i_{Srms}^2 \tag{11.2}$$

donde V_γ es la tensión de codo del diodo parásito del transistor, i_{Savg} es el valor medio de la corriente que circula por el transistor y r_d es la resistencia dinámica del diodo parásito del transistor. Las características del diodo parásito de un transistor MOSFET no son especialmente buenas en términos de estos parámetros (especialmente, en aquellos transistores cuya tensión de ruptura de sitúe entre 400V y 900V y, particularmente, para los MOSFET de super-unión, como ya se ha citado anteriormente). Pese a ello, estas pérdidas no serán muy elevadas, puesto que el tiempo de conducción (t_{d1}) es notablemente más pequeño que el resto de intervalos que forman el periodo de conmutación. Es por esto que, por lo general, no se consideran estas pérdidas debidas a la conducción del diodo parásito.

A1.2.2. PÉRDIDAS EN CONMUTACIÓN. ENCENDIDO Y APAGADO DEL TRANSISTOR

Otro de los efectos que hay que tener en cuenta en la valoración de las pérdidas en los semiconductores son las pérdidas ligadas al encendido y apagado del transistor, habitualmente llamadas pérdidas en conmutación. Estas pérdidas se deben al tiempo existente entre la aplicación de la señal de control de encendido o apagado hasta que el transistor está conduciendo o deja de hacerlo. Durante estos intervalos, la corriente y la tensión conviven en el transistor causando unas pérdidas adicionales a las de conducción. Generalmente, se asumen formas de onda idealizadas con transiciones lineales para poder obtener una estimación del valor de estas pérdidas, como las que se muestran en la Figura 11.1, aunque en la realidad estas formas de onda no poseen una evolución lineal [A1.1]-[A1.7]. Estos tiempos tienen que ver con el fenómeno de carga y descarga de las capacidades de puerta del transistor MOSFET. Como puede resultar obvio, estos fenómenos son complejos, dependen fuertemente de las condiciones de trabajo del transistor y, por lo tanto, el cálculo de estos tiempos de retardo también resulta ser complejo.



(a) (b)

Figura 11.1. Formas de onda ideales asumidas para el cálculo de las pérdidas de conmutación en los transistores. (a) Durante el encendido. (b) Durante el apagado.

Matemáticamente, suelen emplearse aproximaciones lineales para describir estos fenómenos y las pérdidas en conmutación pueden estimarse como

$$P_{swS} = f_s \cdot \left(\frac{1}{2} \cdot V_{DS} \cdot i_{Srms}\right) \cdot \left[t_{SWon} + t_{SWoff}\right] \tag{11.3}$$

donde f_s es la frecuencia de conmutación, V_{DS} es la tensión drenador-fuente del transistor, t_{SWon} es el tiempo de encendido y t_{SWoff} es el tiempo en el apagado. Normalmente, los datos de los tiempos pueden encontrarse en la hoja de características del transistor proporcionada por el fabricante. No obstante, estos valores han sido obtenidos bajo unas determinadas condiciones de funcionamiento (frecuencia de conmutación, tensión de salida, etc.), que rara vez suelen coincidir con las condiciones de trabajo del convertidor. Por lo tanto, este hecho conlleva que los resultados obtenidos utilizando estos datos proporcionados por el fabricante no sean muy ajustados.

Un segundo método, algo más aproximado, consiste en calcular el valor de la tensión *Miller* o tensión de *plateau* que se produce durante la carga y descarga de la puerta del transistor, y, a partir de este valor, calcular los tiempos de carga y descarga. La tensión Miller puede hallarse como

$$V_{miller} = V_{GSth} + \frac{i_{Savg}}{g_m} \tag{11.4}$$

en donde V_{GSth} es el valor de la tensión umbral de puerta (o tensión *threshold*) y g_m es la transconductancia del transistor. Conocida esta tensión, las corrientes de carga y descarga de la capacidad de puerta pueden calcularse respectivamente como

$$i_{DRVon} = \frac{V_{DRV} - V_{miller}}{R_{p-up} + R_g} \tag{11.5}$$

$$i_{DRVoff} = \frac{V_{DRV}}{R_{p-down} + R_g} \tag{11.6}$$

donde V_{DRV} es la tensión máxima del *driver* de control, R_{p-up} es el valor de la resistencia de *pull-up* del *driver* de control, R_{p-down} es el valor de la resistencia de *pull-down* del *driver* de control y R_g es el valor de la resistencia colocada en serie en la puerta del transistor. Más adelante se detallaran estas resistencias cuando se aborden las pérdidas en el circuito de *driver*. A partir de estos valores, los tiempos de retardo de arranque y apagado pueden calcularse como

$$t_{SWon} = \frac{Q_g}{i_{DRVon}} \tag{11.7}$$

$$t_{SWoff} = \frac{Q_g}{i_{DRVoff}} \tag{11.8}$$

donde Q_g es la carga de puerta del transistor. Pese a que este segundo método puede considerarse más aproximado que el basado en los datos suministrado por el fabricante, no deja de ser una aproximación algo más elaborada que el primero. Esto se debe a que el valor de la transconductancia del transistor depende fuertemente de las condiciones de trabajo del mismo y, por lo tanto, este valor varía con la tensión drenador-fuente, puerta-fuente y la corriente de drenador que circula por el transistor.

En el convertidor elevador QSW-ZVS, el transistor S_1 entra en conducción a tensión cero, mientras que el transistor S_2 sale de conducción a corriente cero. Por lo tanto, el transistor S_1 únicamente posee pérdidas de conmutación durante el apagado, mientras que para el transistor S_2 ocurre justamente lo contrario, sus pérdidas de apagado son nulas y únicamente tiene pérdidas de conmutación durante el encendido. Partiendo de la ecuación (11.8), es posible simplificarla para obtener las pérdidas en cada transistor como

$$P_{swS1} = f_s \cdot \left(\frac{1}{2} \cdot V_{DS} \cdot i_{Srms}\right) \cdot [t_{SWoff}] \tag{11.9}$$

$$P_{swS2} = f_s \cdot \left(\frac{1}{2} \cdot V_{DS} \cdot i_{Srms}\right) \cdot [t_{SWon}] \tag{11.10}$$

A1.2.3. PÉRDIDAS EN CONMUTACIÓN. CAPACIDAD PARÁSITA DE SALIDA

El tercer efecto a considerar de las pérdidas del transistor son las pérdidas debidas a la carga y descarga de la capacidad parásita de salida. Tradicionalmente se ha modelado y añadido este efecto a las pérdidas de conmutación anteriormente detalladas. Cuando el transistor se encuentra conduciendo, esta capacidad se encuentra descargada, mientras que cuando el transistor se encuentra en corte, la capacidad parásita de salida se carga a la tensión drenador-fuente que ha de soportar el transistor (para el caso aquí analizado, a la tensión de salida V_2). Por el mero hecho de cargar y descargar esta capacidad parásita cuando el transistor se encuentre conduciendo corriente (i.e. en condiciones de conmutación dura a la entrada y a la salida de conducción del transistor) existen unas pérdidas asociadas a este proceso, puesto que la energía almacenada en este condensador se disipa en la resistencia de conducción del MOSFET. Estas pérdidas pueden cuantificarse como

$$P_{CossS} = f_s \cdot \left(\frac{1}{2} \cdot C_{oss} \cdot V_{DS}^2\right) \tag{11.11}$$

donde C_{oss} es la capacidad de salida del transistor. La ecuación (11.11) representa las pérdidas ocasionadas en la carga y descarga de la capacidad a través de una resistencia serie desde una determinada fuente de tensión (en el caso del convertidor elevador, la tensión de salida V_2). En la Figura 3.9(b) del capítulo 3 se representaron en su momento las tensiones drenador-fuente que soportaban ambos transistores. En este convertidor, la capacidad parásita del transistor S_1 se descarga en condiciones de conmutación suave mediante la resonancia que ocurre en el intervalo t_d. Es decir, el transistor no conduce corriente hasta que esta capacidad esté completamente descargada, por lo tanto, la energía almacenada en el condensador de salida se devuelve a la inductancia y no se disipa en el canal del MOSFET. Durante este mismo intervalo, la capacidad parásita del transistor S_2 también se carga de manera resonante. Durante los intervalos de resonancia, la energía almacenada en la capacidad de salida pasa a ser energía almacenada en la inductancia y viceversa durante el tiempo t_d. Durante esta transición de energías existen unas pérdidas ligadas a las resistencias parásitas presentes en el circuito resonante equivalente. Los valores de estas resistencias son, en general, despreciables, por lo que la energía que se

intercambia durante el periodo resonante se transfiere prácticamente sin pérdidas. En conclusión, las pérdidas asociadas al condensador de salida pueden ser consideradas despreciables siempre que se mantengan las condiciones de conmutación suave en este convertidor. No ocurre esta circunstancia en otros modos de conducción, como el MCC, en donde estas pérdidas sí que están presentes y han de ser tenidas en cuenta como parte de las pérdidas de conmutación, ya que la energía almacenada en el condensador parásito de salida no se devuelve a la inductancia, sino que se disipa a través del canal del MOSFET.

A1.2.4. PÉRDIDAS DEBIDAS A LA RECUPERACIÓN INVERSA

La última causa de pérdidas en los semiconductores está ligada a la recuperación inversa del diodo parásito del transistor S_2. De existir, estas pérdidas ocasionarían un incremento en las pérdidas del transistor S_1, puesto que altera los valores máximos tanto de la corriente como de la tensión de dicho transistor durante su encendido. Una posible aproximación a la potencia perdida como consecuencia de este efecto podría ser la siguiente

$$P_{rrS} = f_s \cdot \left(\frac{1}{2} \cdot V_{DS} \cdot Q_{rr}\right) \tag{11.12}$$

en donde Q_{rr} es la carga de recuperación inversa del diodo parásito del transistor, cuyo valor suele suministrarse en la hoja de características proporcionada por el fabricante. Estas pérdidas tendrían un peso mayor si se realiza la versión no-síncrona del convertidor elevador, en el que el diodo parásito del transistor S_2 se utiliza como diodo de libre circulación. En el caso bajo estudio, sin embargo, se opera en modo síncrono y tales pérdidas de recuperación inversa pueden también ser ignoradas. En primer lugar, el transistor S_2 sale de conducción a corriente cero, por lo que el proceso de recuperación inversa del diodo parásito apenas tiene un peso específico en las pérdidas totales. Es conocido que el proceso de recuperación inversa está ligado a la reubicación de huecos y electrones en la zona de transición y tiene que ver, entre otros parámetros, con la corriente inicial que se encuentra conduciendo el diodo en el momento de su apagado. A menor valor de corriente, menor valor de la carga Q_{rr}. En segundo lugar, el diodo parásito del transistor S_2 no debería entrar en conducción (de manera ideal) durante los distintos intervalos de conducción del convertidor. Incluso si se considera que este diodo parásito ha entrado en conducción durante el encendido del transistor (durante el primer periodo t_{d1} obviado en el anterior análisis estático), la corriente circulará mayoritariamente por el canal del transistor una vez que se active éste (puesto que será el camino de mínima impedancia para la circulación de dicha corriente). Y, en tercer y último lugar, ya se ha comentado que en el encendido del transistor S_1 no existen pérdidas, puesto que este transistor no se activa hasta que la tensión que soporta ha descendido a cero y, por lo tanto, no hay convivencia tensión-corriente. Incluso

asumiendo que existe la recuperación inversa del diodo, el efecto de la misma sería el de incrementar la tensión drenador-fuente que está soportando el transistor S_1. Esto implica un tiempo de resonancia, t_d, mayor y una mayor corriente de pico negativa por la bobina (un menor valor de I_{Lv}). Pese a ello, el transistor S_1 seguiría entrando en conducción a tensión cero, puesto que el control del convertidor se encargaría de ajustar t_d para cumplir con esta condición. Se puede suponer en este caso que la recuperación inversa del diodo tendría como consecuencia un ligero incremento en el rizado de la corriente por la inductancia y, por lo tanto, en los valores eficaces de las corrientes puestas en juego. Como consecuencia, esto supondría un incremento despreciable en las pérdidas de conducción, en relación a las ya presentes y predominantes en el convertidor bajo estudio.

A1.3. PÉRDIDAS EN EL CIRCUITO DE GOBIERNO (*DRIVER*)

Las segundas pérdidas a considerar en este convertidor son las debidas al circuito de gobierno o *driver*, como consecuencia de la carga y descarga de la capacidad de entrada del transistor MOSFET ($C_{iss} = C_{GD} + C_{GS}$). Un posible esquema eléctrico del circuito del *driver* se ha representado en la Figura 11.2. Este *driver* tiene como función amplificar la señal proporcionada por el circuito de control y adaptarla a los niveles de tensión y corriente requeridos para gobernar el transistor MOSFET. Existe un buen número de topologías de *drivers* distintos (e.g. montaje en etapa complementaria, montaje en *push-pull*, montaje *totem-pole*, montaje en espejo de corriente, etc. 344[A1.8]-[A1.10]), cada uno con distintas propiedades, ventajas y desventajas. En este análisis de pérdidas no se concretará ninguna topología en particular para el *driver* y los cálculos de pérdidas asociados al mismo serán similares para cualquier tipo.

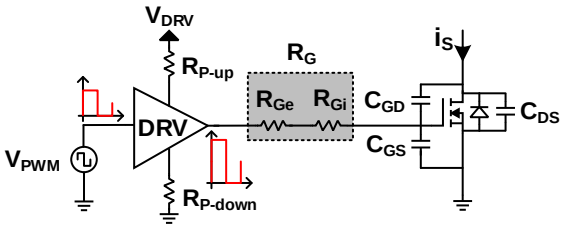


Figura 11.2. Esquema básico del circuito considerado como *driver* de control.

Las pérdidas debidas a la carga de la capacidad de entrada pueden expresarse como

$$P_{gate} = Q_g \cdot V_{DRV} \cdot f_s \tag{11.13}$$

Las pérdidas del driver están ligadas a las resistencias de *pull-up* y *pull-down*. La resistencia equivalente de puerta puede escribirse como

$$R_{gate} = R_{p-up} + R_{p-down} + R_g \tag{11.14}$$

Teniendo en cuenta esta resistencia equivalente, resulta sencillo obtener la expresión matemática de las pérdidas de *driver* durante el encendido y el apagado, quedando estas como

$$P_{drvTon} = \frac{P_{gate} \cdot R_{p-up}}{2 \cdot R_{gate}} \tag{11.15}$$

$$P_{drvToff} = \frac{P_{gate} \cdot R_{p-down}}{2 \cdot R_{gate}} \tag{11.16}$$

Por último, las pérdidas totales del *driver* pueden escribirse en función de las anteriores como

$$P_{DRV} = 2 \cdot \left(P_{drvTon} + P_{drvToff}\right) \tag{11.17}$$

A1.4. PÉRDIDAS EN LA INDUCTANCIA (PRIMERA APROXIMACIÓN)

Las pérdidas en la inductancia (P_L) pueden dividirse en dos grandes términos: pérdidas por conducción en el cobre (P_{condL}) y pérdidas en el núcleo magnético (P_{nuL}), tal y como refleja la ecuación (11.18).

$$P_L = P_{condL} + P_{nuL} \tag{11.18}$$

Normalmente, en el diseño de esta inductancia se tendrá en cuenta un número de vueltas óptimo (N) tal que se minimicen las pérdidas totales en este elemento, o lo que es lo mismo, que las pérdidas en el cobre igualen a las pérdidas en el núcleo.

Las pérdidas en el cobre se pueden modelar como suma de dos componentes fundamentales: una resistencia de continua (R_{DC}) y una resistencia de alterna (R_{AC}), tal y como se recoge en la ecuación (11.19).

$$P_{condL} = R_{DC} \cdot i_{Lrms}^2 + R_{AC} \cdot \Delta i_L^2 \tag{11.19}$$

La R_{DC} está relacionada con el número de vueltas, el diámetro del hilo conductor utilizado y el número de hilos usados. La R_{AC} modela efectos de alta frecuencia, como son el efecto proximidad entre los conductores y las capas del devanado o la influencia del flujo disperso en las zonas próximas al entrehierro.

Por otro lado, las pérdidas en el núcleo tratan de modelar las pérdidas causadas por las corrientes inducidas en el material magnético utilizado en la inductancia. La circulación de estas corrientes (llamadas normalmente *eddy currents* en su terminología inglesa), provocan una serie de pérdidas que se han modelado tradicionalmente siguiendo la ecuación de Steinmetz [A1.11]-[A1.13].

$$P_{nuL} = k \cdot f_s^{\alpha} \cdot (\Delta B)^{\beta} \tag{11.20}$$

En la ecuación (11.20) los parámetros α, β y k son empíricos y dependen del material conductor magnético utilizado. Tanto estas pérdidas como las causadas por la R_{AC} en los conductores dependen fuertemente de las formas de onda de la corriente por la inductancia. Pese a que las ecuaciones (11.19) y (11.20) pueden utilizarse para poder obtener unas pérdidas aproximadas en la inductancia, no son unas ecuaciones precisas. Puesto que la forma de onda de la corriente que circula por la inductancia en el modo QSW-ZVS posee unas características muy particulares (como son un rizado elevado, una corriente negativa, una corriente resonante durante un intervalo de conducción, etc.), en el anexo A2 se presentará un análisis más profundo sobre el diseño optimizado de una inductancia para trabajar en el modo QSW-ZVS, así como unas ecuaciones de pérdidas más ajustadas a este caso en particular.

A1.5. PÉRDIDAS EN EL CONDENSADOR DE SALIDA O DE ENTRADA

El último término de pérdidas considerado en este análisis es el de las pérdidas causadas por los condensadores de entrada o de salida presentes en el convertidor (P_C). Al igual que en el resto de componentes analizados anteriormente, estas pérdidas pueden dividirse en dos componentes fundamentales: las causadas por la conducción (P_{condC}) y las causadas por la carga y descarga de estas capacidades (P_{swC}) (ecuación (11.21)).

$$P_C = P_{condC} + P_{swC} \tag{11.21}$$

Las pérdidas de conducción vienen determinadas por el valor de la resistencia serie equivalente del condensador (o ESR_C). De esta forma, estas pérdidas pueden calcularse como

$$P_{condC} = ESR_C \cdot i_{Crms}^2 \tag{11.22}$$

donde i_{Crms} es el valor eficaz de la corriente por el condensador. El valor de esta ESR_C depende fuertemente de la tecnología del condensador utilizado (i.e. electrolítico, plástico, de mica, etc.) y de su rango de tensiones de funcionamiento.

La carga y descarga del condensador se produce debido al rizado de tensión que soporta este elemento durante el período de conmutación. Las pérdidas producidas por este efecto pueden calcularse como

$$P_{swC} = f_s \cdot \frac{1}{4} \cdot C \cdot \Delta V_C^2 \tag{11.23}$$

donde ΔV_c es el rizado de tensión en el condensador. Tanto las pérdidas de conducción como las provocadas por la carga y descarga de esta capacidad suelen ser poco significativas en comparación con las pérdidas en los semiconductores y las pérdidas en la inductancia en este convertidor y son, por lo tanto, tratadas tradicionalmente con menor detalle.

A1.6. REFERENCIAS DEL ANEXO 1

[A1.1] Fairchild, Nota de Aplicación AN-7500, "Understanding power MOSFETs", Oct. 1999.

[A1.2] Fairchild, Nota de Aplicación AN-9010, "MOSFET basics", pp. 1-17, Sept. 2013.

[A1.3] IXXYS, Nota de Aplicación IXAN0061, "Power MOSFET basics", pp. 1-11.

[A1.4] International Rectifier, Nota de Aplicación, "Power MOSFET basics".

[A1.5] Texas Instruments, Nota de Aplicación SLPA009A, "Power Loss Calculation with Common Source Inductance Consideration for Synchronous Buck Converters", pp. 1-16, Jun. 2011.

[A1.6] Infineon, Nota de Aplicación AN-2006-7, "MOSFET Power Losses Calculation Using the Data-Sheet Parameters", pp. 1-21, Jul. 2006.

[A1.7] Fairchild, Nota de Aplicación AN-6005, "Synchronous Buck MOSFET Loss Calculation with Excel Model", pp. 1-7, Nov. 2014.

[A1.8] Texas Instruments, Nota de Aplicación SLUP133, "Design and Application Guide for High Speed MOSFET Gate Drive Circuits", pp. 1-37.

[A1.9] International Rectifier, Nota de Aplicación AN-978, "HV Floating MOS-Gate Driver ICs", pp. 1-30, Mar. 2007.

[A1.10] Unitrode, Nota de Aplicación, U-137, "Practical Considerations in High Performance MOSFET, IGBT and MCT Gate Drive Circuits," pp.3-314, 3-328, 1999.

[A1.11] Steinmetz, Charles Proteus, "On the Law of Hysteresis," *American Institute of Electrical Engineers, Transactions of the*, vol.IX, no.1, pp.1,64, Jan. 1892.

[A1.12] Steinmetz, Charles Proteus, "On the Law of Hysteresis (Part II.) and Other Phenomena of the Magnetic Circuit," *American Institute of Electrical Engineers, Transactions of the*, vol.IX, no.1, pp.619,758, Jan. 1892.

[A1.13] Steinmetz, Charles Proteus, "On the Law of Hysteresis (Part III.), and the Theory of Ferric Inductances," *American Institute of Electrical Engineers, Transactions of the*, vol.XI, no., pp.570,616, Jan. 1894.

A2 DISEÑO DE LA INDUCTANCIA PARA UN CONVERTIDOR ELEVADOR QSW-ZVS

En el anexo 1 de esta tesis se ha proporcionado un modelado de las pérdidas del convertidor elevador QSW-ZVS. Sin embargo, debido a las propiedades tan particulares de este modo de funcionamiento, en el diseño de la inductancia deben tenerse en cuenta unos efectos muy específicos que, habitualmente, se ignoran en el diseño general de los elementos magnéticos. Por lo tanto, en este anexo se recoge un análisis y un modelado teórico de las pérdidas en la inductancia para cuando se opera en el modo QSW-ZVS (en particular) y con grandes excursiones en el flujo magnético (en general). Se detallarán los efectos característicos de este modo que causan un aumento en las pérdidas de la inductancia y que deben ser tenidos en cuenta en su diseño. Por último, se plantea un posible algoritmo de diseño optimizado para una inductancia en el convertidor elevador QSW-ZVS, que puede generalizarse a otros convertidores que empleen inductancias con un entrehierro elevado y excursiones de flujo magnético grandes.

A2.1. INTRODUCCIÓN

El convertidor elevador operando en modo QSW-ZVS tiene unas pérdidas de conmutación relativamente bajas, especialmente si se compara con MCC. De esta forma, el grueso de las pérdidas totales del convertidor se debe a las pérdidas ocasionadas por la conducción en los semiconductores. Además de estas pérdidas, las que se producen en el elemento magnético son, por lo general, las segundas en cuanto a su peso en las pérdidas totales del convertidor. Dadas las especiales características ya enumeradas en el análisis estático, el diseño de esta inductancia y, especialmente, el cálculo de sus pérdidas, debe realizarse con cuidado si se persigue que el convertidor mantenga un rendimiento muy elevado.

A2.2. DISEÑO BÁSICO DE LA INDUCTANCIA

Ya se ha mencionado anteriormente que la forma de abordar el diseño de esta inductancia es a partir de la selección de un número de vueltas óptimo que iguale las pérdidas en el cobre con las pérdidas que se producen en el núcleo conductor magnético. Una primera aproximación al diseño optimizado se resume a continuación.

En primer lugar, se parte de las especificaciones de corriente por la inductancia y del valor de inductancia (L) que se pueden calcular a partir de las ecuaciones enunciadas en el análisis estático del convertidor. En segundo lugar, se selecciona un material ferromagnético acorde con la frecuencia de conmutación y con la corriente máxima que deba manejar la inductancia. En tercer lugar, se escoge el tamaño del núcleo de forma que no se satura el material magnético. Para ello, se parte de una densidad de flujo magnético máxima, que se relaciona con el número de vueltas N y con la corriente máxima como

$$B_{max} = \frac{L \cdot i_{Lmax}}{N \cdot A_e} \tag{22.1}$$

siendo A_e el área efectiva del núcleo seleccionado.

El número mínimo de vueltas que evita la saturación del núcleo, queda por lo tanto determinada por la ecuación

$$N_{min} = \frac{L \cdot i_{Lmax}}{B_{sat} \cdot A_e \cdot 0{,}95} \tag{22.2}$$

donde B_{sat} es la densidad del flujo magnético de saturación y el factor 0,95 se añade como coeficiente de seguridad.

Otro dato adicional es la variación en la densidad del flujo magnético o rizado de la densidad del flujo (ΔB), que puede calcularse a su vez a partir del rizado de la corriente (Δi_L)

$$\Delta B = B_{ac} = \frac{L \cdot \frac{\Delta i_L}{2}}{N \cdot A_e} \tag{22.3}$$

Con estos valores es posible calcular una primera aproximación de las pérdidas en el núcleo por unidad de volumen, a partir de la ecuación básica de Steinmetz [A1.11]-[A1.13], como

$$P_{nuL} = k_H \cdot f_s^{\alpha_H} \cdot \left(\frac{\Delta B}{2}\right)^{\beta_H} \tag{22.4}$$

donde los parámetros k_H, α_H y β_H son empíricos y dependen del material seleccionado, estando los dos últimos normalmente comprendidos entre unos valores de 1 y 3.

$$\begin{aligned} 1 < \alpha_H < 3 \\ 2 < \beta_H < 3 \end{aligned} \tag{22.5}$$

Por otra parte, se estiman las pérdidas en el conductor (pérdidas en los devanados) asumiendo que se utiliza un determinado porcentaje del área de ventana disponible en la estructura de núcleo y carrete seleccionada y que se rellena por entero el mismo con un conductor macizo. Estas pérdidas en el cobre pueden calcularse como

$$P_{condL} = \frac{\rho \cdot l_m \cdot i_{Lrms}^2}{f_w \cdot A_w} \cdot N^2 \tag{22.6}$$

donde ρ es la resistividad del cobre, l_m es la longitud media por vuelta, A_w es el área de ventana del núcleo seleccionado y f_w es el factor de ventana o porcentaje de uso del área de ventana. Éste último parámetro es empírico y suele fijarse entre 0,25 y 0,35 para los carretes habituales.

De las ecuaciones (22.4) y (22.6) se puede observar que las pérdidas en el cobre crecen con el número de vueltas, mientras que las del núcleo decrecen con N. Por lo tanto existirá un número de vueltas óptimo (N_{opt}) en el que se igualen ambas pérdidas, tal y como se ha representado de forma sencilla en la Figura 22.1.

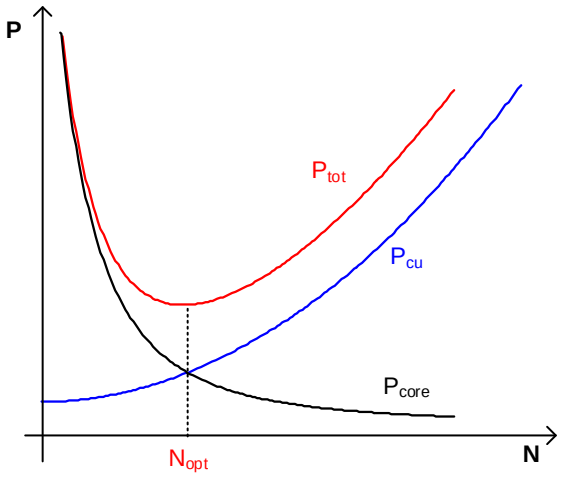


Figura 22.1. Pérdidas en el núcleo y en el cobre en función del número de vueltas.

Si el núcleo no se satura con el número de vueltas N_{opt}, entonces el diseño ha finalizado. La condición de saturación puede expresarse matemáticamente como

$$N_{opt} > N_{min} \tag{22.7}$$

Si se satura el material, entonces ha de seleccionarse un núcleo de mayores dimensiones y realizar de nuevo el diseño. Por último, únicamente quedaría por calcular el entrehierro necesario para la inductancia requerida, que se puede calcular como

$$g = \frac{\mu_0 \cdot N_{opt}^2 \cdot A_e}{L} - \frac{l_e}{\mu_r} \tag{22.8}$$

donde μ_r es la permeabilidad magnética del material del núcleo seleccionado y μ_0 la permeabilidad del vacío. A este diseño suele añadirse un cálculo del diámetro del hilo de cobre necesario para evitar el efecto pelicular debido a la conducción de corriente de alta frecuencia, el número de hilos necesarios para conseguir la sección de hilo de cobre especificada y un re-cálculo de las pérdidas en el cobre basado en los nuevos datos.

Este diseño puede aplicarse en la mayoría de los convertidores CC/CC sin ninguna modificación o añadido adicional. No obstante, hay una serie de efectos que, por las especiales características del modo QSW-ZVS, han de modelarse y tenerse en cuenta, además de lo realizado en el diseño tradicional, dado que afectan directamente a las pérdidas en la inductancia. El origen de estos efectos está íntimamente relacionado con tres fenómenos únicos en el modo QSW-ZVS: la forma de onda de la corriente que excita la bobina, el valor de inductancia L y el valor del entrehierro g.

En primer lugar, la forma de onda de la corriente por la inductancia posee un rizado netamente mayor en el modo QSW-ZVS en comparación con MCC. Desde el punto de vista de esta corriente,

el modo QSW-ZVS es más similar a un modo MCD, en donde los valores de la corriente de pico (o corriente máxima) y el valor eficaz de la corriente son más elevados que en MCC. A esto se añade que en el modo QSW-ZVS se maneja un valor de corriente negativo, que si bien no es comparable en general con el valor de pico máximo, sí que puede ser importante y no puede obviarse. Esta corriente va a inducir un flujo magnético de unas características similares a las descritas para esta corriente, que condicionarán las pérdidas en el material magnético y en los conductores (gran excursión en el flujo, flujo máximo elevado y un flujo mínimo negativo).

En segundo lugar, como ya se ha desprendido del análisis estático, el modo QSW-ZVS precisa valores de inductancia relativamente bajos, siempre inferiores al valor crítico o valor de inductancia límite. Esto implica un diseño con un número de vueltas reducido que, unido al hecho mencionado anteriormente de tener que manejar un flujo magnético máximo elevado, hace que el núcleo trabaje más próximo a saturación que en otros modos de conducción.

En tercer y último lugar, una baja inductancia implica también en la mayoría de los casos un uso de un entrehierro considerablemente grande. Se considera que el valor del entrehierro es grande cuando resulta ser proporcional a las dimensiones de la sección del núcleo magnético utilizado [A2.12], [A2.14] (e.g. un entrehierro de 2mm en un núcleo ETD39 con una sección lateral de 9,6 x 6,4 mm). Un entrehierro grande hace que el flujo se disperse más por efecto borde y afecte a los conductores más próximos, incrementando las pérdidas. Tradicionalmente este hecho no se suele tener en cuenta para inductancias trabajando en MCC y entrehierro pequeño.

Finalmente, existe un cuarto parámetro que también afecta al diseño de esta inductancia de manera especial en el modo QSW-ZVS: la frecuencia de conmutación variable. Las pérdidas en el núcleo son proporcionales a la frecuencia de conmutación, por lo que su variación provoca variaciones en las pérdidas ocasionadas en el núcleo. No obstante, ya se ha citado en el análisis estático que esta excursión de frecuencia no es muy grande ante cambios en las tensiones de entrada y de salida, y aunque sí lo es ante cambios en la potencia manejada. Sin embargo, en estos últimos, se fijan unos límites máximos por funcionamiento, por lo que el cambio en las pérdidas causado por la variación de la frecuencia de conmutación no será muy significativo. Además de esto, una frecuencia variable obliga a seleccionar el material magnético atendiendo también a la degradación de sus propiedades en función de la frecuencia. No obstante, basta con seleccionar un material que mantenga sus propiedades a la máxima frecuencia de conmutación en la que opere el convertidor.

Teniendo en cuenta estos efectos particulares presentes en el modo QSW-ZVS, se pasa a analizar en detalle las pérdidas ocasionadas por cada uno de ellos y cómo afectan al diseño de la inductancia.

A2.3. DESGLOSE DE PÉRDIDAS EN LA INDUCTANCIA Y SU IMPACTO EN EL MODO QSW-ZVS

El primer paso consiste en identificar el origen de todas las pérdidas presentes en la inductancia. Un esquema de la división de las pérdidas en la inductancia se muestra en la Figura 22.2. Como ya se ha mencionado anteriormente, las pérdidas totales en la inductancia se pueden dividir en dos: las debidas a los devanados (también llamadas de forma coloquial pérdidas del cobre) y las debidas al núcleo magnético. Las pérdidas en el cobre tienen a su vez tres orígenes fundamentales. Las causadas por el efecto pelicular (o, en su término en inglés, efecto *skin*), las causadas por el efecto proximidad (o pérdidas de alta frecuencia) y las causadas por el flujo disperso por efecto borde en el entrehierro (o *fringe flux effect* en su término inglés). Estas pérdidas en el cobre se suelen modelar como unas pérdidas presentes en dos resistencias equivalentes: una resistencia de continua (R_{DC}) y una resistencia de alterna (R_{AC}). Por otro lado, las pérdidas en el núcleo se deben a las pérdidas por histéresis en el material y las pérdidas producidas por las corrientes de Foucalt inducidas en el propio material (o *Eddy currents* en su terminología inglesa). A continuación se detallarán cada una de ellas.

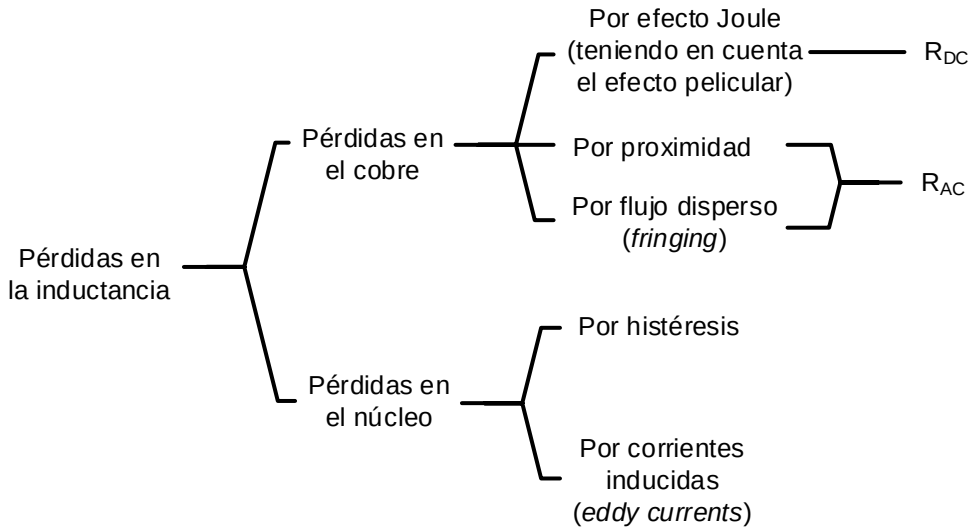


Figura 22.2. Desglose de pérdidas en la inductancia.

A2.3.1. PÉRDIDAS EN LOS CONDUCTORES: EL EFECTO JOULE Y EL EFECTO PELICULAR

Las pérdidas en conducción se modelan a partir de una resistencia equivalente del devanado teniendo en cuenta el efecto Joule. Para calcular estas pérdidas ha de tenerse en cuenta otro efecto denominado pelicular o efecto *skin*. Este efecto se produce cuando la corriente no se distribuye uniformemente por el hilo conductor, sino que tiende a concentrarse en la superficie

del mismo. Este fenómeno está relacionado con la frecuencia de conmutación de la corriente que circula por los devanados y se modela de la siguiente manera

$$\delta = \sqrt{\frac{1}{\pi \cdot f_s \cdot \mu \cdot \sigma}} \tag{22.9}$$

donde σ es la conductividad del cobre y μ la permeabilidad magnética del cobre. Al parámetro δ se le conoce como profundidad de *skin*, y fija un diámetro máximo para el conductor a partir de la siguiente expresión

$$d_{sk} = 2 \cdot \sqrt{\frac{\rho}{\pi \cdot f_s \cdot \mu_0}} \tag{22.10}$$

donde ρ es la resistividad del cobre. De esta forma, el valor máximo de la sección de hilo de cobre a utilizar queda limitada a la cota máxima fijada por d_{sk} para evitar el efecto pelicular. Por otra parte, a partir del área de ventana disponible y del número de vueltas óptimo para minimizar las pérdidas en el cobre, se obtiene la máxima sección de cobre disponible

$$S = \frac{f_w \cdot A_w}{N_{opt}} \tag{22.11}$$

Y a partir de esta sección es posible establecer el número de hilos necesarios que se van a disponer en paralelo para evitar el efecto *skin* y cumplir con el área especificada. A este tipo de conductor con varios hilos en paralelo y trenzado se le conoce como hilo *litz* y el número de hilos puede calcularse como

$$N_{hilos} = \frac{4 \cdot S}{\pi \cdot d_{hilo}^2} \tag{22.12}$$

siendo d_{hilo} el diámetro del hilo seleccionado que cumple $d_{hilo} < d_{sk}$. Por lo general, se tomará el entero por exceso más próximo al valor de N_{hilos} proporcionado por la ecuación (22.12), denotado aquí como $\lceil N_{hilos} \rceil$. La sección efectiva de cobre utilizado es, por lo tanto

$$S_{hilos} = \lceil N_{hilos} \rceil \cdot \frac{\pi \cdot d_{hilo}^2}{4} \tag{22.13}$$

Conocida esta sección, es posible determinar el valor de la resistencia equivalente de continua del devanado, sin más que

$$R_{DC} = \frac{\rho \cdot l_m}{S_{hilos}} \cdot N_{opt} \tag{22.14}$$

ñdonde l_m es la longitud media por vuelta. Es importante destacar que esta resistencia no depende de la frecuencia de conmutación ya que esta sólo se tiene en cuenta para la selección del diámetro del hilo conductor que se dispone en paralelo para construir el hilo *litz* o el devanado.

A2.3.2. PÉRDIDAS EN LOS CONDUCTORES: EL EFECTO PROXIMIDAD

El efecto proximidad está relacionado con la influencia entre un conductor y el adyacente y la redistribución de la corriente de los mismos por la presencia del segundo conductor. Cabe destacar que en el análisis que se presentará a continuación, se ha considerado el efecto proximidad entre un devanado y otro (es decir, entre un hilo *litz* y otro), sin tener en cuenta el efecto proximidad que puede darse entre los hilos conductores en paralelo que se han dispuesto para formar el hilo *litz* que forma el devanado. Este efecto tiene un peso mayor para los componentes armónicos de alta frecuencia, de ahí que se modele como una resistencia de alterna. Tradicionalmente, existen dos contribuciones a esta resistencia de alterna [A2.4]-[A2.5]. La primera está ligada a la influencia de un conductor al adyacente o adyacentes en una misma capa del devanado (denotada aquí como $R_{ACintra}$). La segunda está ligada con la influencia de un conductor de una capa del devanado con otra capa del devanado, siempre que este se organice en varias capas, y se ha denotado como $R_{ACextra}$. Matemáticamente, la resistencia de alterna se define pues como

$$R_{AC} = R_{ACintra} + R_{ACextra} \tag{22.15}$$

La primera de las resistencias de alterna puede calcularse como

$$R_{ACintra} = R_{DC} \cdot \left[1 + \frac{\frac{d_{hilo}}{2 \cdot \delta^4}}{48 + 0{,}8 \cdot \frac{d_{hilo}}{2 \cdot \delta^4}}\right] \tag{22.16}$$

La ecuación (22.16) es empírica y está relacionada, como puede verse, con la resistencia de continua del devanado (R_{DC}). La segunda parte de la resistencia de alterna debida al efecto proximidad puede calcularse como

$$R_{ACextra} = R_{DC} \cdot \Delta \cdot \left[\frac{\sinh(2\Delta) + \sin(2\Delta)}{\cosh(2\Delta) - \cos(2\Delta)} + \frac{2 \cdot (p^2 - 1)}{3} \cdot \frac{\sinh(\Delta) - \sin(\Delta)}{\cosh(\Delta) + \cos(\Delta)}\right] \tag{22.17}$$

en donde p es el número de capas del devanado y Δ es el grosor equivalente de una capa. Este grosor puede calcularse como

$$\Delta = \frac{d_{hilo}}{\delta} \tag{22.18}$$

Normalmente, se emplea el llamado factor de resistencia (F_R) para ponderar el peso de las pérdidas del efecto proximidad sobre las pérdidas por conducción. Este factor de resistencia se define como

$$F_R = \frac{R_{AC}}{R_{DC}} \tag{22.19}$$

Cuanto mayor sea el valor de F_R, mayor peso tendrán los efectos de alta frecuencia en las pérdidas globales del cobre. En general, las inductancias para el modo QSW-ZVS y para MCD tendrán valores de $F_R > 1$, mientras que las inductancias diseñadas para trabajar en MCC tendrán valores de $F_R < 1$. Al contrario de lo que ocurría anteriormente, el valor de la R_{AC} sí que depende de la frecuencia de conmutación, puesto que la profundidad de *skin*, δ, depende de su valor. Concretamente, a mayor f_s menor valor de δ, y, por lo tanto, mayor valor de Δ. Por lo tanto, a mayor frecuencia de conmutación, mayor será el valor de la R_{AC} y de las pérdidas de alta frecuencia ligadas a esta resistencia.

A2.3.3. PÉRDIDAS EN LOS CONDUCTORES: EL FLUJO DISPERSO (*FRINGE EFFECT*)

En la interfaz entre dos medios con distinta permeabilidad magnética, el campo magnético (y por lo tanto, el flujo magnético - nótese que en este apartado se hablará de campo magnético y flujo magnético indistintamente-) posee unas propiedades, conocidas como condiciones de contorno, que determinan cómo varían o se conservan las distintas componentes del campo en uno y otro medio. Concretamente, las componentes normales (o perpendiculares a la interfaz) se conservan, mientras que las componentes tangenciales del campo magnético (o paralelas a la interfaz) generan una distribución de corriente superficial cuya dirección y sentido vienen impuestas por dichas componentes tangenciales del campo. Estas condiciones de contorno se expresan matemáticamente como

$$\hat{n} \cdot \left(\vec{H}_2 - \vec{H}_1\right) = 0 \tag{22.20}$$

$$\hat{n} \times \left(\vec{H}_2 - \vec{H}_1\right) = \Delta n \cdot \vec{J}_s \tag{22.21}$$

Cuando la interfaz es finita (de dimensiones acotadas), al aplicar las condiciones de contorno se produce un fenómeno llamado efecto borde: las líneas de campo más próximas al centro geométrico de la interfaz mantienen la misma dirección y sentido, mientras que en los extremos de la interfaz estas líneas se distorsionan o se dispersan como efecto la densidad de corriente superficial que circula por el conductor. Este efecto tiene lugar en los entrehierros de los núcleos magnéticos utilizados en el diseño de las inductancias e inductancias acopladas. Cuanto mayor es el valor del entrehierro (mayor distancia entre los núcleos) mayor efecto de dispersión existe. En la Figura 22.3 se ha representado a modo de ejemplo un núcleo en E y el flujo disperso por efecto borde en el entrehierro. Habitualmente, a este flujo disperso (como se llamará a partir de ahora) se le conoce como *fringe flux*, *fringe field* o *fringing* en terminología inglesa. El efecto borde en sí no tiene un impacto muy elevado en las pérdidas de un elemento magnético, más allá que el de producir una dispersión en el flujo magnético que circula por el núcleo. Sin embargo, las líneas de campo dispersas sí que afectan a los devanados conductores que se encuentran situados físicamente más próximos al entrehierro. Este flujo disperso puede inducir unas corrientes en dichos devanados de igual dirección que la corriente principal, pero de sentido contrario. En la Figura 22.3 se han resaltado en rojo los posibles devanados afectados por el flujo disperso debido al efecto borde. Por lo tanto, el flujo disperso hace que los devanados más próximos al entrehierro conduzcan una corriente efectiva menor de la que deberían conducir.

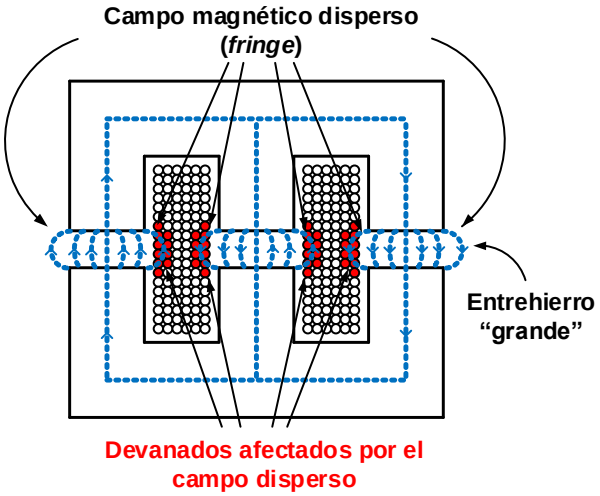


Figura 22.3. Ejemplo del flujo disperso debido al efecto borde (*fringe effect*) en un núcleo E.

El problema del flujo disperso no resulta sencillo de modelar matemáticamente, puesto que el origen físico del mismo es un problema de inducción electromagnética, cuya resolución resulta ser compleja y costosa. Tradicionalmente, se han empleado dos métodos para tratar de modelar las pérdidas causadas por este flujo disperso: un método basado en un modelo de circuito equivalente de reluctancias y un segundo método basado en la resolución del problema electromagnético que se plantea en el entrehierro.

El primer método trata de hallar una modificación a la resistencia de alterna equivalente del devanado debido a la influencia del flujo disperso mediante el uso de un modelo circuital equivalente basado en reluctancias [A2.6] y [A2.7]. Dado que los devanados afectados por el flujo disperso conducen una corriente efectiva menor de la que les corresponde, este efecto puede modelarse como un incremento de la resistencia de dichos devanados al paso de la corriente. Este método es bien conocido y ha sido uno de los primeros en desarrollarse, desde que se propusiera una inductancia o una inductancia acoplada para el almacenamiento y la conversión de la energía eléctrica [A2.8] y [A2.9]

En la Figura 22.4 se ha representado un ejemplo de un núcleo en E con las dimensiones físicas que están relacionadas con el modelo circuital equivalente que se va a diseñar. A su vez, también se ha representado la fuerza magneto-motriz (fmm) que está ligada al flujo (Φ) que circula por el núcleo magnético. En la Figura 22.5 se ha representado el circuito equivalente basado en reluctancias para el núcleo en E utilizado en el ejemplo anterior.

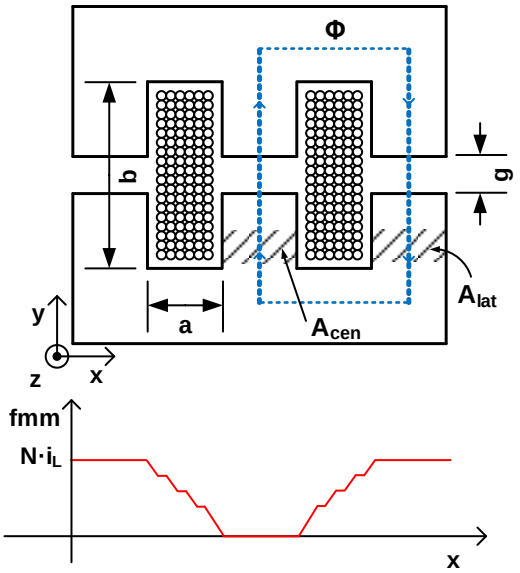


Figura 22.4. Dimensiones físicas para el ejemplo del modelo basado en reluctancias utilizado y representación de la fuerza magneto-motriz en un núcleo en E.

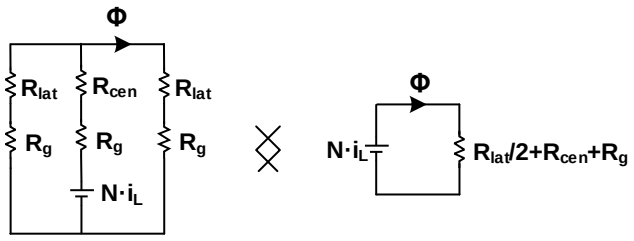


Figura 22.5. Circuito equivalente basado en reluctancias para el ejemplo mostrado en la Figura 22.4.

La reluctancia para un circuito magnético puede calcularse como

$$\Re = \frac{l}{A_s \cdot \mu} \tag{22.22}$$

donde l es la longitud efectiva del camino magnético de circulación del flujo, A_s es la sección del núcleo magnético y μ su permeabilidad magnética.

El campo magnético puede relacionarse con el flujo magnético y con el número de vueltas a través de la ley de Ampère simplificada como

$$H = \frac{N \cdot i_L}{l} = \frac{\Phi}{A_e \cdot \mu} \tag{22.23}$$

A su vez, es posible relacionar el flujo magnético con la reluctancia mediante la siguiente relación:

$$\Phi = \frac{V_e \cdot N \cdot i_{Lmax}}{\Re} \tag{22.24}$$

Sustituyendo (22.24) en (22.23) es posible obtener una expresión de la densidad de campo magnético en función de la reluctancia,

$$B = \frac{N \cdot i_{Lmax}}{A_e \cdot \Re} \tag{22.25}$$

De igual forma, también es posible establecer una expresión para la energía almacenada en el entrehierro en función de la reluctancia del mismo

$$E_{gap} = \frac{1}{2} \cdot \Re_g \cdot \Phi^2 \tag{22.26}$$

A partir de estas ecuaciones básicas es posible establecer distintos métodos que calculan la reluctancia equivalente del entrehierro y con la que es posible deducir, a su vez, el flujo magnético asociado a dicho entrehierro. Aunque existen muchos algoritmos y métodos para calcular dicha reluctancia, aquí se han resumido los cuatro principales a modo de ejemplo. El primero de ellos fue propuesto en [A2.10] cuyas expresiones se recogen a continuación:

$$l_a = \frac{a \cdot b \cdot g}{(a+b) \cdot (b+g)} \tag{22.27}$$

$$\Re_a = \frac{l_a}{(a+l_a) \cdot b \cdot \mu} \tag{22.28}$$

Posteriormente en [A2.11] se trató de buscar un método que describiese mejor la reluctancia a través de la geometría del núcleo, mediante el siguiente grupo de ecuaciones:

$$\beta = \frac{a}{4g} \tag{22.29}$$

$$\alpha = \frac{4}{\pi} \cdot \left(\beta \cdot \tan^{-1}(\beta) - ln\left(\sqrt{1+\beta^2}\right)\right) \tag{22.30}$$

$$\lambda = \frac{3a}{2} \tag{22.31}$$

$$k_c = \frac{\lambda}{\lambda - \alpha \cdot g} \tag{22.32}$$

$$\Re_c = \frac{k_c \cdot g}{(a + k_c \cdot g) \cdot b \cdot \mu} \tag{22.33}$$

En [A2.12] se propuso una modificación al método anterior, que recalcula la reluctancia sin necesidad de utilizar el parámetro λ definido en (22.31), utilizando una simplificación que se recoge a continuación:

$$k_f = \beta - \frac{\alpha}{2} \tag{22.34}$$

$$\Re_f = \frac{k_f \cdot g}{(a + k_f \cdot g) \cdot b \cdot \mu} \tag{22.35}$$

Por último, el cuarto método se basa en los análisis realizados en [A2.13] y [A2.14]. En estos trabajos se plantea un cálculo de la reluctancia basado directamente en el área efectiva del núcleo utilizado (A_e), en lugar de las dimensiones físicas a y b, cuya expresión se recoge a continuación

$$\Re_g = \frac{g}{\mu \cdot \left(\sqrt{A_e} + g\right)^2} \tag{22.36}$$

La segunda opción para abordar el modelado del flujo disperso se basa en resolver el problema electromagnético mediante la resolución de las ecuaciones de Maxwell aplicadas al entrehierro [A2.16]-[A2.18]. Tradicionalmente, se recurre a soluciones basadas en el método de cálculo por elementos finitos (o FEM por su término en inglés *Finite Element Method*). Como en el caso anterior, estos métodos arrojan unas pérdidas ocasionadas por el flujo disperso que también pueden modelarse como un incremento en la resistencia de alterna de los devanados. No obstante en [A2.19] se puede encontrar una solución analítica al campo disperso por efecto borde

en un entrehierro asumiendo conductores cuadrados en lugar de circulares. Las componentes de este campo disperso son

$$H_x(x,y) = \frac{H_g}{2\pi} \cdot \ln\left[\frac{x^2 + (y-g)^2}{x^2 + (y+g)^2}\right] \tag{22.37}$$

$$H_y(x,y) = -\frac{H_g}{\pi} \cdot \left[\operatorname{atan}\left[\frac{2 \cdot x \cdot g}{x^2 + y^2 - g^2}\right] + m \cdot \pi\right] \tag{22.38}$$

donde

$$\begin{aligned} m &= 0 \; si \; x^2 + y^2 > g^2 \\ m &= 1 \; si \; x^2 + y^2 < g^2 \end{aligned} \tag{22.39}$$

y

$$H_g = \frac{0{,}9 \cdot N \cdot i_{Lmax}}{2 \cdot g} \tag{22.40}$$

A partir de las expresiones recogidas en (22.37) y (22.38), es posible calcular un valor para las pérdidas asociadas a ese campo disperso, como

$$P_{fringe} = \frac{1}{6 \cdot \rho} \cdot (\pi \cdot \mu_0 \cdot H_\perp \cdot f_s)^2 \cdot d_{hilo}^3 + F(\Delta) \tag{22.41}$$

en donde $H_\perp$ es la componente normal del campo magnético y la función $F(\Delta)$ se define a partir del parámetro Δ utilizado en el efecto proximidad como

$$F(\Delta) = \frac{3}{\Delta} \cdot \frac{\sinh(\Delta) - \sin(\Delta)}{\cosh(\Delta) - \cos(\Delta)} \tag{22.42}$$

Tradicionalmente, la forma de evitar o reducir las pérdidas causadas por el flujo disperso ha sido alejar los devanados del entrehierro, evitando así la influencia de este flujo en los conductores y el efecto de inducción de una corriente de sentido inverso. No obstante, alejar los devanados del entrehierro no siempre es posible, ya que depende de cuánta área de ventana se ocupe. En estos casos, se recurre a otro tipo de soluciones. Una opción pasa por utilizar las llamadas guardas de flujo [A2.20]. Esencialmente, este sistema pasa rodear con un hilo conductor todo el núcleo de manera externa, o bien colocar una guarda entre el entrehierro y los devanados conductores. Esta guarda es un conductor no conectado a ningún punto del circuito (permanece en circuito abierto). De esta forma, el flujo disperso induciría la mayor parte de la corriente en este conductor o guarda externa, evitando así su influencia en los devanados internos. No obstante,

este método únicamente traslada las pérdidas del flujo disperso a la guarda (o al conductor externo) y no reduce el problema en sí de este flujo disperso.

Una segunda opción pasa por modificar el devanado de la inductancia para tener en cuenta el efecto del flujo disperso. Tratando de indagar en estos métodos aplicados al elevador en modo QSW-ZVS, se han planteado tres posibles diseños o métodos de devanado para poder comparar el efecto del flujo disperso en las pérdidas de la inductancia.

Para ello se ha partido del diseño del elevador en modo QSW-ZVS en función de las especificaciones originales planteadas y justificadas al inicio del capítulo 3 y que se resumen en la Tabla 22.1 de nuevo (véase la Figura 3.4 del capítulo 3 como ayuda).

Tabla 22.1. Especificaciones de diseño para la experimentación con los distintos devanados para la inductancia.

Parámetro	**Valor**
V_1	150V
V_2	400V
f_S	100kHz (min. 92kHz-max. 120kHz)
Potencia máxima	500W
C_{oss}	2,2nF
C_1	2 x 3.3µF, 250V, MKT 1 x 22 µF, 250V, electr.
C_2	2 x 1µF, 680V, MKP 1 x 4.7µF, 450V, electr.
Transistores	SPW47N60CFD, Infineon 600V, 46A, 83mΩ, 2200pF

Teniendo en cuenta estas especificaciones, se ha aplicado el análisis estático recogido en el apartado 3.2.1 del capítulo 3 para obtener los valores máximos de tensiones y corrientes en el convertidor, así como el valor de inductancia necesario. Estos valores se resumen en la Tabla 22.2. Por otra parte, en la Tabla 22.1 ya se han recogido los transistores seleccionados a partir de los valores obtenidos del análisis estático, así como los valores de las capacidades de entrada y de salida y la variación de la frecuencia de conmutación para una variación en la tensión de entrada del 20%.

Tabla 22.2. Valores de la inductancia y de los esfuerzos en corriente obtenidos a partir del análisis estático.

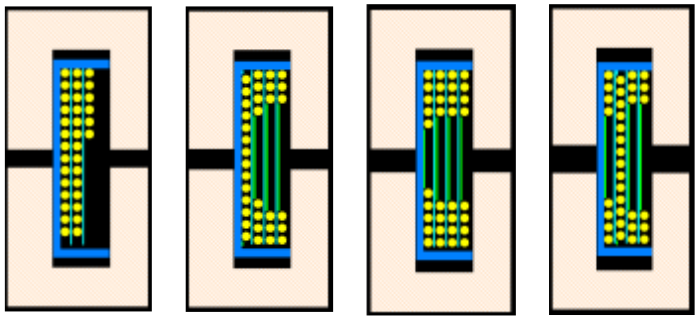
Inductancia (L)	97 µH
Corriente máxima (i_{Lmax})	10 A
Rizado de corriente (Δi_L)	14 A
Valor eficaz de la corriente (i_{Lrms})	8 A

Una vez que se han deducido los valores de inductancia, corriente y frecuencia de conmutación, es posible aplicar el diseño básico comentado al comienzo de este anexo para obtener un primer diseño de la inductancia siguiendo un método tradicional. Los resultados obtenidos de este primer diseño se resumen en la Tabla 22.3.

Tabla 22.3. Diseño básico para el devanado tradicional obtenido a partir del análisis estático.

Número de vueltas (N)	34
Hilo	12 hilos 0,4 mm de diámetro (26 AWG) Hilo *Litz*
Núcleo	ETD39
Material	3F3, Ferroxcube
Entrehierro (g)	2,82mm

Alcanzado este punto, se han planteado cuatro posibles estrategias de devanado para poder estudiar el impacto del flujo disperso a raíz de los datos anteriores. En todas ellas se ha mantenido el mismo material, el mismo tamaño de núcleo, el mismo tipo de hilo y el mismo número de vueltas. Los cuatro diseños se han representado en la Figura 22.6. Como puede verse, se ha comparado el diseño tradicional o devanado tradicional (Figura 22.6(a)) con un devanado con sólo una capa próxima al entrehierro (denominado por comodidad devanado en C, Figura 22.6(b)), con un devanado sin vueltas próximas al entrehierro (denominado por comodidad devanado en E, Figura 22.6(c)) y con un devanado con una capa central (denominado por comodidad devanado en H, Figura 22.6(d)). El único cambio, aparte del devanado, ha sido el ajuste del entrehierro de manera empírica para lograr el mismo valor de inductancia en cada diseño. Los entrehierros utilizados se resumen en la Tabla 22.4.



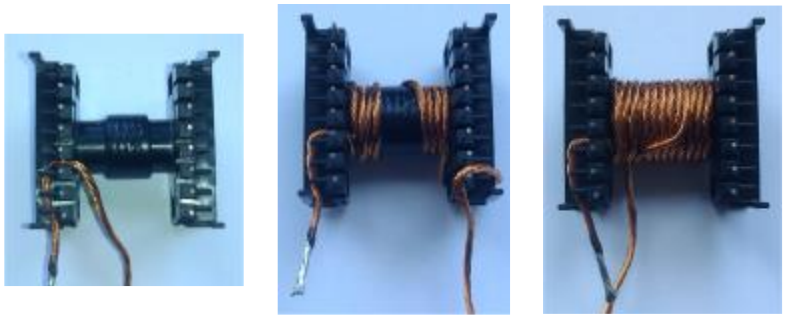
(a) (b) (c) (d)

Figura 22.6. Distintos devanados utilizados para los resultados experimentales para medir el impacto del flujo disperso debido al efecto borde. Se muestra únicamente una mitad del núcleo y se ha asumido una simetría de revolución. (a) Tradicional. (b) Devanado en C. (c) Devanado en E. (d) Devanado en H.

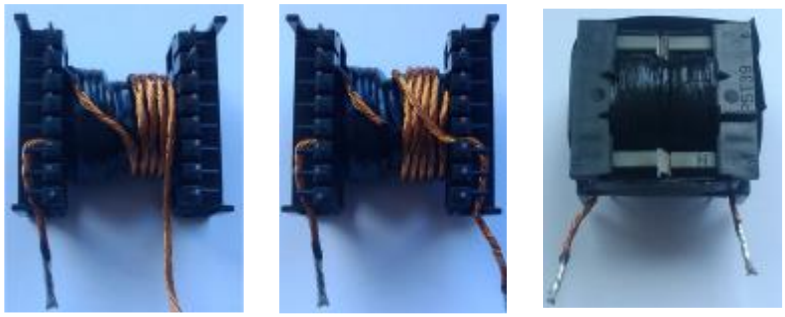
Tabla 22.4. Entrehierro utilizado para cada opción del devanado planteado.

Tipo de devanado	**Entrehierro (g) [mm]**
Tradicional	2,82
C	3,05
E	3,15
H	4,10

Cada uno de los devanados se ha realizado manualmente. A modo de ejemplo, se muestra en la Figura 22.7 el proceso de montaje del devanado en H.



(a) (b) (c)



(d) (e) (f)

Figura 22.7. Secuencia de montaje de la inductancia siguiendo el devanado en H.

Teniendo en cuenta estos diseños, se han aplicado los dos modelos anteriormente descritos para evaluar el impacto del flujo disperso y de las potenciales pérdidas debidas a este efecto. En primer lugar, se han efectuado los cálculos siguiendo los modelos de reluctancias. Los resultados obtenidos según cada método teórico para cada devanado se muestran a continuación. En la Figura 22.8 se muestra el flujo magnético disperso. Independientemente de las diferencias entre los valores proporcionados por cada método, en todos ellos el devanado en H obtiene flujos dispersos menores. En la Figura 22.9 se ha representado el valor de la reluctancia del entrehierro. Una vez más, y obviando las diferencias entre los métodos teóricos, el devanado en H obtienen los valores más elevados, lo que concuerda con los resultados del flujo. La energía asociada a esta reluctancia se ha representado en la Figura 22.10, obteniendo, de manera obvia, unos resultados coherentes con los anteriores. Por último, en la Figura 22.11 se muestra la densidad de campo magnético disperso para cada caso. Una vez más, el devanado en H obtiene los mejores resultados, por delante de la opción en E, en C y el devanado tradicional.

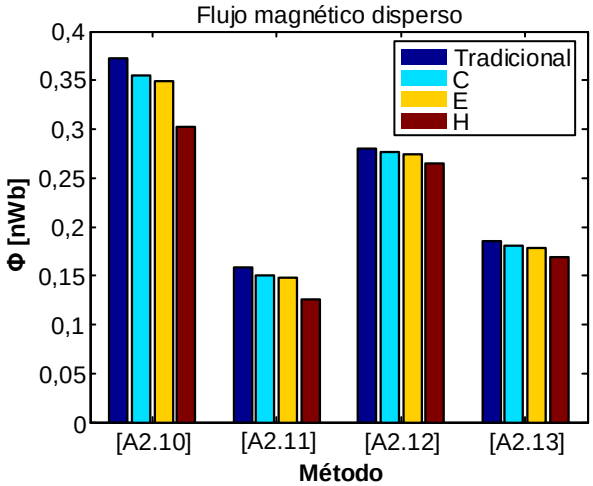


Figura 22.8. Flujo magnético disperso para los cuatro devanados probados utilizando cada uno de los cuatro métodos (Wood, Slemon, Evans y Dixon).

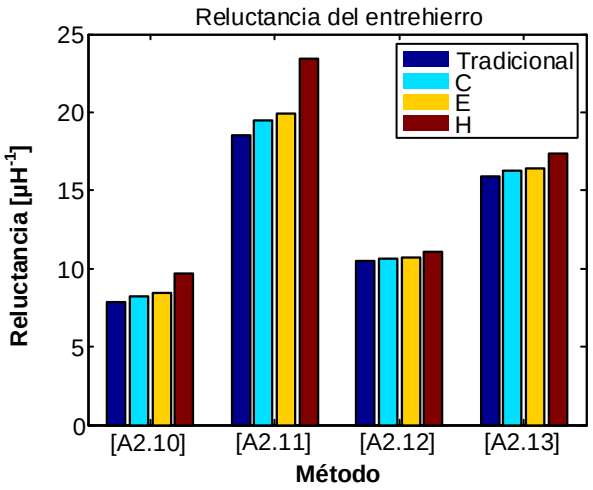


Figura 22.9. Reluctancia del entrehierro para los cuatro devanados probados utilizando cada uno de los métodos teóricos.

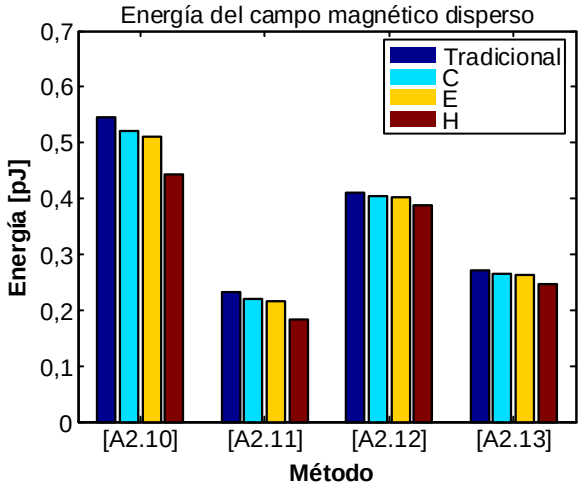


Figura 22.10. Energía del campo magnético disperso para cada uno de los cuatro devanados propuestos utilizando cada uno de los métodos teóricos.

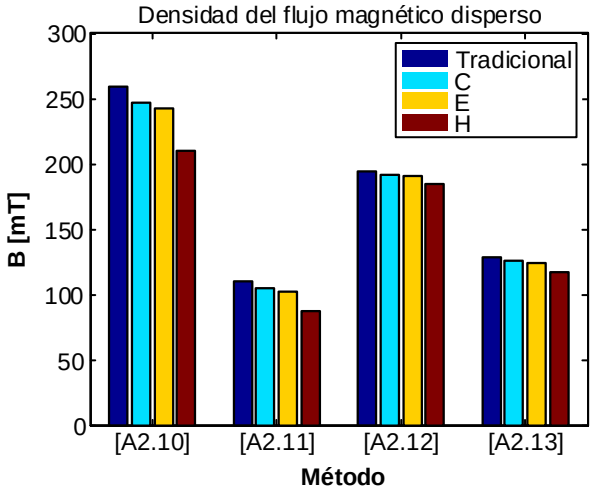


Figura 22.11. Densidad del campo magnético disperso para cada uno de los devanados propuesto utilizando cada método teórico.

Para la aplicación del segundo método se ha utilizado el programa de simulación PExprt® y su herramienta Maxwell® de simulación de elementos finitos (FEM), ambos pertenecientes a la plataforma Ansys® [A2.21]. A través de esta herramienta se ha podido calcular la resistencia de cada devanado, tanto el término R_{DC} como el término R_{AC}. Así, en la Figura 22.12 se ha representado el factor de resistencia (F_R) obtenido para cada devanado utilizando esta herramienta. Como puede observarse, todos los valores son mayores que la unidad, es decir, en todos los casos la R_{AC} domina sobre la R_{DC}, como era obvio que ocurriera en el modo QSW-ZVS. A diferencia de los resultados obtenidos en el estudio teórico, el de menor F_R resulta ser el diseño del devanado en C, seguido por el H, el E y el devanado tradicional. Se recuerda que un menor valor de F_R implica un impacto menor en las pérdidas por efecto de la R_{AC}, es decir, menores pérdida ligadas a los efectos de alta frecuencia.

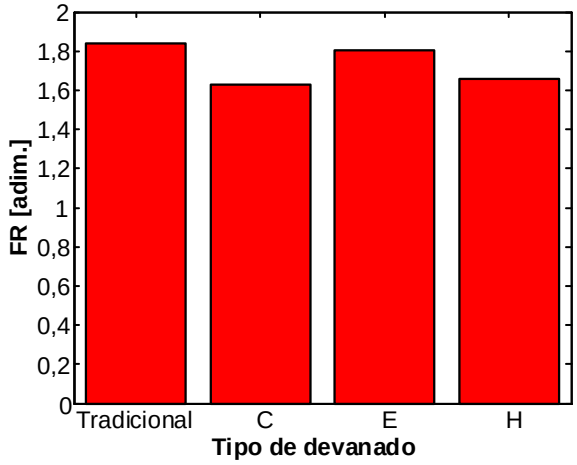


Figura 22.12. Factor de resistencia (F_R) para cada uno de los devanados analizados.

Siguiendo con los resultados obtenidos con la herramienta PExprt®, en la Figura 22.13 se ha representado el valor de la R_{AC} en función de la frecuencia de conmutación para cada uno de los devanados analizados en esta comparativa. Como se puede apreciar, el valor de la R_{AC} crece cuando se incrementa la frecuencia de conmutación para todos los casos analizados. En concreto, el devanado tradicional y el E obtienen resultados muy parecidos, y sus valores de R_{AC} son superiores a los de los devanados H y C. Aunque el devanado en C es el que menor R_{AC} presenta a 100kHz, a partir de 500kHz el devanado en H consigue el valor más bajo. También conviene destacar que en el rango de operación del convertidor (comprendido entre 92kHz y 120kHz), la R_{AC} se incrementa en un factor de 1,5 aproximadamente, lo que implica unas mayores pérdidas en la inductancia (que se suman al incremento en las mismas por el mero hecho de incrementar la frecuencia).

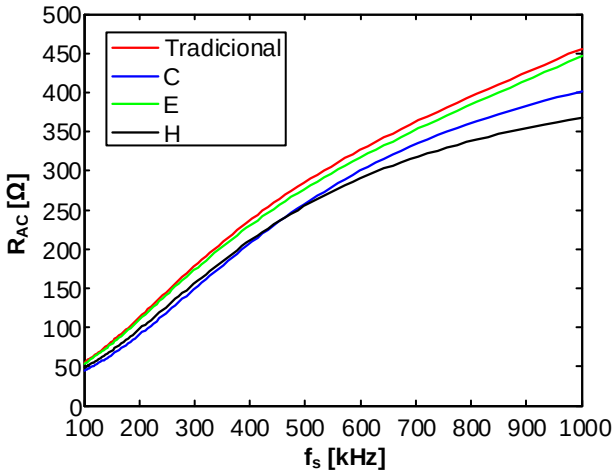


Figura 22.13. Variación de la resistencia de alterna (R_{AC}) en función de la frecuencia para cada uno de los devanados propuestos.

La herramienta Maxwell® de Pexpert® también permite representar la distribución de las líneas de campo en el núcleo magnético, de forma que puedan compararse en uno y otro devanado. Concretamente, en la Figura 22.14 se han recogido los resultados conseguidos con esta herramienta. La distribución de las líneas de flujo magnético no varía notablemente entre un devanado y otro, y únicamente pueden apreciarse cambios sustanciales en el entorno del entrehierro, en donde el flujo disperso cambia en función del tipo de devanado seleccionado.

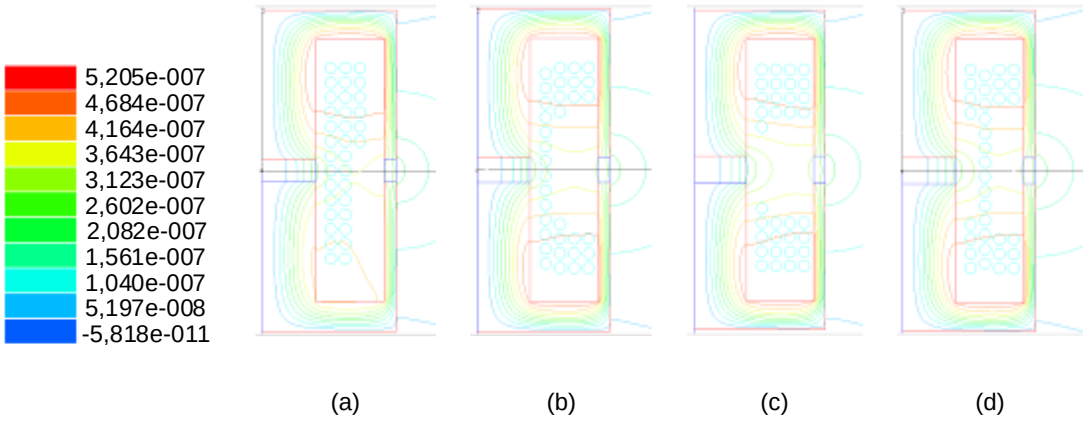


Figura 22.14. Distribución de las líneas de flujo magnético obtenidas mediante Maxwell-PExprt®, unidades en Wb. (a) Devanado tradicional. (b) Devanado en C. (c) Devanado en E. (d) Devanado en H.

Para tratar de analizar y comparar lo que ocurre en el entrehierro en cada devanado, se han ampliado las imágenes anteriores para poder visualizar la distribución del flujo magnético justo en esta zona. Así, en la Figura 22.15, Figura 22.16, Figura 22.17 y la Figura 22.18 se recoge una imagen ampliada de la Figura 22.14. En el devanado tradicional y en el devanado en C puede verse que las líneas de flujo magnético disperso próximas al entrehierro afectan a la capa más próxima al mismo (véase la Figura 22.15 y la Figura 22.16). En el devanado en E las líneas de flujo disperso no afectan a ningún devanado (véase la Figura 22.17) y en el caso del devanado

en H, la capa intermedia está suficientemente alejada como para asumir que el flujo disperso no llega a influir en este devanado (véase la Figura 22.18).

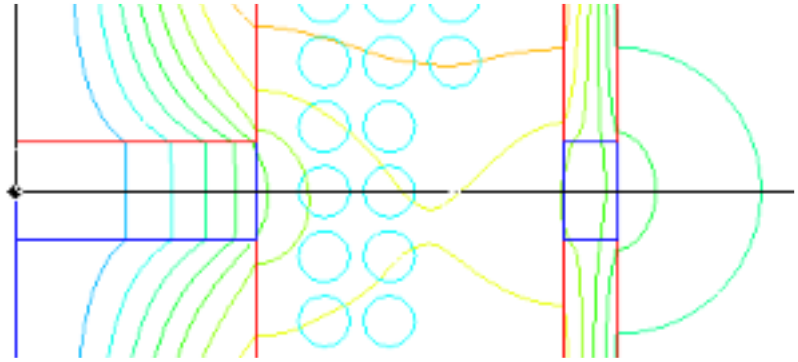


Figura 22.15. Detalle de las líneas de flujo magnético en el entrehierro en el devanado tradicional.

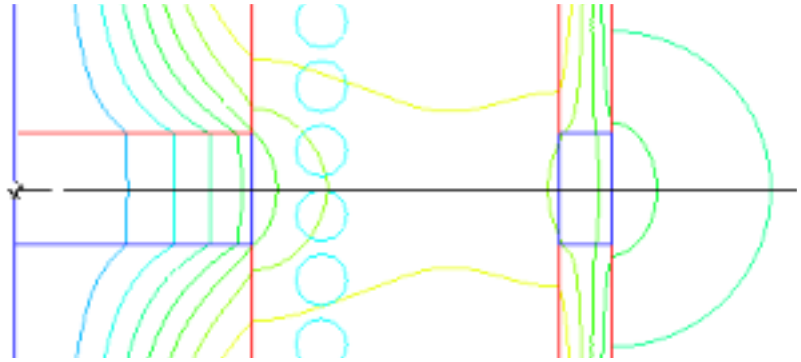


Figura 22.16. Detalle de las líneas de flujo magnético en el entrehierro en el devanado en C.

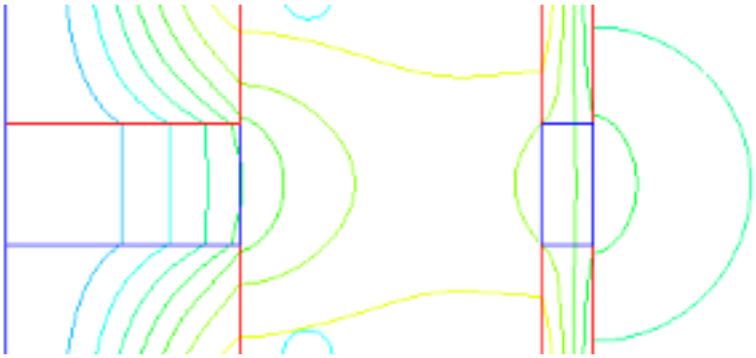


Figura 22.17. Detalle de las líneas de flujo magnético en el entrehierro en el devanado en E.

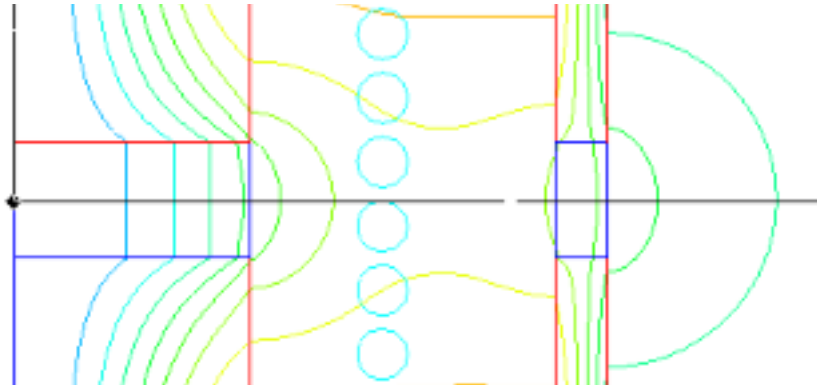


Figura 22.18. Detalle de las líneas de flujo magnético en el entrehierro en el devanado en H.

También es posible calcular la intensidad de campo magnético disperso de acuerdo con las ecuaciones (22.37) y (22.38) y, posteriormente, la energía asociada a dicho campo magnético disperso utilizando (22.41). Aplicando estas ecuaciones al caso del devanado tradicional, la potencia asociada a este efecto se ha representado en la Figura 22.19. Repitiendo este proceso, también se ha obtenido la potencia del flujo magnético disperso asociada al devanado en H (únicamente se representa este caso por simplicidad), que se recoge en la Figura 22.20. En primer lugar, cabe destacar que la potencia asociada al flujo magnético disperso es relativamente baja (del orden de mW). Esto no debe de sorprender, puesto que la energía asociada al mismo no puede ser muy grande (ni mucho menos comparable a la potencia asociada al campo del interior del núcleo magnético). En segundo lugar, esta potencia aunque incide directamente sobre el valor de las pérdidas que causan en los devanados, no es la potencia de las pérdidas causadas por el flujo disperso. Es decir, no se puede extrapolar directamente el valor de pérdidas a partir de estos valores. Sí es cierto que un mayor nivel de potencia dispersa ocasionará un mayor nivel de pérdidas, como resulta obvio deducir, pero la relación entre ambos efectos no es, ni mucho menos lineal. Por lo tanto, estos resultados deben interpretarse de manera comparativa.

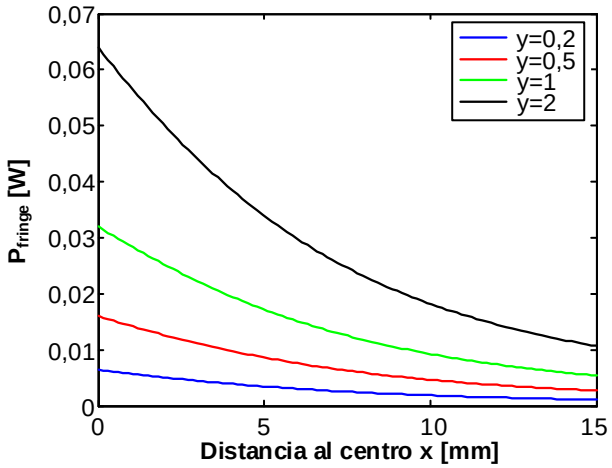


Figura 22.19. Potencia asociada al flujo magnético disperso en función de la distancia al centro (x) y de la altura (y) para el devanado tradicional.

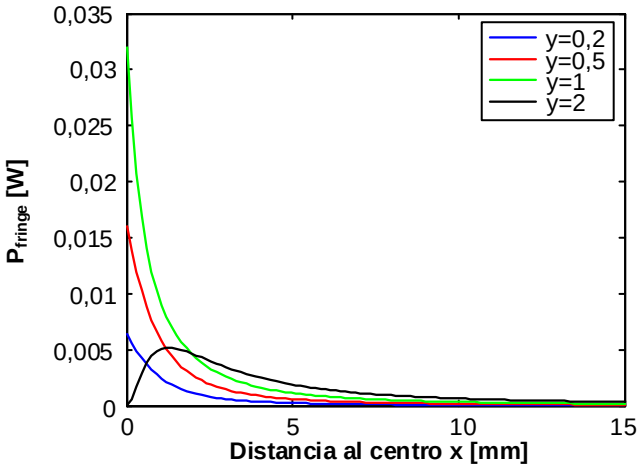


Figura 22.20. Potencia asociada al flujo magnético disperso en función de la distancia al centro (x) y de la altura (y) para el devanado en H.

A la vista de los resultados mostrados, puede concluirse que, pese a que la potencia del flujo disperso parte de los mismos valores para ambos devanados en el centro del núcleo (a excepción de para $y = 2$ en el devanado en H que parte prácticamente desde cero), ésta decrece más rápidamente en el caso del devanado en H que en el caso del devanado tradicional. En otras palabras, un hilo conductor situado a 5mm del centro del núcleo se ve afectado por una energía mayor en el caso del devanado tradicional en comparación con el devanado en H. Estos resultados teóricos concuerdan con los resultados obtenidos por el programa de simulación FEM que se han mostrado anteriormente.

Tras los resultados de los análisis tanto teóricos como de simulación, se realizaron mediciones sobre un prototipo construido siguiendo las especificaciones mencionadas y utilizando los elementos detallados anteriormente. Los resultados experimentales se han realizado con un prototipo de dos fases en paralelo y entrelazadas, cada una manejando 500W para proporcionar un total de 1kW de potencia. En el prototipo montado se han utilizado siempre los mismos transistores, condensadores de entrada y de salida y misma placa de circuito impreso (o PCB). Únicamente se han intercambiado las inductancias. El convertidor ha operado en lazo abierto y ha sido controlado desde una FPGA modelo Spartan 3E de Xilinx (a través de la placa de desarrollo Basys II de Digilent). La fuente utilizada ha sido el modelo HP6813B de Hewlett-Packard (actualmente Keysight) y como carga se ha empleado una carga electrónica modelo N3300A de Agilent (actualmente Keysight). El rendimiento medido no tiene en cuenta las pérdidas en el *driver* de control y se ha obtenido utilizando multímetros digitales, el modelo HP974A de Hewlett-Packard (actualmente Keysight) como voltímetro de la tensión de entrada (V_1), el modelo 87V del fabricante FLUKE como voltímetro de la tensión de salida (V_2) y dos multímetros modelo 187 de FLUKE como amperímetros en ambos lados. Los resultados de rendimiento medido en modo elevador se muestra en la Figura 22.21.

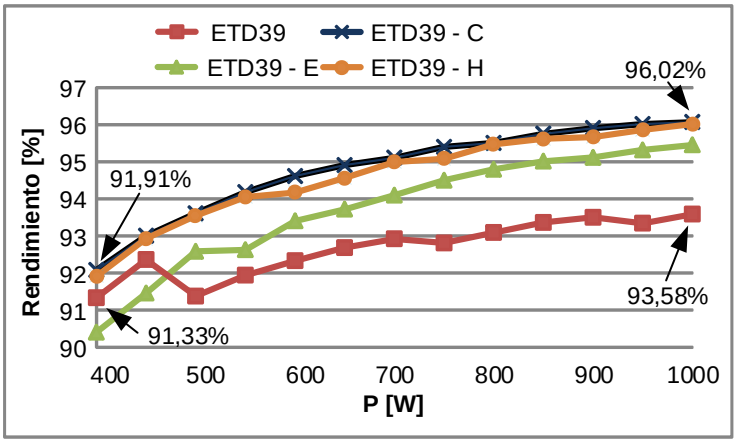


Figura 22.21. Comparativa del rendimiento medido con los cuatro devanados propuestos con el convertidor operando en modo elevador.

De igual forma, los rendimientos medidos en modo reductor se muestran en la Figura 22.22.

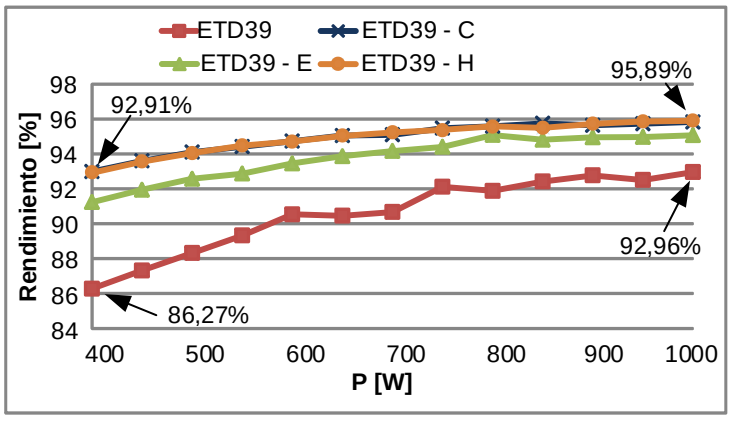


Figura 22.22. Comparativa del rendimiento medido con los cuatro devanados propuestos con el convertidor operando en modo reductor.

A la vista de los resultados experimentales mostrados, puede verse que el mejor rendimiento se obtiene para los devanados C y H, siendo éste último ligeramente peor en modo elevador y prácticamente idéntico al C en modo reductor. El devanado en E obtiene en ambos modos un rendimiento entre 0,2 y 1,8 puntos inferior al C o al H. El peor rendimiento obtenido es para el devanado tradicional, siendo hasta 2,5 puntos inferior al rendimiento obtenido por el devanado en H a plena carga.

Los resultados experimentales concuerdan con los resultados obtenidos en simulación para la resistencia en alterna (R_{AC}) mostrados en la Figura 22.12 y en la Figura 22.13. Se recuerda que, de acuerdo con los resultados de estas simulaciones, los valores de R_{AC} menores eran obtenidos para los devanados C y H. Esto se ha refrendado con los rendimientos medidos en el prototipo experimental, evidenciando que estos dos devanados pueden reducir o prevenir el impacto de las pérdidas ocasionadas por el flujo disperso, tanto si el convertidor opera en modo elevador como en modo reductor. Por otro lado, los modelos basados en reluctancias preveían que el devanado en C tendría unas pérdidas potenciales mayores que la opción en E. De la misma manera, a partir

de los resultados de simulación obtenidos que modelaban la distribución de las líneas de flujo magnético en el entrehierro, también podía desprenderse una conclusión similar: a priori, el devanado en C parecía más afectado por el flujo disperso que el devanado en E, lo que hacía suponer que las pérdidas en éste iban a ser mayores que en el primero. Sin embargo, los resultados experimentales demuestran que el devanado en E posee mayores pérdidas que el devanado en C, lo que parece contradecir los resultados anteriores. Teniendo esto en cuenta, se puede plantear una posible explicación en base a la siguiente reflexión. En primer lugar, los modelos basados en reluctancias son modelos muy simples en los que no se tienen en cuenta otros efectos junto con el analizado. Pese a que pueden considerarse y utilizarse como una primera aproximación para el problema del cálculo de las pérdidas debidas al flujo disperso, su precisión no es muy grande cuando se aborda el problema en detalle (como ha ocurrido con los devanados propuestos). En segundo lugar, tampoco resulta sencillo extrapolar conclusiones válidas a partir de la distribución de las líneas de flujo magnético en el devanado. Las únicas herramientas que han demostrado ser fiables, al menos para el experimento llevado a cabo en este caso, han sido el cálculo del campo magnético disperso a través de la resolución de las ecuaciones de Maxwell y el cálculo de la R_{AC} a través de herramientas de simulación FEM.

Lo que sí se puede afirmar como conclusión de este pequeño estudio es que las pérdidas ocasionadas por el flujo magnético disperso tienen un peso importante en este tipo de inductancias en el convertidor elevador operando en el modo QSW-ZVS. A la vista de los resultados tanto experimentales como de simulación y teóricos, parece obvio que un diseño con un devanado tradicional se ve más perjudicado por estas pérdidas en comparación con cualquiera de las opciones propuestas, incluso alejar los devanados del entrehierro. Por esta razón, para el diseño y la construcción de estas inductancias ha de tenerse en cuenta el flujo disperso como una parte importante del diseño de los mismos.

A2.3.4. PÉRDIDAS POR HISTÉRESIS

Una primera componente de las pérdidas del núcleo se produce por la histéresis del material magnético utilizado. Habitualmente, se emplea la curva B-H del material para determinar las posibles pérdidas en el mismo. La curva B-H no es más que una representación de la densidad de campo magnético frente a la variación en la intensidad del campo magnético, tal y como puede verse en el ejemplo de la Figura 22.23. Las variaciones en la corriente por la inductancia determinarán las variaciones en la intensidad del campo magnético y, por lo tanto, el recorrido en la curva B-H. En la Figura 22.24 se ha representado la variación temporal de la intensidad de campo magnético en un convertidor elevador operando en QSW-ZVS. Siguiendo con este razonamiento, es posible deducir de manera comparativa cómo serán las pérdidas por histéresis

en un convertidor operando en modo QSW-ZVS en comparación con un MCC o un MCD, sin más que comparar el recorrido en la curva B-H de cada modo de operación.

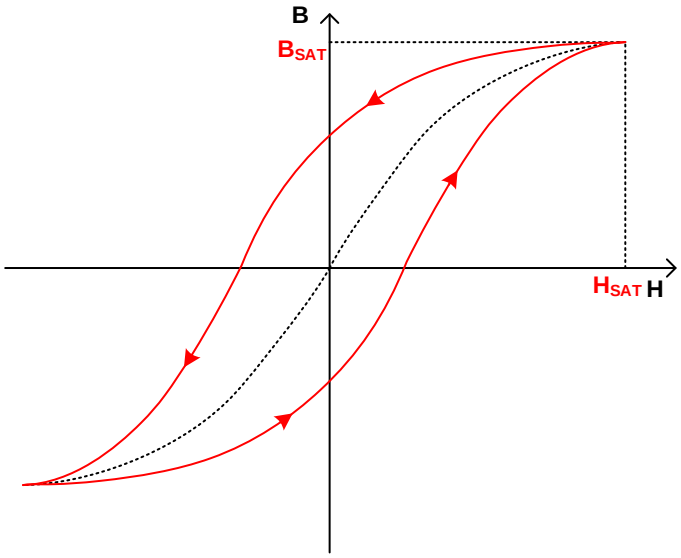


Figura 22.23. Ejemplo de una curva B-H.

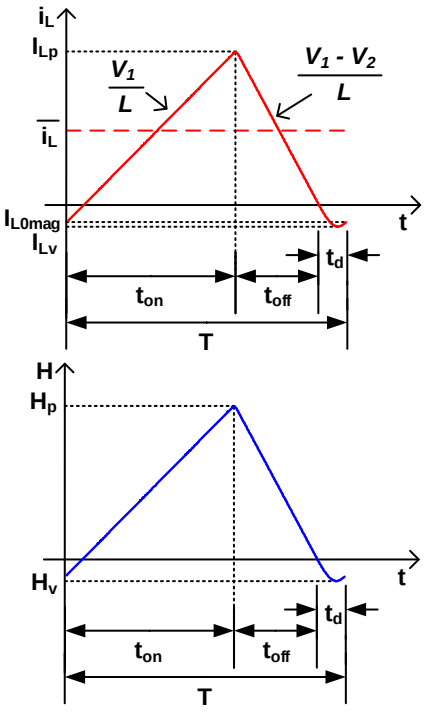


Figura 22.24. Variación de la corriente y del campo magnético en el modo QSW-ZVS.

A modo de comparativa, en la Figura 22.25 se ha representado el recorrido en la curva B-H de un material dado para los distintos modos de conducción. Como puede verse en la Figura 22.25(a), en el modo QSW-ZVS el recorrido por la curva B-H es notablemente mayor que en MCD (véase la Figura 22.25(b)) o que en MCC (véase la Figura 22.25(c)). En este ejemplo se han asumido que los valores de pico se mantienen, lo que no es cierto, puesto que en MCD y

especialmente en MCC el valor de la corriente de pico es notablemente inferior a QSW-ZVS, con lo que la zona sombreada se desplazaría hacia el origen de los ejes de la representación (i.e. se alejaría de la zona de saturación del material).

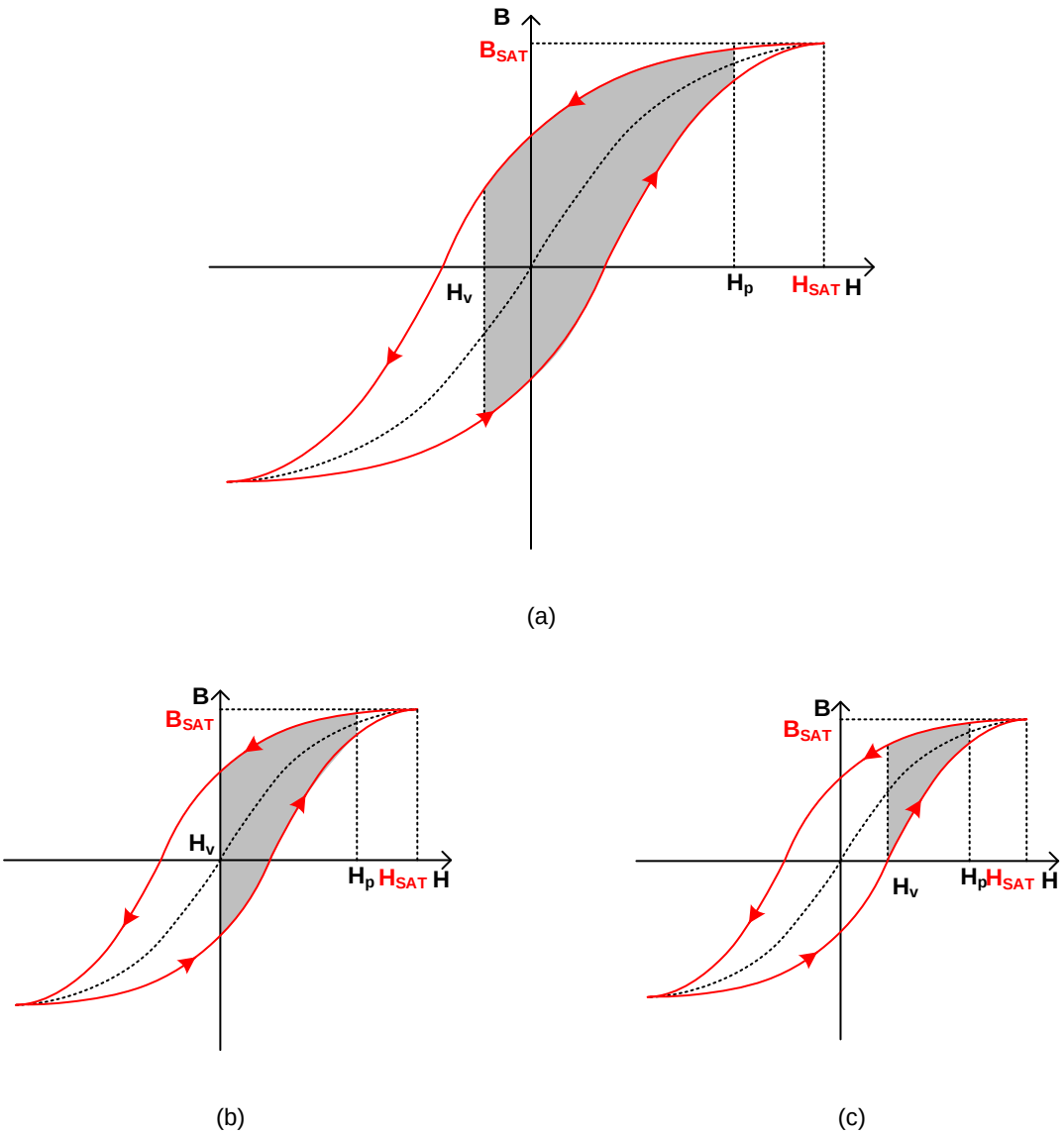


Figura 22.25. Recorrido en la curva B-H para un material dado en función del modo de conducción del convertidor. (a) QSW-ZVS. (b) MCD. (c) MCC.

Con esta sencilla comparativa ya es posible deducir que las pérdidas por histéresis ligadas al modo QSW-ZVS son mayores que para MCC o incluso MCD. No obstante, es necesario determinar una expresión que cuantifique estas pérdidas.

Como ya se ha mencionado anteriormente, las pérdidas debidas a la histéresis se contabilizan matemáticamente mediante la ecuación de Steinmetz, propuesta en los trabajos [A1.11]-[A1.13].

$$P_{coreV} = k \cdot f_s^{\alpha} \cdot B^{\beta} \tag{22.43}$$

Esta ecuación representa las pérdidas por unidad de volumen para un núcleo de un tamaño determinado y de un material dado. Los parámetros de esta ecuación dependen del material y se calculan de manera empírica. Los fabricantes proporcionan estos parámetros a través de unas curvas de pérdidas obtenidas cuando el material se ha excitado con una forma de onda senoidal en un rango de frecuencias determinado. Como es evidente, la inductancia de un convertidor elevador no se excita con formas de onda senoidales, por lo que la ecuación de Steinmetz pierde precisión a la hora de representar las pérdidas por histéresis en este elemento.

Tratando de mejorar la precisión de la ecuación de Steinmetz, existen al menos cinco modificaciones de la misma que se van a pasar a enunciar a continuación.

La primera de ellas se propuso en [A2.22] y en [A2.23], ha sido experimentalmente comprobada en [A2.24] y [A2.25] y se conoce como MSE (por el acrónimo de *Modified Steinmetz Equation,* o ecuación de Steinmetz modificada). El objetivo de esta ecuación modificada es poder trabajar con formas de onda de excitación no senoidales. Para ello se utiliza la derivada respecto del tiempo de la densidad de campo magnético en lugar de B. Se utiliza una forma de onda senoidal equivalente cuyo valor medio de la derivada coincida con el valor medio de la derivada de la densidad de campo magnético de la forma de onda no senoidal, definido éste como:

$$\langle \frac{dB_{nosin}}{dt} \rangle = \int_0^T \frac{1}{\Delta B} \cdot \frac{dB^2}{dt} dt \tag{22.44}$$

Igualando los promedios,

$$\langle \frac{dB_{nosin}}{dt} \rangle = \langle \frac{dB_{sin}}{dt} \rangle \tag{22.45}$$

es posible encontrar una frecuencia (f_{sinEq}) de la forma de onda senoidal equivalente. En la ecuación (22.43) se utiliza esta frecuencia equivalente y el valor promedio de la ecuación (22.44) en lugar de f_s y B respectivamente.

La segunda modificación se conoce como ecuación de Steinmetz generalizada, conocida como *Generalized Steinmetz Equation* (GSE) y fue originalmente propuesta en [A2.25] y [A2.26]. Se obtiene una expresión para la variación de las pérdidas en el tiempo en función de B, tal que

$$P_{coreVGSE}(t) = k_l \cdot \left| \frac{dB}{dt} \right|^{\alpha} \cdot |B(t)|^{\beta-\alpha} \tag{22.46}$$

Posteriormente, se promedia la expresión anterior para obtener el valor medio de dichas pérdidas

$$\langle P_{coreVGSE}(t)\rangle = \frac{1}{T}\int_0^T k_l \cdot \left|\frac{dB}{dt}\right|^{\alpha} \cdot |B(t)|^{\beta-\alpha} \cdot dt \tag{22.47}$$

Al igual que antes, el parámetro k_l se utiliza para poder tener en cuenta los efectos de los armónicos de frecuencias superiores cuando se utiliza como excitación una forma de onda no senoidal. Este parámetro de define como:

$$k_l = \frac{k}{(2\pi)^{\alpha-1} \cdot \int_0^{2\pi} |\cos\theta|^{\alpha} \cdot |\sin\theta|^{\beta-\alpha} \cdot d\theta} \tag{22.48}$$

donde k, α y β son los parámetros clásicos suministrados por el fabricante. En la GSE se tienen en cuenta la derivada de la densidad del flujo magnético y su variación temporal, por lo que se considera más precisa que la MSE o la ecuación original, especialmente cuando se trabaja con formas de onda trapezoidales o triangulares.

Existe una mejora de esta ecuación, llamada precisamente iGSE (del término inglés *improved Generalized Steinmetz Equation*) [A2.27]. La mejora pasa por introducir en la ecuación de pérdidas información sobre el pasado de la trayectoria del flujo magnético. Para lograr esto, se trabaja con el rizado de B en lugar de con la variación instantánea de B. Así, la iGSE queda como

$$\langle P_{coreViGSE}(t)\rangle = \frac{1}{T}\int_0^T k_l \cdot \left|\frac{dB}{dt}\right|^{\alpha} \cdot (\Delta B)^{\beta-\alpha} \cdot dt \tag{22.49}$$

Tanto la GSE como la iGSE pierden precisión con formas de onda cuadradas. De hecho, si el contenido armónico de la señal de excitación es muy elevado, estas ecuaciones no son tan precisas para describir las pérdidas en el núcleo. Es importante destacar que ni MSE, GSE ni iGSE tienen en cuenta los efectos de la magnetización en continua.

De forma paralela al desarrollo de la iGSE, en [A2.28]-[A2.30] se llegó a una expresión similar conocida como NSE (de *Natural Steinmetz Equation*):

$$P_{coreVNSE} = \left(\frac{\Delta B}{2}\right)^{\beta-\alpha} \cdot \frac{k_N}{T} \cdot \int_0^T \left|\frac{dB}{dt}\right|^{\alpha} \cdot dt \tag{22.50}$$

Como puede apreciarse, la iGSE y la NSE manejan esencialmente la misma información. La única diferencia entre ambas ecuaciones es el parámetro k_N que pondera las formas de onda no senoidales, y que se define, en este caso, como

$$k_N = \frac{k}{(2\pi)^{\alpha-1} \cdot \int_0^{2\pi} |\cos\theta|^{\alpha} \cdot d\theta} \tag{22.51}$$

Los resultados dados por la NSE coinciden con los proporcionados con la MSE cuando $\alpha = 1$ o $\alpha = 2$, y pueden, entonces, utilizarse indistintamente ambas formas.

Por último, una cuarta modificación a la ecuación de Steinmetz se propone en [A2.31]. Esta modificación se desarrolló para la aplicación en el convertidor DAB y está pensada para trabajar con corrientes trapezoidales y triangulares. En este caso, se introduce en la ecuación unos parámetros definidos como coeficientes de relajación magnética, que tratan de reproducir las pérdidas por histéresis que aparecen en un núcleo magnético cuando se expone a una corriente magnetizante constante. La ecuación, llamada i2GSE, queda como

$$P_{coreVi2GSE} = \frac{1}{T}\int_0^T k_l \cdot \left|\frac{dB}{dt}\right|^{\alpha} \cdot (\Delta B)^{\beta-\alpha} \cdot dt + \sum_{l=1}^{n} P_{rl} \tag{22.52}$$

en donde

$$P_{rl} = \frac{1}{T} \cdot k_r \cdot \left|\frac{dB_{t1}}{dt}\right|^{\alpha_r} \cdot (\Delta B)^{\beta_r} \cdot \left(1 - e^{-t_1/\tau}\right) \tag{22.53}$$

Los parámetros k_r, α_r, β_r y τ son parámetros empíricos obtenidos a través de medidas sobre el núcleo con excitaciones trapezoidales. $\frac{dB_{t1}}{dt}$ es la derivada de B con la que se llega a la zona plana de excitación (justo antes del plano). t_1 es el tiempo durante el que el flujo permanece constante. Como puede verse, la i2GSE es una iGSE modificada con los parámetros de la ecuación (22.53). Si la forma de onda de la corriente es triangular, entonces los coeficientes de relajación magnética son distintos y se emplean las siguientes expresiones

$$P_{coreVi2GSE} = \frac{1}{T}\int_0^T k_l \cdot \left|\frac{dB}{dt}\right|^{\alpha} \cdot (\Delta B)^{\beta-\alpha} \cdot dt + \sum_{l=1}^{n} Q_{rl} \cdot P_{rl} \tag{22.54}$$

El parámetro Q_{rl} se calcula como

$$Q_{rl} = e^{-q_r \cdot \left|\frac{dB_{t+}/dt}{dB_{t-}/dt}\right|} = e^{-q_r \cdot \frac{d}{1-d}} \tag{22.55}$$

donde d es el ciclo de trabajo de la forma de onda triangular.

Pese a que la i2GSE es la ecuación más precisa para la valoración de las pérdidas, se necesitan una serie de parámetros empíricos que rara vez suelen ser proporcionados por el fabricante y que, por lo tanto, deben obtenerse de manera experimental con el núcleo seleccionado. Teniendo esto en cuenta, la ecuación iGSE (22.49) resulta ser la más adecuada para el modo QSW-ZVS, estableciendo una solución de compromiso entre facilidad de uso y precisión.

A2.3.5. PÉRDIDAS DEBIDAS A LAS CORRIENTES INDUCIDAS (EDDY CURRENT)

La segunda fuente de pérdidas en el núcleo se deben a las corrientes inducidas o corrientes de Foucalt. Estas pérdidas se han estudiado en profundidad en [A2.13], [A2.14], [A2.26], [A2.29], [A2.32] y [A2.33]. Estos autores proponen estudiar estas pérdidas como la contribución de dos términos. El primero de ellos se define como pérdidas clásicas por inducción y se definen de manera genérica como

$$P_{eddyC} = \frac{A_e}{8\pi \cdot \rho} \cdot \left(\frac{dB}{dt}\right)^2 \tag{22.56}$$

Esta expresión también puede generalizarse en una forma extendida para formas de onda con variación temporal arbitraria como

$$P_{eddyC} = \frac{A_e}{8\pi \cdot \rho} \cdot \frac{1}{T} \cdot \sum_{i=1}^{n} \left[\int_{t_i-1}^{t_i} \left(\frac{dB_i}{dt}\right)^2 dt \right] \tag{22.57}$$

No obstante, se proponen una serie de fórmulas a las que se puede llegar aplicando la ecuación (22.57) para las formas de onda típicas de excitación, que se recogen a continuación.

Forma de onda	P_{eddyC}	
Senoidal	$\frac{\pi \cdot A_e}{4 \cdot \rho} \cdot \left(\frac{B_0}{T}\right)^2$	(22.58)
Cuadrada	$\frac{2 \cdot A_e}{\pi \cdot \rho} \cdot \left(\frac{B_0}{T}\right)^2 \cdot \frac{1}{d}$	(22.59)
Trapezoidal	$\frac{2 \cdot A_e}{\pi \cdot \rho} \cdot \left(\frac{B_0}{T}\right)^2 \cdot \frac{d - (4 \cdot t_1/(3T))}{d^2}$	(22.60)
Triangular	$\frac{8 \cdot A_e}{3\pi \cdot \rho} \cdot \left(\frac{B_0}{T}\right)^2 \cdot \frac{1}{d}$	(22.61)

En donde d es el ciclo de trabajo de la señal de excitación y B_0 se define como

$$B_0 = \frac{V_0}{2\pi \cdot f_s \cdot N \cdot A_e} \tag{22.62}$$

El segundo término que se suma a las pérdidas por corrientes inducidas se conoce como pérdidas por exceso o *excess Eddy current*. La expresión matemática para cuantificar estas pérdidas es

$$P_{eddyE} = \sqrt{\frac{A_e \cdot \alpha \cdot n_0}{\rho}} \cdot \left(\frac{dB}{dt}\right)^{3/2} \tag{22.63}$$

Como en el caso anterior, también es posible recurrir a una serie de tablas con las expresiones de la ecuación (22.63) cuando se particulariza para las formas de onda más habituales.

Forma de onda	P_{eddyE}	
Senoidal	$a \cdot \sqrt{\frac{2\pi \cdot A_e \cdot \alpha \cdot n_0}{\rho}} \cdot \left(\frac{B_0}{T}\right)^{3/2}$	(22.64)
Cuadrada	$\sqrt{\frac{A_e \cdot \alpha \cdot n_0}{\rho}} \cdot 8 \cdot \left(\frac{B_0}{T}\right)^{3/2} \cdot \frac{1}{\sqrt{d}}$	(22.65)
Trapezoidal	$\sqrt{\frac{A_e \cdot \alpha \cdot n_0}{\rho}} \cdot 8 \cdot \left(\frac{B_0}{T}\right)^{3/2} \cdot \frac{d - (6 \cdot t_1/(5T))}{d^{3/2}}$	(22.66)
Triangular	$\sqrt{\frac{2 \cdot A_e \cdot \alpha \cdot n_0}{\rho}} \cdot 32 \cdot \left(\frac{B_0}{T}\right)^{3/2} \cdot \frac{1}{\sqrt{d}}$	(22.67)

A2.4. UN EJEMPLO DE DISEÑO DE LA INDUCTANCIA PARA EL MODO QSW-ZVS

En este apartado se presenta un ejemplo de diseño optimizado para una inductancia de un convertidor elevador que opere en el modo QSW-ZVS. Cabe destacar que el diseño planteado aquí puede generalizarse para el diseño de cualquier inductancia que tenga que operar en unas condiciones similares al modo QSW-ZVS (rizado de corriente muy grande, corriente de pico elevada, valor eficaz elevado, entrehierro elevado). Para el ejemplo de diseño, se han tomado como datos de partida las especificaciones manejadas en esta tesis y recogidas en la Tabla 22.1. Utilizando el análisis estático presentado en el capítulo 3, se han calculado los valores de corriente (eficaz, máxima y rizado de corriente) que tiene que manejar la inductancia. Para este caso, se

ha seleccionado el núcleo ETD49 con un material 3F3 de Ferroxcube. Este material y este núcleo se han mantenido en todos los diseños presentados a continuación.

El primer diseño es el diseño tradicional de la inductancia basado en el número óptimo de vueltas en función de las pérdidas en el elemento magnético rellenando toda el área de ventana con cobre. Así, en la Figura 22.26 se han representado las dos componentes básicas de las pérdidas de la inductancia: las pérdidas en el cobre (línea azul), las pérdidas en el núcleo (línea negra) y las pérdidas totales (línea roja). Se han utilizado dos métodos distintos para calcular las pérdidas en el núcleo. Por un lado, se ha empleado la ecuación de Steinmetz (22.43) (línea punteada) y la iGSE (22.49) (línea sólida). En ambos casos, se ha obtenido el valor de vueltas óptimo, resaltado en la figura con dos líneas verticales (en negro para SE, en azul para iGSE). También se ha resaltado el valor mínimo de vueltas que evita la saturación del núcleo utilizado (línea roja vertical). Como puede verse, el método iGSE arroja unas pérdidas mayores en el núcleo, por lo que el número óptimo de vueltas es mayor que en el caso del método SE.

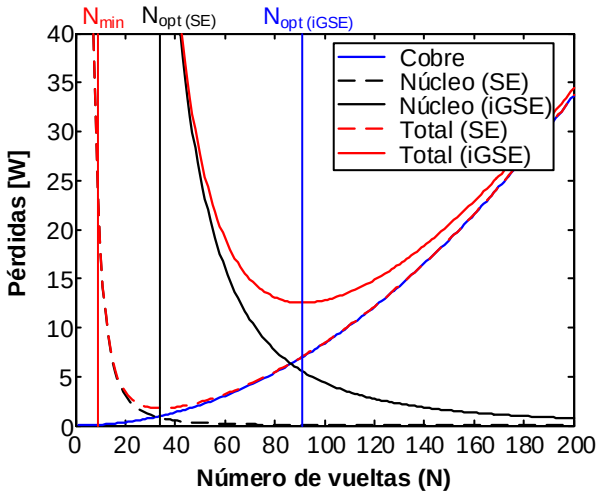


Figura 22.26. Pérdidas totales en la inductancia utilizando dos métodos distintos para el cálculo de las pérdidas en el núcleo.

En la Tabla 22.5 se han resumido los principales parámetros constructivos arrojados para este primer diseño básico usando ambos modelos. Como puede apreciarse, los diseños son muy distintos. El iGSE es un diseño en el que se trabaja con mayor número de vueltas y, por lo tanto, mayor número de capas, de longitud del hilo conductor y de entrehierro. Por el contrario, el SE es un diseño con un tercio de vueltas, casi la mitad de entrehierro y una capa menos de hilo conductor. El diámetro del hilo se ha seleccionado teniendo en cuenta la profundidad de *skin*, y se ha asumido un hilo Litz tal que se llene por completo el área de ventana disponible (con un factor de ventana de 0,3).

En la Figura 22.27 se han desglosado todas las pérdidas presentes en la inductancia diseñada siguiendo cada modelo. Se han incluido las pérdidas debidas a corrientes inducidas (*Eddy*

currents), las debidas al flujo disperso (*fringe*) y las debidas al efecto proximidad (cobre AC). Cada una de estas fuentes de pérdidas se calculado analíticamente utilizando las ecuaciones recogidas en los apartados anteriores.

Tabla 22.5. Parámetros constructivos de la inductancia para el primer diseño.

Método	iGSE	SE
Número de vueltas (N)	91	38
Hilo	7 hilos 0,4mm de diámetro (26 AWG) Hilo *Litz*	19 hilos 0,4mm de diámetro (26 AWG) Hilo *Litz*
Longitud del hilo	7,74m	3,12m
Número de capas	3	2
Entrehierro (g)	11,29mm	2,55mm

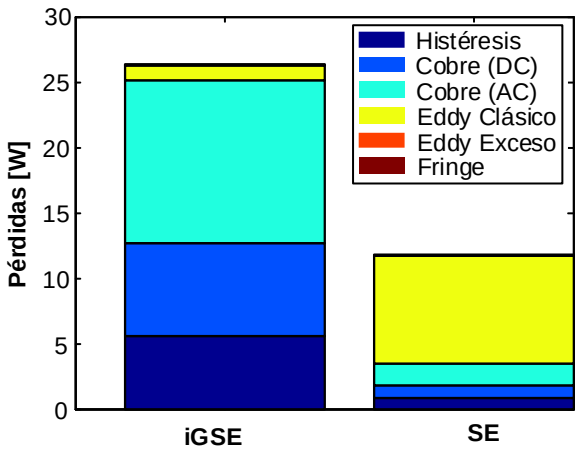


Figura 22.27. Desglose de pérdidas en la inductancia según el diseño resumido en la Tabla 22.5.

Lo primero que cabe destacar en los resultados recogidos en la Figura 22.27 es que el valor de las pérdidas totales es muy elevado (27W en el caso del modelo iGSE y 12,5W en el caso del modelo SE) y mayor que el nivel de pérdidas estimado en la Figura 22.26. Este hecho se debe a que en este primer diseño, no se tienen en cuenta las fuentes adicionales de pérdidas mencionadas anteriormente en los devanados conductores. Dicho de otra forma, se asume que el área de ventana se rellena completamente de cobre y se estiman unas pérdidas aproximadas en el conductor (curva azul en la Figura 22.26). Esta aproximación no es válida en el diseño de inductancias para el modo QSW-ZVS (y, por extensión, en el diseño de inductancias que precisen entrehierro elevado y manejen un rizado de corriente grande), puesto que el resto de efectos tienen un peso dominante en las pérdidas totales (tal y como se puede apreciar en la Figura 22.27

si se comparan las pérdidas debidas a la histéresis y cobre (DC) con el resto). Lo segundo que cabe destacar en estos resultados es que las pérdidas dominantes en el caso del modelo iGSE se corresponden con las pérdidas por proximidad mientras que en el método SE son las pérdidas debidas a las corrientes conducidas. En el caso del modelo iGSE, este hecho se explica en base a los parámetros de diseño, en los que se han utilizado tres capas y un entrehierro mayor, lo que hace que las pérdidas por efecto proximidad aumenten. En el caso del SE, se pueden justificar de una manera similar, puesto que ambos efectos están muy relacionados entre sí.

El primer diseño (basado en el proceso tradicional) no es un diseño optimizado para las condiciones de trabajo de la inductancia, puesto que no tiene en cuenta el resto de efectos adicionales en las pérdidas en este elemento (véase de nuevo la Figura 22.26). Si se añaden estas fuentes de pérdidas en el proceso de diseño, se obtiene un diseño optimizado distinto, cuyos parámetros constructivos se resumen en la Tabla 22.6. Como puede observarse, en este segundo diseño el número de vueltas óptimo es menor que el arrojado en el primer diseño (casi un tercio para el modelo iGSE y 4 vueltas menos para el modelo SE). El número de hilos también varía en el caso del iGSE, así como el valor del entrehierro (notablemente menor), la longitud del devanado (también menor) y el número de capas (dos en este segundo diseño por las tres planteadas en el primer diseño).

Tabla 22.6. Parámetros constructivos para la inductancia siguiendo el segundo diseño.

Método	iGSE	SE
Número de vueltas (*N*)	30	34
Hilo	22 hilos 0,4mm de diámetro (26 AWG) Hilo *Litz*	19 hilos 0,4mm de diámetro (26 AWG) Hilo *Litz*
Longitud del hilo	2,55m	2,89m
Número de capas	2	2
Entrehierro (g)	1,20mm	1,55mm

En la Figura 22.28 se recogen de nuevo los resultados del desglose de pérdidas de este segundo diseño. Puede verse una reducción drástica en el valor total de las pérdidas obtenidas, siendo aproximadamente 9W para el modelo iGSE y 4,8W para el SE. Como puede apreciarse, se han reducido las pérdidas debidas a los efectos adicionales, especialmente las debidas al efecto proximidad (cobre AC). Intuitivamente, también puede razonarse esta reducción de pérdidas en función del número de vueltas. Para un mayor número de vueltas, mayor peso de las pérdidas en el conductor y menor peso en las pérdidas del núcleo. Puesto que en el modo QSW-

ZVS las pérdidas en el conductor son predominantes (debido al valor elevado tanto del rizado de corriente como del valor eficaz), se tiende a utilizar un diseño en el que se den pocas vueltas, de tal forma que las pérdidas en el conductor no tengan un peso tan elevado. En otras palabras, se busca un diseño más próximo a saturación. No obstante, aún es posible plantear una pequeña mejora a este diseño de cara a optimizar las pérdidas más aún.

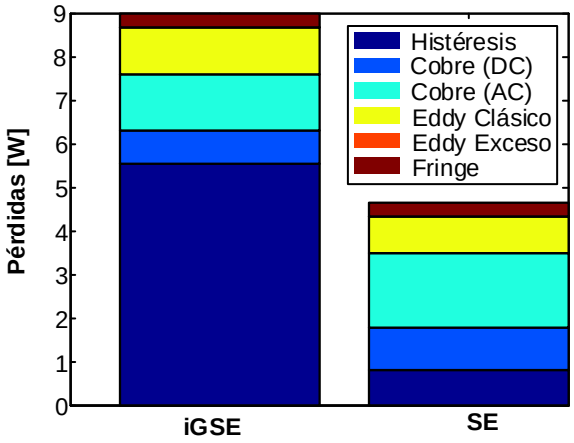


Figura 22.28. Desglose de pérdidas en la inductancia según el diseño resumido en la Tabla 22.6.

El diseño óptimo pasa por reducir todo lo posible las pérdidas por efecto proximidad y las pérdidas debidas al flujo disperso. En apartados anteriores, ya se ha deducido que para reducir el efecto proximidad una posible solución pasa por utilizar diseños mono-capa y diámetros de hilo conductor lo más pequeños posibles. Siguiendo esta filosofía, para optimizar aún más el diseño se selecciona un diámetro del hilo de 0,1mm (una cuarta parte del diámetro *skin*). Puesto que la sección efectiva del conductor ha de ser el mismo, el número de hilos pasa a ser mayor que en los dos diseños previos. Finalmente, pese a que el diseño mono-capa sería más óptimo, debido a las restricciones geométricas impuestas por el área de ventana de núcleo seleccionado (ETD49), se ha tenido que realizar el diseño en dos capas. Por otro lado, ya se ha establecido en apartados anteriores que el efecto del flujo disperso (*fringe*) puede reducirse si se aplica alguna técnica de devanado especial que aleje los conductores del entrehierro. Concretamente en este diseño final se aplicará el devanando en H, a raíz de los resultados obtenidos en el apartado A2.3.3.

Teniendo en cuenta estas dos mejoras, en la Tabla 22.7 se resumen de nuevo los parámetros constructivos de este diseño optimizado. Al igual que en los dos casos anteriores, en la Figura 22.29 se recoge el desglose de pérdidas de ambos modelos aplicando el diseño optimizado. Como puede apreciarse, las pérdidas debidas al flujo disperso se reducen más de la mitad con respecto al diseño anterior. De igual forma, aunque menos visible, existe una reducción en las pérdidas debidas al efecto proximidad (de alrededor de 1W). El resto de pérdidas se mantienen prácticamente igual a las calculadas para el segundo diseño comentado anteriormente.

Este diseño optimizado es el que se ha seguido para construir las inductancias de los distintos prototipos medidos en el laboratorio. Todos los resultados experimentales obtenidos se han obtenido con inductancias construidas siguiendo este diseño (salvo que se indique lo contrario).

Tabla 22.7. Parámetros constructivos para la inductancia siguiendo el diseño óptimo.

Método	iGSE	SE
Número de vueltas (N)	30	34
Hilo	348 hilos 0,1mm de diámetro (30 AWG) Hilo *Litz*	307 hilos 0,1mm de diámetro (30 AWG) Hilo *Litz*
Longitud del hilo	2,55m	2,89m
Número de capas	2	2
Entrehierro (g)	1,20mm	1,55mm

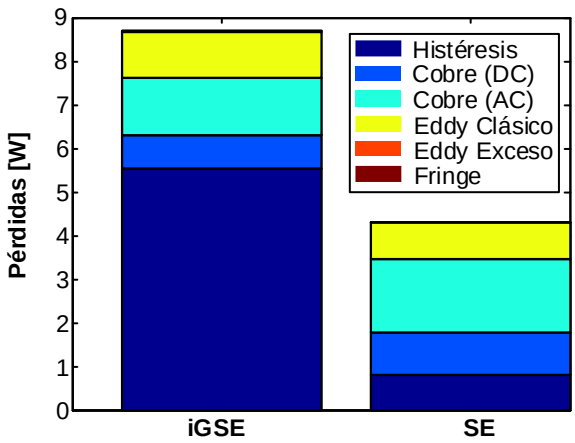


Figura 22.29. Desglose de pérdidas en la inductancia según el diseño resumido en la Tabla 22.7.

A modo de resumen, se recogen aquí los principales pasos del diseño óptimo:

1. Realizar una primera aproximación del diseño final utilizando el diseño clásico.
2. En función de los resultados arrojados por este diseño clásico, incluir los efectos de las pérdidas debidas a proximidad, al flujo disperso y a las corrientes inducidas. Recalcular el número de vueltas. Este número de vueltas ha de ser menor que en el diseño clásico. Puesto que el valor de inductancia es fijo, el valor del entrehierro ha de reducirse (siguiendo la relación proporcional a N^2/L).
3. Si la reducción en el número de vueltas se acerca demasiado a la saturación del núcleo, utilizar un núcleo mayor. Repetir los pasos 1 y 2 con el nuevo núcleo hasta conseguir equilibrar las pérdidas en el núcleo y en el cobre.

4. Seleccionar un diámetro de hilo una cuarta parte menor que el diámetro de *skin* (como regla de diseño, aquí se ha fijado el factor $1/4$, pero puede utilizarse otro factor en base a resultados experimentales). Recalcular el número de hilos necesarios para el nuevo diámetro.
5. Aplicar una técnica de devanado avanzada para evitar el efecto del flujo disperso. Como regla de diseño, aquí se sugiere la utilización del devanado en H.
6. Recalcular de nuevo las pérdidas totales de la inductancia.

A2.5. REFERENCIAS DEL ANEXO 2

[A2.1] Steinmetz, Chas. Proteus, "On the Law of Hysteresis," *American Institute of Electrical Engineers, Transactions of the*, vol.IX, no.1, pp.1,64, Jan. 1892.

[A2.2] Steinmetz, Charles Proteus, "On the Law of Hysteresis (Part II.) and Other Phenomena of the Magnetic Circuit," *American Institute of Electrical Engineers, Transactions of the*, vol.IX, no.1, pp.619,758, Jan. 1892.

[A2.3] Steinmetz, Charles Proteus, "On the Law of Hysteresis (Part III.), and the Theory of Ferric Inductances," *American Institute of Electrical Engineers, Transactions of the*, vol.XI, no., pp.570,616, Jan. 1894.

[A2.4] Dowell, P.L., "Effects of eddy currents in transformer windings," *Electrical Engineers, Proceedings of the Institution of*, vol.113, no.8, pp.1387,1394, August 1966.

[A2.5] Dixon, L.H: "Eddy current Losses in Transformer Windings and Circuit Wiring,", Unitrode Corp, Nota de Aplicación SLUP197. Online: http://www.ti.com/lit/ml/slup197/slup197.pdf. Última vez visitada: 13/01/2015.

[A2.6] R. Mertens, K. Hameyer and R. Belmans, "Two dimensional analysis of an e-core inductor," 3rd East-West congress on engineering education, Gdynia, Poland, pp. 108-112., Sep. 1996.

[A2.7] P. Lawrenson and S. Gupta, "Fringe and permeance factors for segmented-rotor reluctance machines," Electrical Engineers, Proceedings of the Institution of, vol. 118, no. 5, pp. 669-674, May 1971.

[A2.8] N. Tesla, "Electrical transformer or induction device," Patente Número US433702A, Aug. 1890.

[A2.9] N. Tesla, "Electrical transformer," Patente Número US593138A, Nov. 1897.

[A2.10] P. Wood, Switching Power Converters, Krieger, pp. 271, 1981.

[A2.11] G. Slemon and A. Straughen, Electric Machines, Addison-Wesley, pp. 61, 1982.

[A2.12] P. Evans and B. Saied, "Calculation of effective inductance of gapped core assemblies," Electric Power Applications, IEE Proceedings B, vol. 133, no. 1, pp. 41-45, Jan. 1986.

[A2.13] L. H. Dixon, "Inductor and Flyback Transformer Design," Texas Instruments, Nota de Aplicación SLUP127, 2001.

[A2.14] L. H. Dixon, "Magnetic Field Evaluation in Transformers and Inductors," Texas Instruments, Nota de Aplicación SLUP171, 2004.

[A2.15] F. Carter, "Note on air-gap and interpolar induction," *Electrical Engineers, Journal of the Institution of*, vol. 29, no. 146, pp. 925-933, Jul. 1900.

[A2.16] P. Wallmeier, "Improved analytical modeling of conductive losses in gapped high-frequency inductors," *Industry Applications, IEEE Transactions on*, vol. 4, no. 37, pp. 1045-1054 , Jul/Aug 2001.

[A2.17] S. O'Driscoll, P. Meaney, J. Flannery and G. Young, "Designing Magnetic Components for Optimum Performance in Low-Cost AC-DC Converters," Texas Instruments, Nota de Aplicación SLUP265, 2010.

[A2.18] Roshen, W.A., "Fringing Field Formulas and Winding Loss Due to an Air Gap,"Magnetics, IEEE Transactions on, vol.43, no.8, pp.3387,3394, Aug. 2007.

[A2.19] Roshen, W.A., "High-Frequency Fringing Fields Loss in Thick Rectangular and Round Wire Windings," *Magnetics, IEEE Transactions on*, vol.44, no.10, pp.2396,2401, Oct. 2008.

[A2.20] J. Fletcher, B. Williams and M. Mahmoud, "Airgap fringing flux reduction in inductors using open-circuit copper screens," Electric Power Applications, IEE Proceedings, vol. 152, no. 4, pp. 990-996, Jul. 2005.

[A2.21] Pexprt, herramienta de simulación basada en Ansys. Online: http://goo.gl/Z1JHsA. Última vez visitada: 20/01/2015.

[A2.22] Reinert, J.; Brockmeyer, A.; De Doncker, R.W.A.A., "Calculation of losses in ferro- and ferrimagnetic materials based on the modified Steinmetz equation," *Industry Applications, IEEE Transactions on* , vol.37, no.4, pp.1055,1061, Jul/Aug 2001.

[A2.23] Albach, M.; Durbaum, T.; Brockmeyer, A., "Calculating core losses in transformers for arbitrary magnetizing currents a comparison of different approaches," *Power Electronics Specialists Conference, 1996. PESC '96 Record., 27th Annual IEEE*, vol.2, no., pp.1463,1468 vol.2, 23-27 Jun 1996.

[A2.24] Chen, D. Y., “Comparison of the High Frequency Magnetic Core Losses under two different Driving Conditions: A Sinusoid Voltage and a Squarewave Voltage”, 1978, PESC’78, 237-241.

[A2.25] Jieli Li; Abdallah, T.; Sullivan, C.R., "Improved calculation of core loss with nonsinusoidal waveforms," *Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE*, vol.4, no., pp.2203,2210 vol.4, Sept. 30 2001-Oct. 4 2001.

[A2.26] Roshen, W., "Ferrite core loss for power magnetic components design," *Magnetics, IEEE Transactions on*, vol.27, no.6, pp.4407,4415, Nov 1991.

[A2.27] Venkatachalam, K.; Sullivan, C.R.; Abdallah, T.; Tacca, H., "Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only Steinmetz parameters," *Computers in Power Electronics, 2002. Proceedings. 2002 IEEE Workshop on*, vol., no., pp.36,41, 3-4 June 2002.

[A2.28] Van den Bossche, A.; Valchev, V.C.; Georgiev, G.B., "Measurement and loss model of ferrites with non-sinusoidal waveforms," *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, vol.6, no., pp.4814,4818 Vol.6, 20-25 June 2004.

[A2.29] Roshen, W.A., "A Practical, Accurate and Very General Core Loss Model for Nonsinusoidal Waveforms," *Power Electronics, IEEE Transactions on*, vol.22, no.1, pp.30,40, Jan. 2007.

[A2.30] Sullivan, C.R.; Harris, J.H.; Herbert, E., "Core loss predictions for general PWM waveforms from a simplified set of measured data," *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, vol., no., pp.1048,1055, 21-25 Feb. 2010.

[A2.31] Muhlethaler, J.; Biela, J.; Kolar, J.W.; Ecklebe, A., "Improved Core-Loss Calculation for Magnetic Components Employed in Power Electronic Systems," *Power Electronics, IEEE Transactions on*, vol.27, no.2, pp.964,973, Feb. 2012.

[A2.32] Mayergoyz, I.; Serpico, C., "Nonlinear diffusion of electromagnetic fields and excess eddy current losses," *Journal of Applied Physics*, vol.85, no.8, pp.4910,4912, Apr 1999.

[A2.33] Yu Zhang; Cheng, M.-C.; Pillay, P., "Magnetic Characteristics and Excess Eddy Current Losses," *Industry Applications Society Annual Meeting, 2009. IAS 2009. IEEE*, vol., no., pp.1,5, 4-8 Oct. 2009.

A3 MODELO DINÁMICO DEL CONVERTIDOR ELEVADOR SÍNCRONO OPERANDO EN MCL

En el capítulo 3 de esta tesis se ha presentado el modelado dinámico del convertidor elevador síncrono cuando opera en el modo QSW-ZVS. Puesto que el comportamiento dinámico del convertidor es muy similar al modo MCL, en este anexo se recoge el modelado dinámico del convertidor elevador síncrono operando en MCL.

A3.1. MODELADO DINÁMICO PARA EL MODO MCL

El modelado dinámico del convertidor elevador síncrono operando en MCL puede deducirse aplicando el método de la corriente inyectada [A3.1] y [A3.2], de manera similar a como ha sido presentado en el epígrafe 3.2.2.1 del capítulo 3. El circuito canónico equivalente mostrado en la Figura 3.31 y las ecuaciones (3.58) a (3.63) pueden aplicarse de igual forma para este caso. Las únicas diferencias entre el modo de operación MCL y el modo QSW-ZVS están en los valores medios de las corrientes tanto de entrada como de salida.

Para la entrada, la corriente media por la inductancia en el modo MCL es

$$i_{1m} = \overline{i_L} = \frac{v_1}{2L} \cdot t_{on} \tag{33.1}$$

Conocido el valor medio de la corriente, es posible linealizar esta expresión en un punto de trabajo a través de las derivadas parciales. Así, los valores de las fuentes dependientes y de la resistencia de entrada quedan como

$$j_1 = \left.\frac{\partial i_{1m}}{\partial t_{on}}\right|_{Pto} = \frac{v_1}{2 \cdot L} \tag{33.2}$$

$$\frac{1}{r_1} = \left.\frac{\partial i_{1m}}{\partial v_1}\right|_{Pto} = \frac{t_{on}}{2 \cdot L} \tag{33.3}$$

$$-g_1 = \left.\frac{\partial i_{1m}}{\partial v_2}\right|_{Pto} = 0 \tag{33.4}$$

El mismo proceso puede aplicarse para la salida. La corriente media inyectada a la red RC es para MCL

$$\overline{i_2} = i_{RCm} = \frac{v_1^2}{2 \cdot L \cdot v_2} \cdot t_{on} \tag{33.5}$$

Y al igual que para la entrada, los valores de las fuentes dependientes y de la resistencia para la salida se obtienen linealizando y particularizando para el punto de trabajo la expresión recogida en (33.5), quedando éstas como

$$j_2 = \left.\frac{\partial i_{RCm}}{\partial t_{on}}\right|_{Pto} = \frac{V_1^2}{2 \cdot L \cdot V_2} \tag{33.6}$$

$$-\frac{1}{r_2}=\frac{\partial i_{RCm}}{\partial v_2}\Big|_{Pto}=-\frac{V_1^2}{2\cdot L\cdot V_2^2}\cdot t_{on} \tag{33.7}$$

$$g_2=\frac{\partial i_{RCm}}{\partial v_1}\Big|_{Pto}=\frac{V_1}{L\cdot V_2}\cdot t_{on} \tag{33.8}$$

Particularizando estos valores en el circuito canónico mostrado en la Figura 3.31, se obtiene el circuito equivalente de pequeña señal que se muestra en la Figura 33.1.

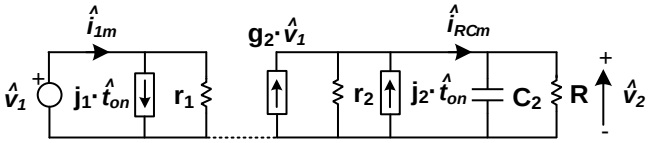


Figura 33.1. Circuito equivalente de pequeña señal para el modelado dinámico del convertidor elevador síncrono operando en MCL.

Las funciones de transferencia para este modo de operación se pueden obtener sustituyendo los valores de las ecuaciones (33.6) a (33.8) en las ecuaciones (3.88) y (3.90) respectivamente. Puesto que el comportamiento dinámico de un convertidor elevador operando en MCL ya se ha sido estudiado en detalle en [A3.3], no se entrará en mayor profundidad en la interpretación de este modelo dinámico.

A3.2. REFERENCIAS

[A3.1] Middlebrook R D, "Modelling current-programmed buck and boost regulators", ibid, pp 36-52.

[A3.2] Ridley R B, "A new, continuous-time model for current-mode control", ibid, pp 271-280.

[A3.3] Jingquan Chen; Erickson, R.; Maksimovic, D., "Averaged switch modeling of boundary conduction mode DC-to-DC converters," *Industrial Electronics Society, 2001. IECON '01. The 27th Annual Conference of the IEEE*, vol.2, no., pp.844,849 vol.2, 2001.

A4 MODELO PARA EL CÁLCULO DEL VOLUMEN EQUIVALENTE DE UN MÓDULO

En este anexo se recoge el modelo de cálculo del volumen de un módulo de potencia (un convertidor elevador síncrono QSW-ZVS). Para estimar el volumen de este convertidor, se han tenido en cuenta el volumen del radiador necesario para disipar el calor producido por las pérdidas en los transistores, el volumen de la inductancia y el volumen de los condensadores tanto de entrada como de salida.

A4.1. INTRODUCCIÓN

La estimación del cálculo del volumen total de un módulo de potencia se ha dividido en tres contribuciones: el volumen del radiador, el volumen de la inductancia y el volumen de los condensadores. No se han tenido en cuenta otros detalles como el volumen de los *drivers* o el volumen de los conectores, puesto que se ha considerado que el volumen de estos elementos es despreciable en comparación con los anteriores.

Matemáticamente, el volumen total, por lo tanto, puede expresarse como

$$Vol_T = Vol_{HS} + Vol_L + Vol_C \tag{44.1}$$

donde Vol_{HS} es el volumen del radiador, Vol_L es el volumen de la inductancia y Vol_C es el volumen de los condensadores. A continuación se detalla el algoritmo de cálculo de cada uno de estos tres volúmenes.

A4.2. VOLUMEN DEL RADIADOR

Para la estimación del volumen del radiador necesario para la disipación térmica de los transistores, se ha supuesto un encapsulado tipo TO-247. La ubicación de los dos transistores es co-planar y alineados entre sí. El radiador escogido es el modelo 000KR de Aavid Thermalloy [A4.1] y [A4.2]. El volumen mínimo del radiador se ha fijado al que ocupan estos dos transistores TO-247. Para ello, se han utilizado las dimensiones de este empaquetado, que se recogen en la Figura 44.1.

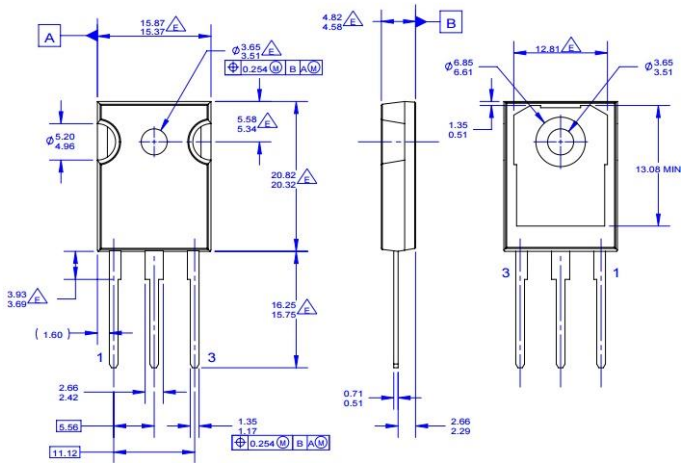


Figura 44.1. Dimensiones físicas del encapsulado TO-247.

Para el cálculo del volumen del radiador, se ha fijado como temperatura ambiente 25ºC y una temperatura máxima de la unión de 100ºC. La ventilación será no forzada. La longitud necesaria del radiador puede obtenerse directamente de las especificaciones del fabricante utilizando para ello un circuito equivalente térmico sencillo [A4.3], [A4.4], como el mostrado en la Figura 44.2. En este circuito equivalente, las temperaturas se calculan como caídas de tensión en los elementos y las resistencias térmicas modelan la caída de tensión entre dos superficies. Así, las pérdidas del transistor (P_S) se modelan como una fuente de corriente, T_j es la temperatura de la unión, T_c es la temperatura del encapsulado, T_h es la temperatura del radiador. La temperatura ambiente (T_a) se ha fijado en 25ºC (como se ha mencionado anteriormente). La resistencia térmica R_{jc} depende del tipo de encapsulado. La resistencia térmica R_{ch} modela la unión entre el encapsulado y el radiador. Esta resistencia se ha tomado como 0,8ºC/W asumiendo que se utiliza una tela aislante eléctrica y conductora térmica. Por último, la resistencia térmica del radiador (R_{ha}) depende de su longitud y es la incógnita de este circuito. Para obtener el valor necesario de R_{ha}, se fija que la temperatura de la unión no supere los 100ºC ($T_j < 100ºC$).

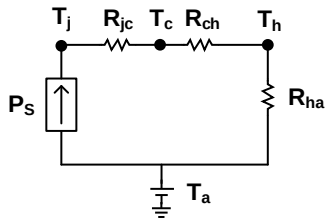


Figura 44.2. Circuito equivalente térmico.

Por lo tanto, la resistencia térmica del radiador puede obtenerse a partir de

$$R_{ha} = \frac{T_j - T_a - P_S \cdot \left(R_{jc} + R_{ch}\right)}{P_S} \tag{44.2}$$

Una vez que es conocido el valor de la resistencia térmica del radiador, se calcula su longitud equivalente utilizando el método de diseño dado por el fabricante. Por lo general, los fabricantes proporcionan unas gráficas normalizadas que proporcionan la longitud del radiador en función de la resistencia térmica, como puede verse en el ejemplo mostrado en la Figura 44.3.

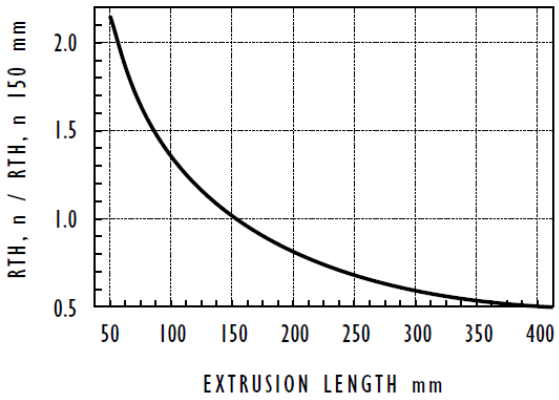


Figura 44.3. Resistencia térmica en función de la longitud del radiador. Fuente: [A4.1].

La longitud equivalente del radiador, por lo tanto, vendrá dada por el valor máximo entre la longitud calculada anteriormente y la longitud impuesta por dos transistores con encapsulado TO-247 alineados y co-planares. Matemáticamente, esta longitud equivalente pude definirse como

$$l_{hs-eq} = max(l_{2TO-247}, l_{hs}) \tag{44.3}$$

donde $l_{2TO-247}$ es la longitud mínima de dos transistores con encapsulado TO-247 y l_{hs} es la longitud del radiador calculada anteriormente.

Una vez que se ha determinado la longitud equivalente del radiador, el volumen del mismo puede calcularse a partir de las dimensiones del perfil del modelo del radiador seleccionado. Como ejemplo, en la Figura 44.4 se muestra el perfil con las dimensiones del modelo 000KR.

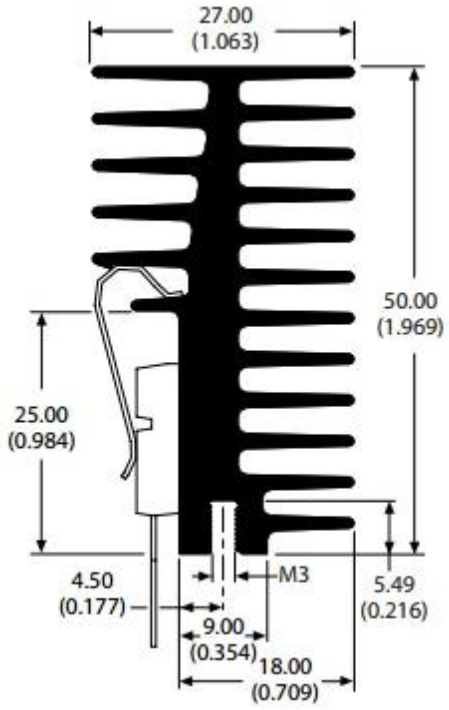


Figura 44.4. Perfil y dimensiones del modelo 000KR de Aavid Thermalloy [A4.2]. Las dimensiones se muestran en mm.

Por lo tanto, el volumen del radiador se puede calcular como

$$Vol_{HS} = l_{hs-eq} \cdot l_{hs-x} \cdot l_{hs-y} \tag{44.4}$$

donde l_{hs-x} es la dimensión horizontal del radiador y l_{hs-y} es la altura del mismo.

A4.3. VOLUMEN DE LA INDUCTANCIA

Para el cálculo del volumen de la inductancia se toma como partida el núcleo magnético que se ha obtenido a partir del diseño de la inductancia detallado en el anexo A1 de esta tesis. A partir de este dato, se ha utilizado el catálogo de Ferroxcube [A4.5] para determinar las dimensiones de los núcleos y de los carretes. Así, en la Figura A4.4.5 se muestra un ejemplo de las dimensiones del carrete para el núcleo ETD49.

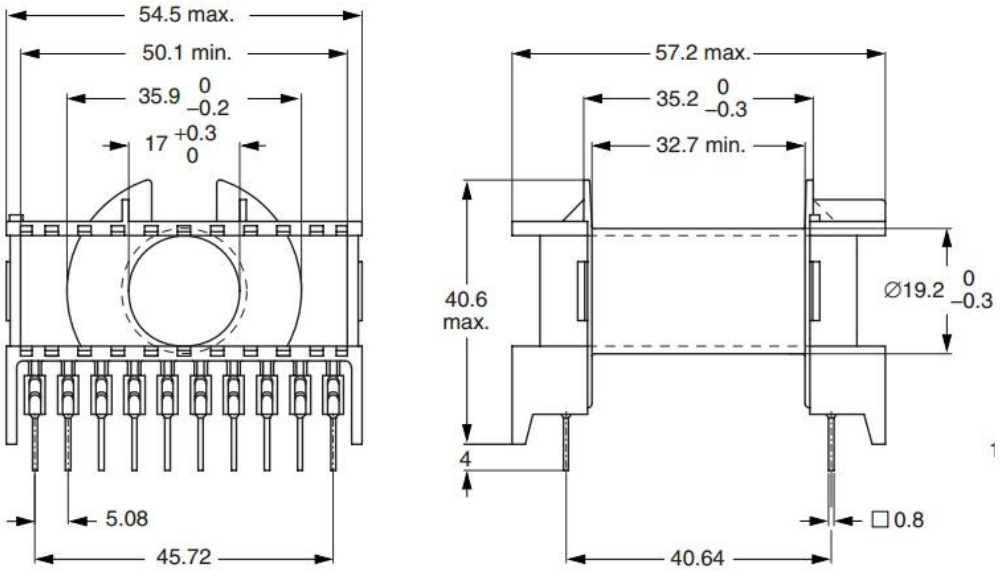


Figura A4.4.5. Dimensiones físicas del carrete para un núcleo ETD49 [A4.5]. Las dimensiones se muestran en mm.

A partir de estas dimensiones, resulta inmediato calcular el volumen de la inductancia como

$$Vol_L = l_{L-x} \cdot l_{L-y} \cdot l_{L-z} \tag{44.5}$$

donde l_{L-x} es la anchura del carrete, l_{L-y} es la altura del carrete y l_{L-z} es la profundidad del mismo.

A4.4. VOLUMEN DE LOS CONDENSADORES

Al igual que en el cálculo del volumen de la inductancia, para los condensadores se parte del valor de capacidad necesario dado por el análisis estático del convertidor para cumplir con un determinado rizado de tensión. A partir de este valor de capacidad, se ha seleccionado aquél condensador cuya capacidad sea la más próxima por exceso a esta especificación. Como criterio, se ha fijado que los condensadores sean de tipo electrolítico, tanto en encapsulado de inserción como de tipo *snap-in*. Se ha utilizado como referencia el catálogo de Panasonic [A4.6]. Este fabricante proporciona las dimensiones del condensador, como se puede ver en el ejemplo de la Figura A4.4.6.

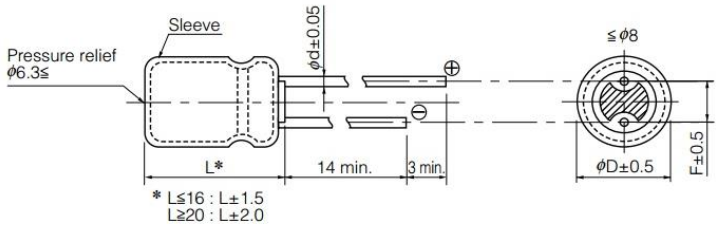


Figura A4.4.6. Ejemplo de las dimensiones de un condensador electrolítico proporcionadas por Panasonic [A4.6]. Dimensiones en mm.

Nuevamente, a partir de estas dimensiones, el volumen del condensador se puede calcular como

$$Vol_C = l_{C-y} \cdot \pi \cdot r_C^2 \tag{44.6}$$

donde l_{C-y} es la altura del condensador y r_C es el radio del mismo.

A4.5. REFERENCIAS

[A4.1] Catálogo de radiadores de Aavid Thermalloy. Online: http://www.aavid.com/solutions/overview. Última consulta realizada: 18/11/2014.

[A4.2] Aavid Thermalloy, modelo 000KR. Online: http://goo.gl/XY1zth. Última consulta realizada: 04/04/2015.

[A4.3] Infineon, nota de aplicación AN2008-03, "Thermal equivalent circuit models," pp. 1-10, 2008.

[A4.4] Infineon, nota de aplicación, "Thermal modeling of power electronics systems," pp. 1-20, 2000.

[A4.5] Catálogo de núcleos y materiales magnéticos de Ferroxcube. Online: http://goo.gl/IsB5cY. Última consulta realizada: 18/11/2014.

[A4.6] Catálogo de condensadores electrolíticos de Panasonic. Online: http://goo.gl/5kluaF. Última consulta realizada: 18/11/2014.

A5 MODELO DE PÉRDIDAS PARA LA ESTRATEGIA DE CONTROL DE ENCENDIDO INTERMITENTE

En este anexo se recoge un modelo de las pérdidas de un convertidor IPOP cuando se aplica la estrategia de control de encendido intermitente o control por histéresis. Se deducirá, en primer lugar, una expresión aproximada de las pérdidas sin tener en cuenta las transiciones de encendido y apagado y, en segundo lugar, un modelo que incluye las pérdidas que introducen estas transiciones.

A5.1. MODELO DE PÉRDIDAS APROXIMADO SIN TENER EN CUENTA LAS TRANSICIONES DE ENCENDIDO Y APAGADO

En la estrategia de control de encendido intermitente o control por histéresis, cada módulo únicamente puede operar en dos estados: procesando la máxima potencia (P_{max}) o sin procesar potencia. El convertidor, por lo tanto, conmuta entre estos dos estados siguiendo un patrón como en el mostrado en la Figura 5.1, en donde se han definido tres intervalos de tiempo: t_{onHist} es el intervalo de tiempo durante el que el módulo permanece encendido y procesando una potencia P_{max}, $t_{offHist}$ es el intervalo de tiempo durante el que el módulo permanece apagado (sin procesar potencia), y T_{Hist} es el periodo que fija la ventana de histéresis de la etapa de control para el encendido y apagado.

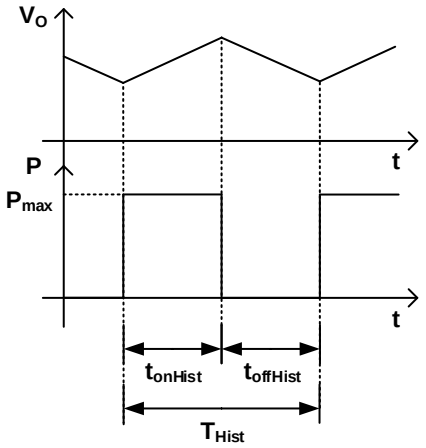


Figura 5.1. Formas de onda teóricas para el encendido intermitente.

De acuerdo con el esquema mostrado en la Figura 5.1, se ha asumido, en primer lugar, que las pérdidas del módulo cuando no procesa potencia son cero. Así,

$$P_{Loss-toffHist} = 0 \tag{55.1}$$

En segundo lugar, se ha asumido que las pérdidas del módulo cuando procesa la máxima potencia se corresponden con

$$P_{Loss-tonHist} = P_{Loss@Pmax} \tag{55.2}$$

donde $P_{Loss@Pmax}$ puede calcularse a partir del modelo de pérdidas establecido en el Anexo A1, tal y como se ha venido haciendo durante el desarrollo de este trabajo de tesis.

Por lo tanto, si se desprecian las pérdidas durante la transición de encendido y de apagado, las pérdidas totales para esta estrategia de control quedan definidas como

$$P_{LossHist} = \frac{t_{onHist}}{T_{Hist}} \cdot P_{Loss@Pmax} \tag{55.3}$$

Como establece la ecuación (55.3), las pérdidas en esta estrategia de control dependen del tiempo que permanezca encendido el módulo de potencia y del periodo. Ambos intervalos dependen de la ventana de histéresis que se haya fijado para mantener un determinado rizado en la tensión de salida. Por lo tanto, la ventana de histéresis también determina el valor de las pérdidas para esta estrategia de control.

A5.2. MODELO DE LAS PÉRDIDAS DURANTE EN EL ENCENDIDO Y APAGADO

El modelo de pérdidas anterior no tiene en cuenta las pérdidas que se producen durante la transición de encendido (cuando el módulo de potencia pasa de no procesar potencia a procesar P_{max}) ni las pérdidas en la transición de apagado (cuando el módulo de potencia pasa de procesar P_{max} a no procesar potencia). Durante estas transiciones, el módulo de potencia operará en condiciones de conmutación dura, puesto que tanto el encendido como el apagado se corresponden con dos estados transitorios en los que las tensiones y las corrientes conviven en los ciclos de conmutación. Por lo tanto, durante ambas transiciones las pérdidas del módulo de potencia se corresponden con todas las pérdidas detalladas en el Anexo A1 (incluyendo todas las pérdidas de conmutación).

El hecho de cuantificar estas pérdidas durante estos dos periodos transitorios no resulta sencillo. En primer lugar, se va a asumir que no se producen sobre-corrientes o sobre-tensiones en estas transiciones. En segundo lugar, se asume que las pérdidas del módulo de potencia se corresponden con las del convertidor elevador síncrono cuando opera en condiciones de conmutación dura. En tercer lugar, estas pérdidas se darán durante un intervalo de tiempo que está relacionado con el transitorio tanto de encendido como de apagado. Estos intervalos de tiempo fijarán el número de ciclos de conmutación durante los que el convertidor se encuentra operando en condiciones de conmutación dura.

Teniendo en cuenta las anteriores asunciones, si se define $t_{on-offHist}$ como el intervalo de tiempo de la transición de apagado, entonces el número de ciclos de conmutación en condiciones de conmutación dura vendrá definido por

$$N_{ciclos\ on-off} = \frac{t_{on-offHist}}{T_S} \tag{55.4}$$

siendo T_S el periodo de conmutación del módulo de potencia.

De la misma manera, si se define $t_{off-onHist}$ como el intervalo de tiempo de la transición de encendido, entonces el número de ciclos de conmutación será

$$N_{ciclos\ off-on} = \frac{t_{off-onHist}}{T_S} \tag{55.5}$$

Por otra parte, las pérdidas del módulo de potencia conmutando duro se definen como $P_{LossHSW@Pmax}$. Estas pérdidas pueden calcularse con las ecuaciones del Anexo A1, en especial, las pérdidas de conmutación en los semiconductores, definidas por las ecuaciones (A1.3), (A1.11) y (A1.12) respectivamente. Por consiguiente, las pérdidas de la estrategia de control de encendido intermitente teniendo en cuenta estos transitorios quedan definidas como

$$P_{LossHist} = \left(\frac{t_{on-offHist} + t_{off-onHist}}{T_{Hist}}\right) \cdot P_{LossHSW@Pmax} + \frac{t_{onHist}}{T_{Hist}} \cdot P_{Loss@Pmax} \tag{55.6}$$

Por lo general, los intervalos de tiempo de la transición de encendido y apagado, $t_{on-offHist}$ y $t_{off-onHist}$ respectivamente, son notablemente más pequeños que el tiempo t_{onHist} y mucho más pequeños que le periodo fijado por la ventana de histéresis T_{Hist}. Además de esto, los tiempos $t_{on-offHist}$ y $t_{off-onHist}$ no son sencillos de calcular, puesto que se trata de un arranque en vacío y de un apagado (normalmente llamado apagado en caliente) de un convertidor que no tiene un lazo de regulación. Por lo tanto, resulta más sencillo despreciar las pérdidas de estos transitorios y utilizar la aproximación mostrada en la ecuación (55.3).

A6 CARACTERIZACIÓN DINÁMICA DEL RECTIFICADOR EN CASCODO

En este anexo se presenta una caracterización dinámica del rectificador en cascodo. El objetivo fundamental de este análisis es verificar el comportamiento de esta estructura cuando opera en relativa alta frecuencia y comprobar si ofrece alguna ventaja en términos de pérdidas sobre otros diodos comerciales, tanto de Si como de SiC. La caracterización dinámica se ha dividido en tres partes. En primer lugar, se analiza el funcionamiento en inverso del transistor JFET de SiC, puesto que es de especial relevancia para el comportamiento del rectificador en cascodo. En segundo lugar, se analizan las transiciones de apagado y de encendido de la estructura, prestando especial cuidado a esta última. Por último, se presenta una comparativa en base a los parámetros de recuperación inversa y pérdidas que presenta el rectificador en cascodo con un diodo de SiC y un diodo de Si.

A6.1. LA CONDUCCIÓN INVERSA DEL TRANSISTOR JFET DE SIC

En la estructura del rectificador en cascodo propuesta en el capítulo 5 de esta tesis, el transistor JFET de SiC trabaja en conducción inversa. Esto significa que la corriente circula en sentido fuente-drenador por el canal del transistor, en lugar de circular en el sentido drenador-fuente, como resulta habitual en el funcionamiento en directo del transistor. Además de esta conducción en inversa, el transistor JFET también puede llegar a operar en funcionamiento en inverso. Este funcionamiento se define como el fenómeno de formación o apertura del canal del transistor a partir de una tensión aplicada entre puerta y drenador, en lugar de hacerlo con una tensión aplicada entre los terminales puerta-fuente como resulta habitual en el funcionamiento en directo. En la estructura de rectificador en cascodo, es posible que en alguna de las transiciones dinámicas de la misma (entrada o salida de conducción) el transistor JFET llegue a funcionar en modo inverso. Por esta razón, como un paso previo al estudio del comportamiento dinámico del rectificador en cascodo, es necesario determinar o caracterizar el funcionamiento del transistor JFET de SiC en inverso.

Mediante un trazador de curvas, se ha obtenido la corriente de drenador en función de la tensión drenador-fuente para el transistor JFET de SiC modelo SJDP120R045 del fabricante SemiSouth utilizado en el rectificador en cascodo del capítulo 5. Esta gráfica se muestra en la Figura 66.6.1. En el primer cuadrante de la gráfica pueden observarse las curvas de salida características de este transistor, ya suministradas de manera habitual por el fabricante en su hoja de características. En este cuadrante, el transistor opera en directo, conduciendo una corriente de drenador en directo.

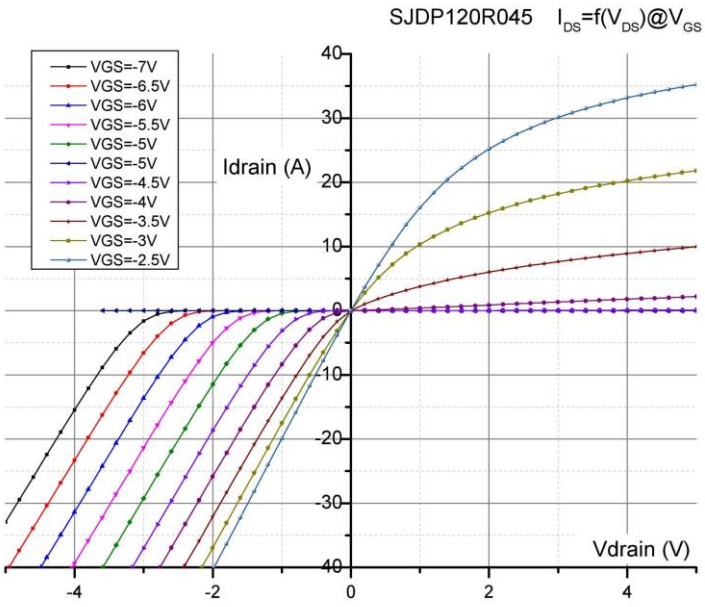


Figura 66.6.1. Curvas de corriente de drenador en función de la tensión de drenador para distintas tensiones puerta-fuente del transistor JFET de SiC.

En el tercer cuadrante de la Figura 66.6.1 se observa el comportamiento del transistor JFET cuando conduce una corriente inversa (en sentido fuente-drenador). Estas curvas se han obtenido para distintas tensiones V_{GS}. Téngase en cuenta que este dispositivo es n-on, es decir, que es necesario aplicar una tensión negativa para cortar el canal del transistor. Así, cuanto menor es la tensión V_{GS}, mayor resistencia presenta el canal, tal y como pueden apreciarse en las curvas tanto en conducción en directa como en inversa (primer y tercer cuadrante respectivamente de la Figura 66.6.1).

En la Figura 66.6.2 se muestran estas mismas curvas obtenidas cuando el transistor JFET se gobierna con una tensión puerta-drenador (V_{GD}), es decir, el funcionamiento en inverso.

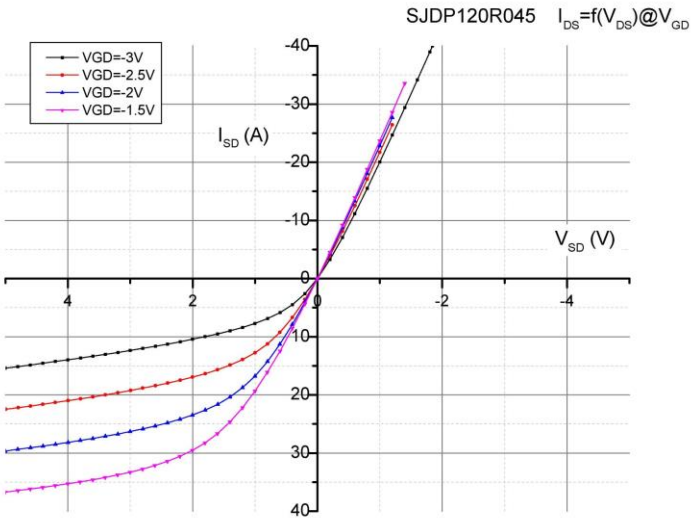


Figura 66.6.2. Curvas de corriente de drenador en función de la tensión de drenador para distintas tensiones puerta-drenador del transistor JFET de SiC.

Lo más interesante de los resultados mostrados en la Figura 66.6.2 es que el la tendencia de las curvas obtenidas en el primer cuadrante en esta gráfica son similares a las obtenidas en el tercer cuadrante en el funcionamiento en directo mostradas en la Figura 66.6.1. Y viceversa, la tendencia de las curvas obtenidas en el tercer cuadrante en la Figura 66.6.2 es similar a las curvas del primer cuadrante obtenidas en la Figura 66.6.2.

La principal conclusión que puede extraerse de esta caracterización, es que el transistor JFET de SiC posee un comportamiento muy similar cuando trabaja en directo (tanto en conducción como gobernado con tensiones V_{GS}), a cuando lo hace en inverso (tanto en conducción como gobernado con tensiones V_{GD}). Así pues, el comportamiento dinámico del rectificador en cascodo puede estudiarse tanto en función de la tensión V_{GS} del transistor JFET como de la tensión V_{GD} que se le esté aplicando.

A6.2. TRANSICIÓN DE APAGADO EL RECTIFICADOR EN CASCODO (*TURN-OFF*)

La transición de apagado o *turn-off* del rectificador en cascodo no tiene ninguna característica diferencial frente al apagado de un diodo habitual. Si se recuerda, cuando el rectificador en cascodo se polariza en inversa, el diodo Schottky de Si es quien debe soportar (o bloquear) esta tensión inversa, puesto que el transistor JFET de SiC permanece en conducción. Así, la respuesta dinámica del rectificador en cascodo debería ser muy similar a la respuesta dinámica de un diodo Schottky de Si de baja tensión. En cuanto el diodo Schottky deje de conducir, lo hará la estructura completa del rectificador en cascodo. Posteriormente, en un proceso teóricamente más lento, el transitor JFET de SiC bloqueará tensión en la medida en la que la tensión que soporte el diodo Schottky alcance el valor de tensión de *pinch-off* del transistor, tal y como se ha descrito en el capítulo 5.

A6.3. TRANSICIÓN DE ENCENDIDO DEL RECTIFICADOR EN CASCODO (*TURN-ON*)

La transición de encendido o *turn-on* del rectificador en cascodo es diferente al proceso de encendido de un diodo común. La explicación de esta diferencia sustancial en el comportamiento durante el encendido del rectificador en cascodo, reside en las capacidades parásitas del transistor JFET de SiC. En la Figura 66.6.3 se han representado las capacidades parásitas del

rectificador en cascodo, incluyendo las capacidades parásitas del transistor JFET (C_{GS}, C_{GD} y C_{DS}) y la capacidad de la unión del diodo Schottky, C_{j-SH}.

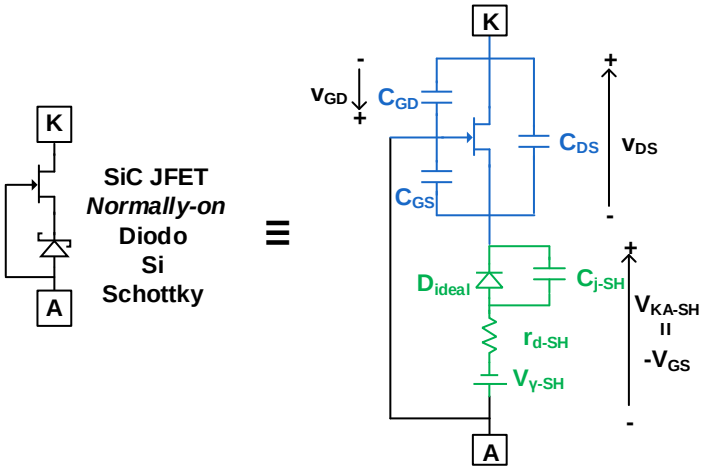


Figura 66.6.3. Capacidades parásitas del rectificador en cascodo.

Para comprender el funcionamiento del rectificador en cascodo durante el encendido, se ha supuesto un circuito de doble pulso, representado en la Figura 66.6.4. La inductancia de este circuito se ha supuesto suficientemente grande como para despreciar el rizado de corriente en la misma y el transistor S se ha asumido como ideal.

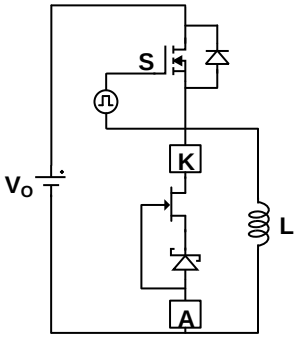


Figura 66.6.4. Circuito de doble pulso utilizado para caracterizar la respuesta dinámica del rectificador en cascodo.

Al comienzo de la transición de encendido del rectificador en cascodo, el circuito equivalente es el mostrado en la Figura 66.6.5. Se ha supuesto que el transistor S ha salido de conducción y pasa a soportar toda la tensión V_O. La corriente de la inductancia puede modelarse como una fuente de corriente constante de valor i_L. Al comienzo del encendido del rectificador en cascodo, el diodo Schottky se encuentra en bloqueo y soporta una tensión V_{SH-OFF}. El transistor JFET de SiC también se encuentra en corte y soportando una tensión $V_O - V_{SH-OFF}$, puesto que su tensión V_{GS} es justamente la inversa de la tensión soportada por el diodo Schottky, por lo tanto $-V_{SH-OFF}$. Esta tensión se asume menor que la tensión de *pinch-off* del dispositivo (que típicamente se sitúa en los -15V para este tipo de transitores). La capacidad C_{DS} se encontrará cargada a una tensión

$V_O - V_{SH-OFF}$; por su parte, la capacidad C_{GS} estará cargada a una tensión $-V_{SH-OFF}$; por último, la capacidad Miller C_{GD} se encuentra cargada también a una tensión $V_O - V_{SH-OFF}$.

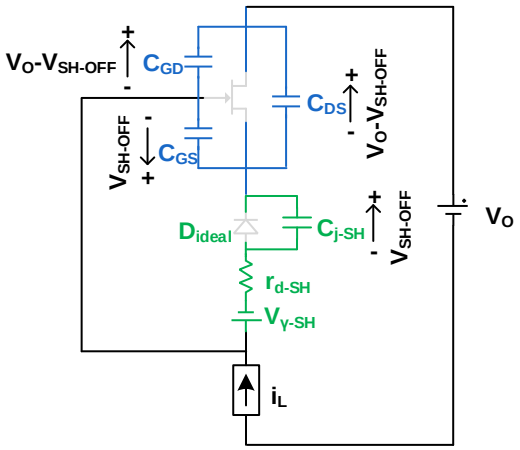


Figura 66.6.5. Circuito equivalente al inicio de la transición de encendido del rectificador en cascodo en el circuito de doble pulso.

Para que el rectificador en cascodo conmute, se necesita que ocurran dos eventos: que entre en conducción el diodo Schottky y que entre en conducción el transistor JFET de SiC. El primer evento tendrá lugar cuando la tensión V_{GS} sea mayor que la tensión de *pinch-off* del transistor JFET, o bien la tensión V_{GD} sea mayor que la tensión de *pinch-off* del transistor en su funcionamiento en inverso. El segundo evento tendrá lugar cuando la tensión del diodo Schottky V_{KA-SH} supere la tensión de codo de este dispositivo ($V_{\gamma-SH}$). El orden en el que se producen estos eventos depende de las capacidades parásitas equivalentes del rectificador en cascodo, de la corriente inicial i_L y de las tensiones iniciales a las que se encuentren cargadas las capacidades parásitas detalladas anteriormente.

En la Figura 66.6.6 se ha representado el divisor capacitivo formado por las capacidades parásitas del transistor JFET de SiC y del diodo Schottky. Este divisor capacitivo determina la dinámica durante el encendido del rectificador en cascodo. Así, en la Figura 66.6.7 se han representado las formas de onda teóricas durante el encendido en el caso en el que el JFET esté siendo gobernado por la tensión drenador-fuente (funcionamiento en inverso). Las formas de onda teóricas durante el encendido si el transistor JFET está siendo gobernado por la tensión puerta-fuente (funcionamiento en directo) pueden encontrarse en la Figura 6.8.

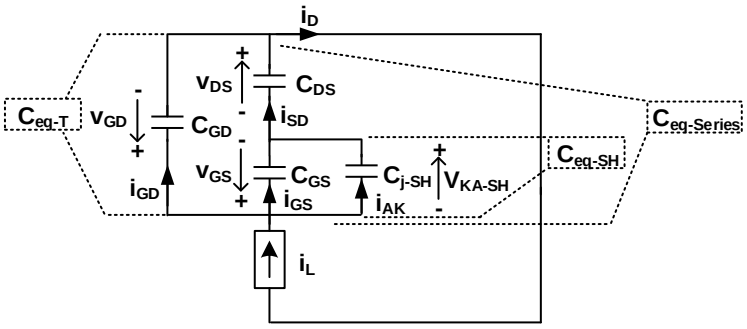


Figura 66.6.6. Divisor capacitivo formado por las capacidades parásitas durante el encendido del rectificador en cascodo.

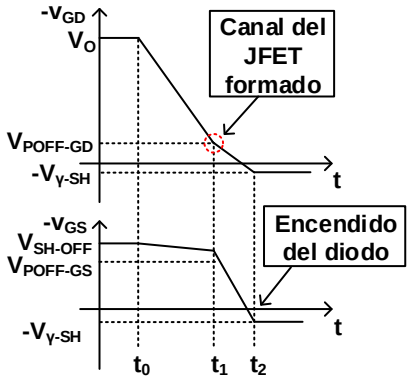


Figura 66.6.7. Formas de onda teóricas durante el encendido del rectificador en cascodo en el caso en el que está controlado por la tensión puerta-drenador.

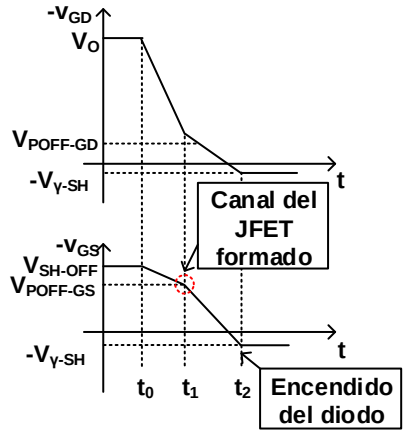


Figura 6.8. Formas de onda teóricas durante el encendido del rectificador en cascodo en el caso en el que está controlado por la tensión puerta-fuente.

Como puede observarse en la Figura 66.6.7 y en la Figura 6.8, se ha aproximado la respuesta transitoria por rectas de carga y descarga; además, se ha dividido el *turn-on* del rectificador en cascodo en tres intervalos que se corresponden con los instantes t_0, t_1 y t_2.

El primer intervalo $[t_0, t_1]$, se corresponde con el encendido del transistor JFET (o la formación de su canal). De acuerdo con el divisor capacitivo recogido en la Figura 66.6.6, la corriente i_L

circulará mayoritariamente por el camino eléctrico de menor impedancia, que se corresponderá con el camino eléctrico equivalente de mayor capacidad. En un transistor JFET de SiC las capacidades parásitas son, generalmente, $C_{GS} > C_{GD}(V_{DS}) > C_{DS}(V_{DS})$, teniendo en cuenta que tanto C_{GD} como C_{DS} son capacidades que dependen de la tensión drenador-fuente que esté soportando el transistor JFET. La capacidad parásita de la unión del diodo Schottky C_{j-SH}, será siempre menor que cualquiera de las tres anteriores, puesto que este diodo es un dispositivo de baja tensión. Las capacidades equivalentes de la Figura 66.6.6 se definen como

$$C_{eq-SH} = C_{GS} + C_{j-SH} \tag{66.1}$$

$$C_{eq-Series} = \frac{C_{DS} \cdot C_{eq-SH}}{C_{DS} + C_{eq-SH}} \tag{66.2}$$

$$C_{eq-T} = C_{GD} + C_{eq-Series} \tag{66.3}$$

El canal del transistor JFET de SiC puede formarse bien por tensión puerta-fuente o bien por tensión puerta-drenador, tal y como se ha citado anteriormente. El canal del JFET se formará por tensión puerta-drenador si la capacidad C_{GD} se carga a la tensión de *pinch-off*, definida aquí como $V_{POFF-GD}$. De manera análoga, el canal del JFET se formará por tensión puerta-fuente si la capacidad C_{GS} se carga a la tensión de *pinch-off*, definida aquí como $V_{POFF-GS}$. Es importante destacar que estas tensiones $V_{POFF-GD}$ y $V_{POFF-GS}$ están muy próximas entre sí (tal y como se ha desprendido del estudio realizado en el primer apartado de este anexo) y su valor se corresponde, por lo general, con -5V. Los tiempos necesarios para cargar estas capacidades a estos niveles de tensión, pueden calcularse de manera sencilla como

$$t_{1GD} = \frac{\left(V_{POFF-GD} - (V_O - V_{SH-OFF})\right)}{i_{GD}} \cdot C_{GD} \tag{66.4}$$

$$t_{1GS} = \frac{(V_{POFF-GSD} - V_{SH-OFF})}{i_{SD}} \cdot C_{eq-Series} \tag{66.5}$$

donde las corrientes i_{GD} e i_{SD} pueden calcularse a partir del divisor capacitivo:

$$i_{GD} = i_L \cdot \frac{C_{eq-Series}}{C_{eq-Series} + C_{GD}} \tag{66.6}$$

$$i_{SD} = i_{GS} + i_{AK} = i_L \cdot \frac{C_{GD}}{C_{eq-Series} + C_{GD}} \tag{66.7}$$

Si $t_{1GD} < t_{1GS}$ el transistor JFET está controlado por la tensión puerta-drenador y sus formas de onda teóricas se corresponden con las mostradas en la Figura 66.6.7. Si $t_{1GD} > t_{1GS}$, el

transistor JFET está controlado por la tensión puerta-fuente y sus formas de onda teóricas se corresponden con las mostradas en la Figura 6.8. En cualquiera de los dos casos, el canal del JFET se formará al finalizar este intervalo y podrá comenzar a conducir corriente inversa.

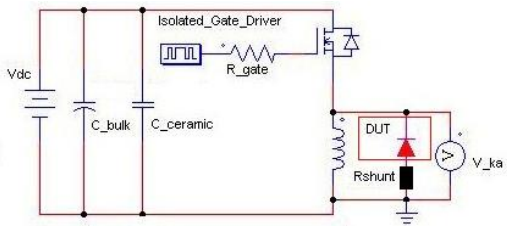
El segundo intervalo $[t_1, t_2]$ comienza cuando el canal del JFET ya se encuentra en condiciones de permitir una circulación de corriente. Por lo tanto, el transistor JFET se comporta como una resistencia equivalente de valor R_{DSon}. El diodo Schottky no conducirá hasta que la tensión V_{GS} sea mayor que su tensión de codo $V_{\gamma-SH}$. Cuando se alcance esta condición, el rectificador en cascodo comenzará a conducir. Cabe destacar que este segundo intervalo siempre será más corto que el primer intervalo, puesto que la transición entre los niveles de tensión es más próxima en este segundo caso que en el primero.

En todos los casos, el encendido del rectificador en cascodo está determinado por el comportamiento del transistor JFET de SiC, y, concretamente, por sus capacidades parásitas. Si se buscase reducir este tiempo de encendido, entonces debería rebajarse todo lo posible las capacidades C_{GD} y C_{GS} del transistor JFET.

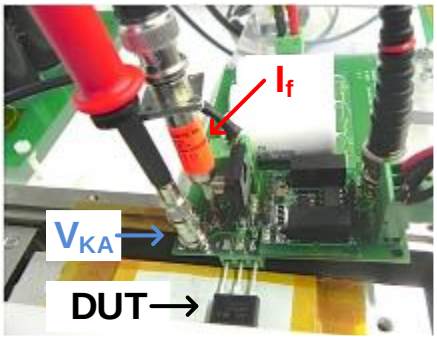
A6.4. COMPARATIVA CON OTROS DIODOS DEL RECTIFICADOR EN CASCODO TRABAJANDO COMO RECTIFICADOR DE ALTA FRECUENCIA

Una vez que se ha presentado el comportamiento dinámico del rectificador en cascodo, en este apartado se recoge una comparativa que se ha realizado con otros diodos para establecer si existe alguna ventaja de esta estructura con respecto a un diodo normal cuando ambos conmutan a una frecuencia elevada (entendiendo por esta las centenas de kHz).

El primer paso ha sido realizar una caracterización dinámica de la estructura en base a los parámetros típicos de los rectificadores: tiempo de recuperación inversa, corriente de recuperación inversa y carga de recuperación inversa. Para ello se ha utilizado un circuito de doble pulso como el que se muestra en la Figura 6.9. Para la medida de la corriente y de la tensión del dispositivo bajo prueba se han utilizado una sonda *shunt* de precisión y una sonda pasiva con el mínimo camino de retorno de masa posible, como puede verse en el detalle que se recoge en la Figura 6.9(b).



(a)

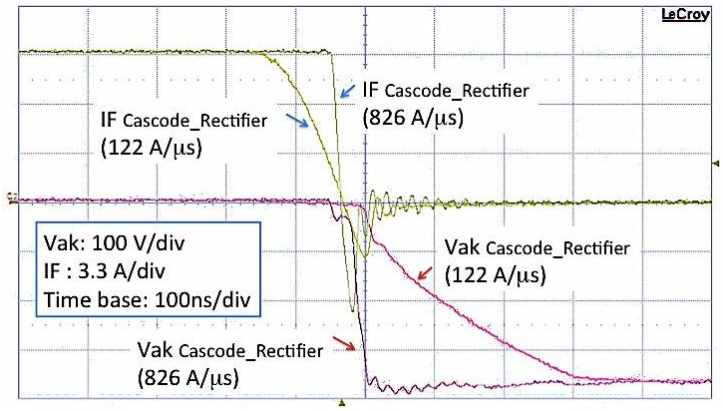


(b)

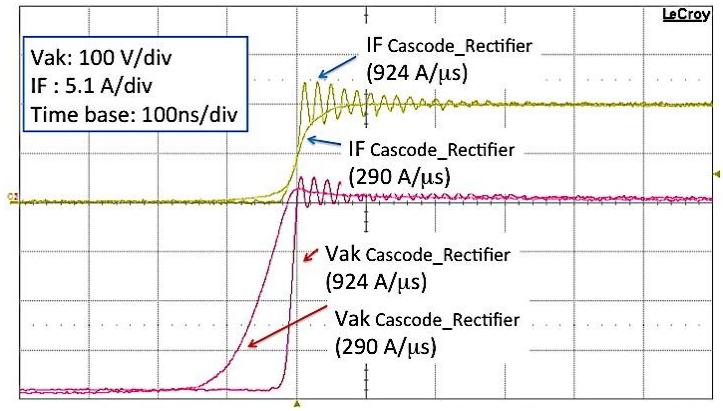
Figura 6.9. Circuito de doble pulso utilizado para la caracterización dinámica del rectificador en cascodo. (a) Circuito esquemático. (b) Detalle de las sondas de medida y de la PCB.

En este caso, el rectificador en cascodo se ha construido a partir de un JFET de SiC del modelo de SemiSouth SJDP120R045 (1200V, 27A, 45mΩ) y un diodo Schottky de OnSemi modelo MBR2515LG (15V, 25A). El transistor utilizado en el circuito de doble pulso ha sido un MOSFET de SiC modelo SCT2080KE (1200V, 35A, 80mΩ) del fabricante Rohm. Tanto el encendido y el apagado del dispositivo bajo prueba se ha realizado en condiciones de temperatura ambiente con un corriente de 10A y una tensión inversa de 400V. Este rectificador en cascodo se ha comparado con un diodo Schottky de SiC modelo C4D2012 (1200V, 20A) del fabricante Cree y con un diodo *ultrafast* de Si modelo DSEI60 (1200V, 52A) del fabricante IXYS.

En primer lugar, en la Figura 6.10 se muestran las formas de onda de la conmutación del rectificador en cascodo, tanto durante el encendido (Figura 6.10(a)) como durante el apagado (Figura 6.10(b)), para distintos valores de di/dt. Puede apreciarse como el proceso de encendido sigue el esquema teórico analizado en el apartado anterior (primero, encendido del transitor JFET y, posteriormente, encendido del diodo Schottky). De hecho, puede verse cómo la tensión V_{AK} del diodo Schottky cae lentamente. También puede observarse que el apagado del rectificador en cascodo no posee ninguna característica diferencial con respecto a un diodo habitual y resulta ser más corto en tiempo que el encendido de la estructura.



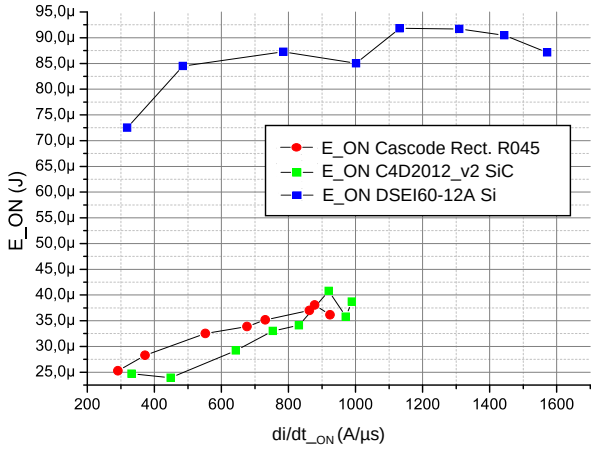
(a)



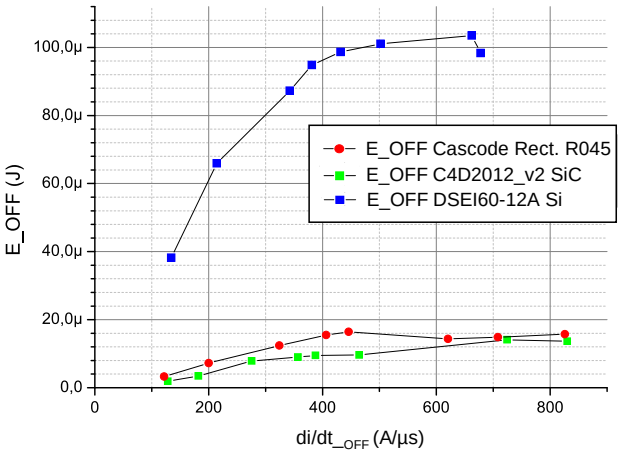
(b)

Figura 6.10. Formas de onda del rectificador en cascodo para distintos valores de di/dt. (a) Encendido. (b) Apagado.

Las diferencias en la entrada y salida de conducción pueden apreciarse con mayor nitidez cuando se analizan las energías de conmutación medidas experimentalmente en función de di/dt y que se muestran en la Figura 6.11, para los tres dispositivos utilizados en esta comparativa. Concretamente, en la Figura 6.11(a) se muestra la energía durante el encendido (E_{on}). Como puede verse, tanto el diodo de SiC como el rectificador en cascodo obtienen unas energías mucho menores que el diodo *ultrafast* de Si. Sin embargo, la E_{on} del rectificador en cascodo es netamente mayor que la E_{on} del diodo de SiC, evidenciando que el encendido de esta estructura está penalizando las pérdidas de conmutación de la misma en comparación con el diodo de SiC. En la Figura 6.11(b) se muestra la energía durante el apagado del dispositivo (E_{off}). Como en el caso del encendido, tanto el rectificador en cascodo como el diodo de SiC obtienen valores mucho menores que el diodo *ultrafast* de Si. Pero, a diferencia del encendido, la E_{off} del rectificador en cascodo es ahora comparable a la E_{off} medida para el caso del diodo de SiC, lo que evidencia, una vez más, que el apagado de la estructura no es tan crítico como su encendido.



(a)



(b)

Figura 6.11. Energías de conmutación medidas para los tres dispositivos seleccionados en esta comparativa en función de di/dt. (a) Energía de encendido (E_{on}). (b) Energía de apagado (E_{off}).

Tratando de indagar más en estas diferencias, se han medido los parámetros típicos del proceso de recuperación inversa de los tres dispositivos bajo estudio en esta comparativa. En primer lugar, en la Figura 6.12 se muestra la corriente de recuperación inversa en función de di/dt. En este caso, los valores más bajos de corriente son obtenidos para el diodo de SiC, seguido del rectificador en cascodo y por último del diodo de Si. La diferencia entre el rectificador en cascodo y el diodo de SiC es apreciable, situándose en torno a los 3A de diferencia entre uno y otro caso.

En segundo lugar, en la Figura 6.13 se muestra el tiempo de recuperación inversa medido para cada uno de los tres dispositivos analizados en esta comparativa en función de di/dt. Una vez más, el diodo de Si obtienen los tiempos mayores (lo que era esperable). A diferencia del caso anterior, los mejores resultados son los obtenidos por el rectificador en cascodo, que presenta unos tiempos de recuperación inversa ligeramente mejores que los medidos para el diodo de SiC.

Este hecho compensa al anterior, de forma que la energía de apagado del rectificador en cascodo es comparable a la del diodo de SiC como se vio anteriormente. Es más, esta tendencia también demuestra que el apagado del rectificador en cascodo es más rápido que el apagado de un diodo de SiC (tiene un comportamiento más *snappy* según la terminología inglesa). Es decir, que logra tiempos de recuperación menores a costa de unas corrientes de recuperación inversas mayores, aunque, en términos de carga de recuperación inversa, sean equivalentes.

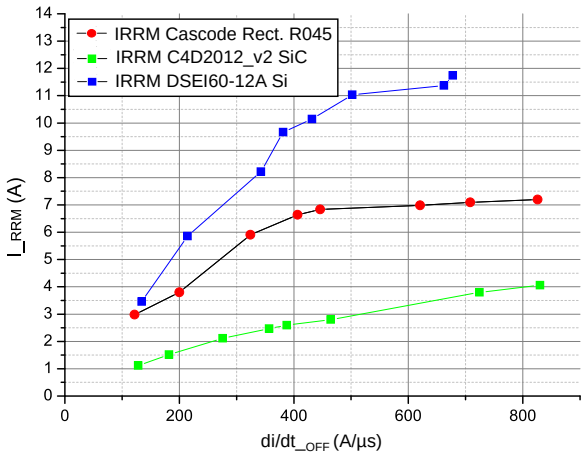


Figura 6.12. Corriente de recuperación inversa en función de di/dt para los tres dispositivos utilizados en esta comparativa.

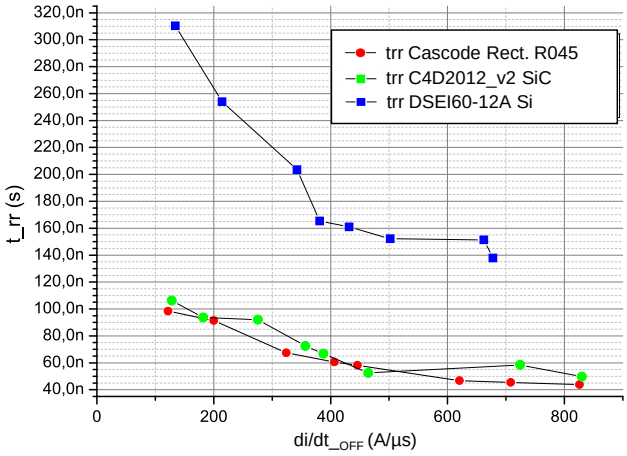


Figura 6.13. Tiempo de recuperación inversa en función de di/dt para los tres dispositivos utilizados en esta comparativa.

La última prueba que se ha realizado para tratar de valorar el impacto de unas pérdidas de encendido mayores en el rectificador en cascodo, ha sido su utilización como diodo de libre circulación en el convertidor elevador operando en modo QSW-ZVS utilizado como módulo en este trabajo de tesis y se ha medido el rendimiento del convertidor sin tener en cuenta las pérdidas del *driver*. En este caso, se han utilizado dos transistores JFET de SiC distintos: el modelo SJDP120R045 de 45mΩ y el modelo SJDP120R085 de 85mΩ. El rendimiento obtenido por ambas estructuras se ha comparado con el obtenido cuando se ha utilizado el diodo de SiC modelo C4D2012 de Cree.

En primer lugar, se ha fijado una potencia de 300W y se ha variado la frecuencia de conmutación desde 10kHz hasta 1MHz. En todos los casos, se ha ajustado tanto el valor de la inductancia como el valor de t_{on} para ajustarse al modo de operación QSW-ZVS en las tensiones utilizadas en este trabajo de tesis (150V, 400V). Se recuerda que en todas las medidas se ha utilizado el mismo transistor, el mismo *driver* y la misma placa de circuito impreso. En la Figura 6.14 se muestran las pérdidas de la etapa de potencia medidas para los tres casos en función de la frecuencia de conmutación. Lo que puede observarse es que las pérdidas del rectificador en cascodo son menores hasta una frecuencia de conmutación de 100kHz, en donde las pérdidas de los dos rectificadores en cascodo son equivalentes a las pérdidas obtenidas para el diodo de SiC. Tanto a 10kHz como a 20kHz las pérdidas obtenidas además por el modelo de 45mΩ son además, menores que para el transistor de 85mΩ. No obstante, tanto para 400kHz como para 1MHz, las pérdidas de ambos rectificadores en cascodo son mayores que las obtenidas cuando se ha utilizado el diodo de SiC. De hecho, la tendencia a estas frecuencias de conmutación es justo la contraria de los resultados obtenidos a baja frecuenica: el rectificador en cascodo de 45mΩ tiene más pérdidas que el rectificador en cascodo de 85mΩ

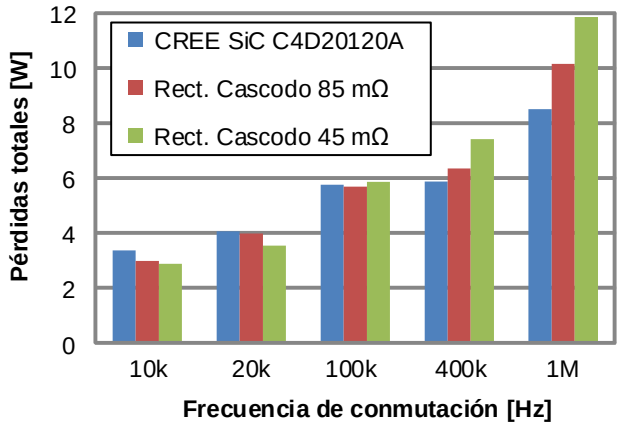


Figura 6.14. Pérdidas de la etapa de potencia medidas para los tres dispositivos utilizados en función de la frecuencia de conmutación.

La explicación a este hecho radica, una vez más, en el peso de las pérdidas de conmutación durante el encendido de la estructura. Se recuerda que en el modo QSW-ZVS las pérdidas de salida de conducción del diodo son muy bajas, puesto que este dispositivo sale de conducción con una corriente muy próxima a cero. No lo son las pérdidas de entrada en conducción. Así, cuando se incrementa la frecuencia de conmutación, estas pérdidas crecen de manera cuadrática, haciendo que los resultados del rectificador en cascodo sean peores que los del diodo Schottky para frecuencias de conmutación mayores que 100kHz.

Las diferencias entre los dos rectificadores en cascodo también está debida a las diferencias entre la entrada en conducción de la estructura. Un transistor JFET de menor R_{DSon} posee unas capacidades parásitas mayores que un dispositivo de mayor R_{DSon}. Por lo tanto, los resultados

obtenidos a 1MHz confirman el impacto de estas capacidades parásitas en la conmutación de la estructura del rectificador en cascodo y de las pérdidas asociadas a la misma. Únicamente como aclaración, en todos los casos anteriores, el rendimiento medido se situaba entre el 98,1% y el 97,5%.

Tratando de buscar un punto de funcionamiento más favorable al rectificador en cascodo, se incrementó la potencia que manejaba el módulo hasta 1kW con una frecuencia de conmutación de 10kHz y se realizaron de nuevo medidas del rendimiento. Las pérdidas medidas en este caso pueden verse en la Figura 6.15. Como puede apreciarse, cuando se incrementa la potencia, se incrementan las diferencias en las pérdidas medidas para los tres casos, siempre siendo el rectificador en cascodo de 45mΩ el que mejores resultados obtiene.

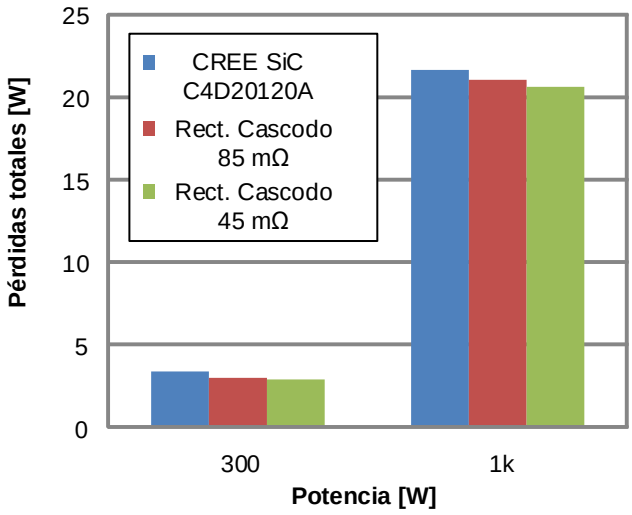


Figura 6.15. Pérdidas totales de la etapa de potencia en función de la potencia procesada para una frecuencia de conmutación de 10kHz.

A6.5. CONCLUSIONES DE LA CARACTERIZACIÓN DINÁMICA

Del estudio del comportamiento dinámico del rectificador en cascodo presentado en este anexo pueden extraerse las siguientes conclusiones:

- La entrada en conducción del rectificador en cascodo es crítica, siendo la parte más relevante en cuanto a las pérdidas de conmutación que presenta esta estructura.
- La entrada en conducción del rectificador en cascodo depende fuertemente de las capacidades parásitas del transistor JFET de SiC. A mayores capacidades parásitas, mayores tiempos de entrada en conducción.
- La salida de conducción del rectificador en cascodo es comparable en términos de energía con la de un diodo Schottky de SiC. Sin embargo, presenta una respuesta más

rápida o *snappy* (mayor corriente inversa, pero menor tiempo) que ha de tenerse en cuenta para la aplicación final.

- Las pérdidas de la entrada en conmutación del rectificador en cascodo limitan su uso a aplicaciones de baja frecuencia (menores que 20kHz) y con corrientes de conducción elevadas (1kW), si se quieren obtener ventajas en términos de pérdidas frente a otros diodos presentes en el mercado.